

다목적 실용위성 3호 탑재컴퓨터 설계 모델 관한 연구

조영호, 이한석, 심재선
한국항공우주산업, 부천대학, 삼척대학

A study of On Board Computer Design Model for the KOMPSAT3

Cho Youngho, Lee Hanseok, Shim Jaesun
Korea Aerospace Industries, Bucheon College, Samcheok University

Abstract - 본 논문에서는 다목적 위성 3호용 탑재 컴퓨터 개발을 위한 DM 설계모델을 기술하였다. 기존의 2호기에서 프로세서 모델이 186에서 386으로 변환된 것 이외 모든 내부구조가 비슷하였으나 3호기는 위성의 전체적인 성능을 향상시키기 위하여 프로세서와 내부 인터페이스 버스 및 모든 구조를 새로운 설계 개념을 도입하여 국내 독자 모델을 개발하고자 한다. 그럼으로 본 논문은 초기 설계모델(DM)의 검토를 통하여 향후 비행 모델개발가능성을 파악하는 근거를 제시하였다.

1. 서 론

우주개발 초기 단계인 1950년대 말과 1960년대에는 대부분의 위성이 이를 발사할 수 있는 발사체 능력과 위성능력 한계로 소형위성으로 제한되었으나, 이후 발사체의 발사 능력 증가 및 위성기술의 발전과 함께 위성의 규모도 점차적으로 증가하였다. 또한 통신 산업이 발달함에 따라 상용위성에 대한 요구가 커지면서 국내에서도 독자적인 위성 개발을 위해 필요한 핵심 기술에 대한 연구의 필요성이 제기되고 있다. 특히 임무가 복잡하고 다양해짐에 따라 이를 처리해야 하는 작업이 복잡해져서 탑재 컴퓨터의 기능이 더욱 고성능화 할 필요성이 증대되고 있다. 이러한 위성용 탑재 컴퓨터에 대한 개발 기술은 고 신뢰도의 위성 개발을 위해 반드시 필요한 소요 기술로서 위성 개발 선진국들 내에서도 기술 이전을 기피하고 있는 첨단 선도 기술이다[1-2].

국내 위성의 실용화 모델로서 본격적인 개발이 이루어진 것은 KOMPSAT1, 2에서 이루어졌다. KOMPSAT1, 2에는 3개의 독립된 프로세서 모듈이 구성되어 있으며 각 모듈은 동일한 프로세서로 구성되어 있다. 각 모듈은 별도의 I/O 보드를 다수 내장하고 있으며 1553B 데이터 버스를 이용하여 통신하고 있다. 이러한 구조를 통하여 분산 처리 및 분산 I/O가 가능하며 다양한 기능을 손쉽게 추가할 수 있다는 장점이 있다. 그러나 그 위성이 같은 동일한 임무(mission)를 수행하기 위해서는 3개의 프로세서가 시간 및 테스크(task) 동기가 이루어져야 한다. 다중 프로세서 구조를 갖는 위성탑재컴퓨터의 초기 기능은 프로세서간의 동기화가 하게 되면 가능한 모든 조합의 프로세서 상태를 고려하여야 함으로 단일 프로세서 구조의 시스템 초기화에 비하여 그 과정이 복잡하다는 문제점을 갖고 있다.

KOMPSAT3호에서는 3개의 프로세서로 분리되었던 시스템을 SPARC-V7 코어 아키텍처를 갖는 고성능의 프로세서인 ERC32프로세서를 이용하여 1개의 프로세서 구성된 시스템으로 구성하였다. I/O 모듈들과는 SpaceWire인 고속 시리얼을 이용함으로써 기존의 분산 시스템이 갖는 장점인 다양한 기능을 손쉽게 추가할 수 있게 하였으며 1, 2호기에서 가졌던 문제인 시간 및 테스크 동기를 제거하였다. 본 논문에서는 KOMPSAT3호의 설계모델의 탑재컴퓨터 내부구조를 살펴보고자 한다.

2. 탑재 컴퓨터 설계

KOMPSAT2에서는 OBC, ECU 그리고 RDU로 3개의 탑재 컴퓨터로 구성되어 물리적으로 1553B 데이터로 연결되어 있고 논리적으로는 테스크에서 상호 동기가 이루어진다. 그러므로 정상동작에서 컴퓨터간 상호관계가 있으므로 소프트웨어적인 정교한 테스크 설계가 필요하다. 그래서 KOMPSAT3에서는 하나의 프로세서를 사용하여 탑재컴퓨터를 설계하였다. KOMPSAT3에서는 내부버스를 SpaceWire 프로토콜을 사용하여 기능별로 모듈을 구성하여 cross-strapping을 구성하였다. 그러므로 패럴러(PCI, VME)버스에 비하여 신뢰성(reliability)을 향상시켰으며, 분산시스템의 장점인 기능별 추가/제거가 손쉽게 가능하도록 그림1과 같이 구성하였다.

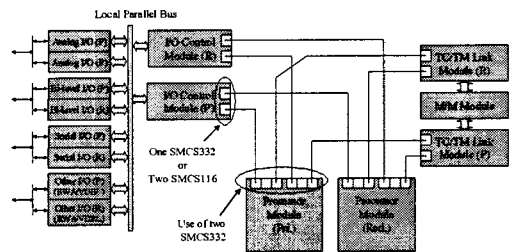


그림 1 KOMPSAT3 탑재컴퓨터 내부 구조
Fig. 1 Internal structure of On Board Ccomputer for KOMPSAT3

내부 모듈별로 기능과 성능을 살펴보자.

Processor Module(PM)

프로세서 모듈은 SPARC V7로서 RISC 구조[8]를 갖는 ERC32칩을 사용하여 구성하였다. 모듈의 내부를 기능별 블록도와 제작 보드는 그림 2와 같다.

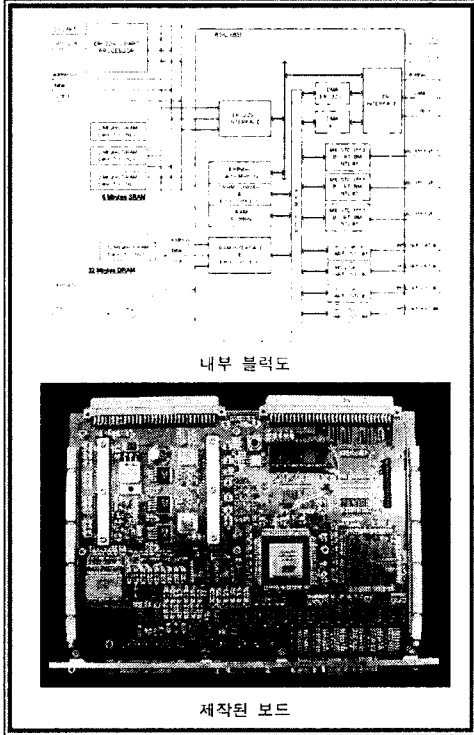


그림 2 프로세서 모듈
Fig. 2 Processor module

프로세서 모듈은 구성은 다음과 같다.

- . MCM ERC32SC 모듈
 - √ ERC32 프로세서 코어
 - √ 8M SRAM
 - √ 32M DRAM
 - √ Control ASIC
- . 6채널의 SpaceWire I/F
- . 8M ROM(Boot ROM,FSW ROM)
- . 2채널 UART I/F
- . 다목적용 FPGA(클럭, I/O arbitration)
- . 8채널 범용 I/O
- . 2채널 MIL-STD-1553B I/F
- . JTAG I/F
- . 16kbyte Dual Port RAM

Telecommand and Telemetry (TC/TM) 모듈

TC/TM모듈의 주요 임무는 아래와 같이 수행한다.

- . 지상으로부터의 명령을 두개의 S-band 수신기(receiver) 및 지상시험장비(EGSE)를 통하여 입수,

전달 (Telecommand)

- . 운영 소프트웨어(FSW)의 관여 없이 직접 특수명령(Special Command)을 수행
- . 수집된 정보를 두 개의 S-band 트랜스미터 및 지상 시험장비를 통하여 데이터 전송(Telemetry)
- . 수집된 데이터를 대용량 메모리에 저장(Mass Memory-2Gbit)
- . 탑재컴퓨터의 재 구성 및 제어(Reconfiguration)
- . 운영 소프트웨어의 재 구성을 위한 전반적인 시스템 동작 및 형상 .
- . 데이터 저장(Safe Guard Memory-128KB)
- . Hot Redundancy로 동작

그림3의 블록도에서 TC/TM은 4가지의 기능으로 구분된다. 첫째는 지상에서 송신한 telecommand에 대한 수신 및 처리하고, 받은 명령을 safe guard memory(SGM)이라는 메모리에 저장하는 기능을 한다. 둘째는 재구성 유닛(reconfiguration unit-RU)이 탑재컴퓨터의 하드웨어적인 형상을 재구성 및 제어를 한다. 셋째는 위성의 각 서브시스템 및 탑재체(payload)에서 수집된 SOH(State of Health) 데이터와 과학 데이터(science data)를 CCSDS(Consultative Committee for Space and Data System) 방식으로 형식화(formatting)하여 대용량 메모리에 저장하고, 넷째는 저장된 데이터나 SOH를 지상으로 전송하는 기능이다. 이러한 기능을 수행하기 위한 지상과의 통신을 위하여 실제 하드웨어는 트랜스폰더와 접속되어 있으며 지상에서 위의 기능을 시험하기 위한 EGSE로의 interface를 제공한다.

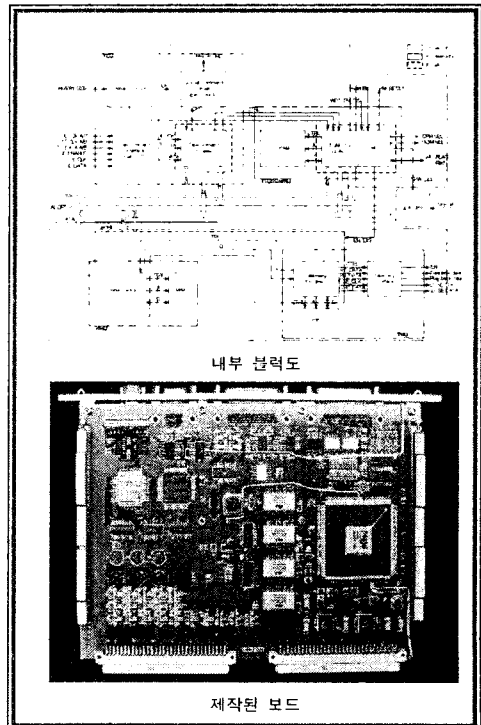
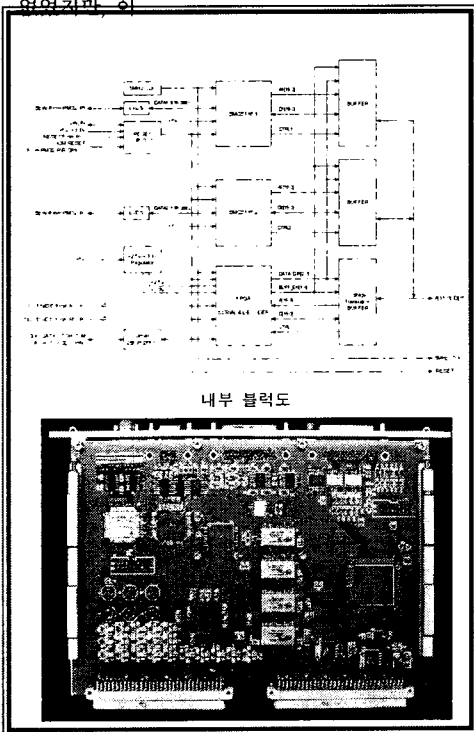


그림 3 TC/TM 모듈
Fig. 3 TC/TM module

IO 모듈

IO 모듈은 컨트롤러 보드, Bilevel 보드 그리고 Analog 보드인 3 종류 보드가 한 모듈을 형성한다. 본 논문에서 중요한 컨트롤러 보드부분만 기술하였다.

IOC 보드는 크게 2가지 기능으로 구분된다. 첫째는 KOMPSAT3 탑재컴퓨터 I/O 보드들에 대한 로컬버스 (16bit Address, 16bit Data, CS0~3, WR, RD)를 제공하며, 둘째는 프로세서 보드와 I/O 보드 사이에 SpaceWire 통신을 제공한다. 이러한 기능은 SMCS116 Atmel[7]사의 칩을 이용하여 구현하였다. SMCS116은 모두 2개가 장착되어, 프로세서의 Primary와 Redundant 양쪽에서 통신이 가능하도록 설계되어 있다. 그리고 IOC 보드에는 KOMPSAT2에서 사용하던 Serial I/F 기능을 추가하여 IOC FPGA 내에서 동작하게 설계하였다. Serial I/F는 위성의 전력분배를 제어하는 PCDU에 명령을 보내거나 상태를 읽을 때 사용한다. 이러한 시리얼의 통신속도는 1Mbps로 KOMPSAT2 대비 4배의 속도를 향상시켰으며, 기존의 통신에러 검출방식인 Odd Parity 방식을 사용하지 않고 CRC 방식으로 에러체크를 하도록 설계하였다. 그래서 기존의 더블비트 에러에 대해서는 체크할 방법 없었지만, 이



제작된 보드
그림 4 IO모듈 내의 IOC보드

Fig. 4 IOC B/D in IO module

방식은 에러체크기능이 향상이 되었다. 즉, 기존 8bit 데이터 + 1bit Parity 전송에서 16bit 데이터 전송 + 4bit

CRC를 사용하여 총 20bit 전송방식을 취하게 된다. 에러 체크용 다항식은 $X^4 + X^2 + 1$ 로 설정되어 있으며, FPGA 내부에는 CRC ENCODE/DECODE 시간은 1 클럭 시간 내에 처리가 되어 알고리즘상의 시간소요를 최소화 하였다.

3. 결 론

KOMPSAT2에서는 OBC, ECU 그리고 RDU로 3개의 탑재 컴퓨터로 구성되어 물리적으로 1553B 데이터로 연결되어 있고 논리적으로는 테스크에서 상호 동기가 이루어진다. 그러므로 정상동작에서 컴퓨터간 상호관계가 있으므로 소프트웨어적인 정교한 테스크설계가 필요하다. 그래서 KOMPSAT3에서는 하나의 프로세서를 사용하여 탑재컴퓨터를 설계하였다. KOMPSAT3에서는 내부버스를 SpaceWire 프로토콜을 사용하여 기능별로 모듈을 구성하여 cross-strapping을 구성하였다. 그러므로 패럴러 (PCI, VME)버스에 비하여 신뢰성을 향상 시켰으며, 분산시스템의 장점인 기능별 추가/제거가 손쉽게 가능하도록 설계하였다. 탑재컴퓨터개발(DM) 모델 개발로 KOMPSAT3호기의 설계 기술을 습득하였다. IBMU DM 모델은 기능구현 위주로 설계하였으며, 습득한 기술로 추후 모델에서 보다 향상된 기능을 설계 가능하게 되었다. 성능을 개선하고 우주용 부품을 사용하면 비행모델로 성능을 충분히 발휘할 수 있으리라 예상된다.

[참 고 문 헌]

- [1] 장영근, 이동호, 인공위성 시스템, 동문사, 1999.
- [2] 조영호, 심계선, "KOMPSAT2 탑재컴퓨터 설계, 성능분석 및 시험", 대한전기학회 논문지, 53D권 7호, pp. 753-759, 2004.
- [3] 김기형 외, "소형 위성의 제어를 위한 컴퓨터 시스템의 설계 및 구현", J. Astron Space Science 12(2), S52-S66, 1996.
- [4] Wiley J. Larson and James R. Wertz, Space Mission Analysis and Design Second Edition, Kluwer Academic Publishers, 1992.
- [5] KOMPSAT-2 Equipment Specification For EPS Control Unit, KARI, 2002.
- [6] 80386 Data Sheet, Intel, 2000.
- [7] SMCS312 Data Sheet, Atmel, 1999.
- [8] ERC32SC Data Sheet, Atmel, 2003.