

단일형 버퍼형태의 순환적 순위 알고리즘이 적용된 ATM 스위치

박병수*, 조태경**

*상명대학교 컴퓨터시스템공학과

**상명대학교 정보통신공학과

e-mail:bpark@smu.ac.kr

Single Buffer types of ATM Switches Applied for Circulated Priority Algorithm

Byoung-soo Park*, Tae-kyung Cho**

*Dept of Computer System Engineering, Sangmyung University

**Dept of Information and Telecommunications Engineering, Sangmyung University

요 약

본 논문은 제안된 스위치가 하드웨어로 구현된 ATM 셀의 출력 포트에 따라 ATM 셀을 정렬하는 프로시저를 수행하도록 순환적 순위 알고리즘이 적용된 단일형태의 버퍼 구조로 물리적인 단일 큐의 시퀀서 갖고 논리적으로 다중 큐의 형태로 구성된 ATM 스위치를 제안한다. 제안된 구조는 물리적으로 단일 버퍼를 갖지만 논리적으로는 순환적으로 순위를 결정하여 출력포트에서의 상충을 최대한 억제하도록 설계된 다중 큐의 기능을 하고 있다. 향후 이러한 형태의 구조는 다양한 구조의 라우팅을 위한 스위치로 응용되고, 시스템 구성의 확장성에 있어서도 큰 장점을 지니고 있어, 전송 효율적인 면에서도 훌륭한 구조로 평가된다.

1. 서론

복잡화된 정보화 사회의 가속화에 따라 네트워크는 현재의 미디어별로 그에 적당한 방식으로 개별적으로 구성되어 있으나 멀티미디어 통신 서비스를 제공하기 위해서는 각각의 미디어 통신을 하나의 네트워크에서 제공할 필요가 있고, 미디어 별로 서로 다른 통신특성을 각 미디어별로 만족시킴이 요구되는 실정이다. 정보의 진화가 급속해짐에 따라 기존의 서비스에서만 국한되어 있던 통신 서비스가 다양화된 멀티미디어 서비스를 제공하여야 하는 단계로 발전하였다. 이러한 서비스를 만족하기 위해서는 기존의 회선 교환망과 패킷 교환망 만으로는 고속의 대용량 서비스에 대한 욕구를 충분히 수용하기에는 어려움이 많은 실정이다.

예를 들어, 미디어의 버스트성을 당연히 만족할 수 있어야 하기에, 음성, 데이터, 영상정보 등이 통합되어 Network으로 전송되기 위한 광대역정보통신

망(Broadband Integrated Services Digital Network)의 구축은 고속 광대역 네트워크를 위한 목적을 달성하기 위한 결과이다. 이에 사용되는 정보 전달방식이, 광통신 및 고집적 회로화기술 등이 사용되는 고속 대용량 통신기술의 발달을 배경으로 한 ATM 기술이다. [1-4]

ATM교환 기술은 53바이트 고정길이의 셀 스위칭 기술이며, ATM 패킷은 5바이트의 헤더와 48바이트의 실제 데이터를 포함하고 있고, 5 바이트는 라우팅 정보이다. 따라서 이러한 ATM 패킷 스위치의 개발을 위해 많은 연구가 이어져 왔으며, 현재까지 제안된 ATM 스위치로는 공유 메모리형(Shared Memory Type) 스위치, 공유 미디어형(Shared Medium Type) 스위치, 공간 분할형(Space Division Type) 스위치, 그리고 결합형(Combined Type) 스위치 등이 있다[5,6].

본 논문에서는 공유 메모리 내의 셀을 출력 포트에 따라 단일형 버퍼별로 정렬하는 순환적 순위 알

고리즘을 적용하여 단일 큐 구조의 공유 버퍼형 ATM 스위치를 구현하였다. 2장에서는 ATM 교환기에 대하여 살펴보고 3장에서는 공유 메모리형 스위치 구조를 살펴보겠다. 4장에서는 제안된 스위치 구조를 제안하였고, 5장에서 결론을 맺는다.

2. ATM 교환기

ATM 망은 사설 접속(Private Interface)과 공중 접속(Public Interface)을 수용할 수 있으며, 그림에서 UNI(User Network Interface)는 사용자와 네트워크간의 접속을 말하고 NNI(Network to Node Interface)는 네트워크와 네트워크 사이의 접속을 의미한다.

ATM 셀은 48 바이트의 사용자 정보와 5 바이트의 헤더를 덧붙여 53 바이트의 고정 길이를 갖는 셀 단위로 전송을 하며, ATM 셀은 ATM 계층에서 중단된다. 또한 ATM은 기술적으로 유연한 네트워크를 구축할 수 있고 효율적으로 데이터를 전송할 수 있다. 유연한 네트워크를 구축하기 위하여 ATM에서는 가상 채널을 여러 개를 묶어서 가상 패스라 칭하며, 이러한 구조는 계층적 전송을 가능하게 한다. VP와 VC 단위의 스위칭은 가상 패스 핸들러와 가상 채널 핸들러에 의해 수행된다. 본 논문에서는 가상 채널을 중계하는 VCH를 ATM 교환기라 칭한다. 이는 크게 회선 대응부, 스위치부, 제어부로 나눌 수 있다. 회선 대응부에는 사용 변수 제어(UPC)부와 OAM부, 헤더 변환(HCV)부, 버퍼 등이 위치하여 가입자 및 ATM 교환기간의 인터페이스를 담당한다. UPC는 사용자가 회선 설정 시에 결정한 트래픽 변수를 준수하고 있는가를 감시하여 트래픽 변수를 위반하는 접속에 대해 적절한 조치를 취하는 것이며, HCV는 셀이 ATM 자체 라우팅 스위치 내에서 라우팅 하기 위한 정보를 추가하는 기능을 의미한다. OAM부에서는 셀 손실이나 동작 오류 등을 감시하는 역할을 수행하며[7], 제어부는 라우팅 테이블을 관리하고 교환기의 고장과 장치를 관리한다.

3. 공유 메모리형 ATM 스위치

그림 1은 공유 메모리 스위치의 구조를 나타낸 것이다. 공유 메모리 스위치는 모든 셀을 하나의 메모리에 기억시키고 제어부에서 헤더를 관독하여 출력포트로 라우팅 하는 구조로 되어 있다.

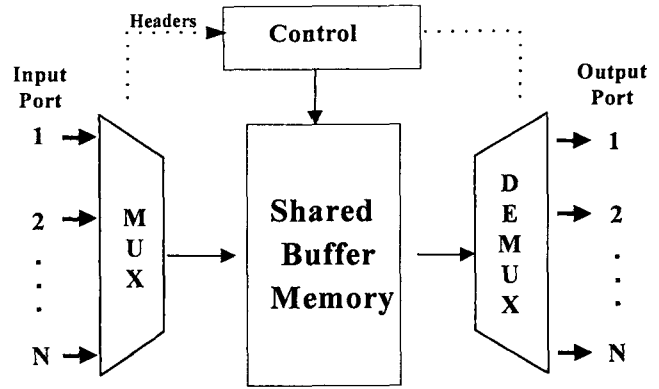


그림 1. 공유메모리 스위치

공유 메모리 스위치는 대규모 버퍼를 공통적으로 가질 수 있어 메모리의 효율과 통신 성능이 뛰어나다. 이 스위치는 데이터를 병렬 버스로 처리하기 위해 다중화기와 역다중화기를 사용하는데 다중화기, 역다중화기의 성능과 제어부의 메모리 접근(Access) 속도가 스위치의 전송 능력을 좌우한다.

일반적으로 ATM 스위치는 두 가지 요소로 구성된다. 즉 전송되는 셀을 입력포트에서 출력포트로 연결하는 스위칭 요소(Switching Element)와 셀의 큐잉(Queuing)을 위해 사용되는 버퍼 메모리로 구성되어 있다.

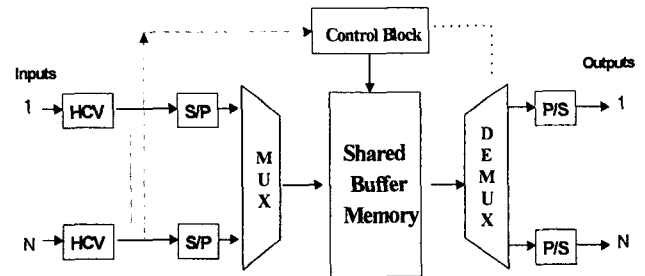


그림 2. 공유 메모리 스위치

그림 2에 공유 메모리 스위치의 구조를 나타냈다. 공유 메모리 스위치는 입력 셀들은 하나의 스트림(Stream)으로 다중화하여 공유 메모리에 저장하며, 메모리는 각 출력포트에 대해 하나의 논리적인 큐 형태로 존재한다. 헤더 컨버터(HCV)에서는 내부에서 ATM 셀을 라우팅 하기 위한 라우팅 정보와 부가 정보를 나타내는 내부 라우팅 태그를 53 바이트 셀 앞에 붙이게 된다. ATM 스위치에서 스위칭된 후 출력단에서 셀이 전송될 때는 헤더 컨버터에서 부가적으로 붙은 내부 라우팅 태그는 제거된다.[8,9] ATM 셀이 스위치의 입력으로 들어오기 전에 데이터는 직렬 데이터에서 병렬 데이터로 변환되

어야 한다. 병렬화 된 데이터가 공유 메모리에 쓰여지기 전에 헤더 컨버터에서 붙여진 라우팅 태그 정보를 제어부분에서 읽어들인다. 컨트롤러는 읽어들이는 헤더 정보를 태그정보에 맞도록 재배치한 후 메모리에 있는 데이터를 역다중화기로 출력한다. 출력 셀들은 출력 큐에서 하나의 스트림에 의해 역다중화되어 출력포트로 전송된다.

이 구조에서 주된 병목현상은 메모리 접근 시간이다. 이상적인 공유 메모리 스위치의 경우 전체 셀의 입력 속도 이상의 메모리 접근 속도가 컨트롤러에 의하여 지원되어야 한다.^[10,11] 메모리는 논리적으로 완전공유(Full-Sharing) 또는 완전분해(Complete Partitioning)되어진다. 공유 메모리 스위치는 기능적으로 출력 큐잉을 사용하므로 메모리의 활용도가 높다.[12]

4. 제안된 스위치 구조

중전의 공유 메모리 스위치는 컨트롤러 성능이 스위치의 속도를 좌우하고 기능적으로 출력 큐잉을 하기 때문에 메모리를 접근시 메모리의 활용 측면의 효율이 높으므로, 주로 대규모 스위치에 사용된다. 본 논문에서는 기존 스위치에서 컨트롤러가 수행하는 메모리 액세스 시간을 줄이기 위해 공유 메모리부를 시퀀서 구조를 갖는 단일형 버퍼 구조로 바꾸고 순환적 순위를 갖는 알고리즘을 적용하여 하드웨어에 의한 배분이 가능한 스위치를 구현한다. 스위치의 공유 메모리부는 그림 3에 나타냈으며 단일형 버퍼 구조를 갖고 있다. 이 구조는 하나의 ATM 셀을 저장하기 위한 버퍼와 순환적 순위 제어기를 나타낸다.

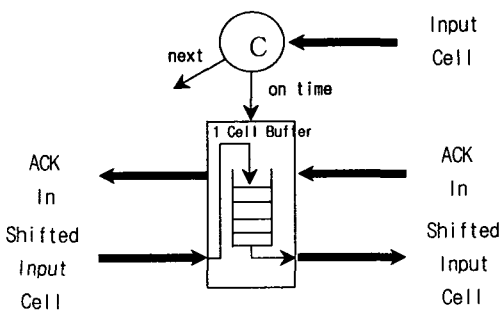


그림 3. 단일형 버퍼 모듈 구조

그림 3의 단일형 버퍼 모듈 구조는 입력 셀 포트에 입력 셀의 존재 여부와 역다중화기에서 출력되는 셀 수신 신호 ACK에 따라 전체 단일 버퍼의 동작이 결정된다. 입력 셀이 존재하고 내부 버퍼에 셀

이 없다면 입력 셀을 내부 버퍼에 넣고, 그렇지 않으면 순환적 순위 규칙에 따라 다음 단으로 넘겨지도록 구성되어있다. 그림 4에 전체 시퀀서 구조를 나타냈다. 시퀀서 구조는 단일 큐를 직렬로 연결한 형태를 취하며 단일 큐 사이는 하나의 ATM 셀이 한번에 전송 될 수 있는 버스로 연결되어 있다. 셀 전송 로직(Cell Transfer Logic)에서 새로운 셀이 들어오면 위에서 설명한 것과 같이 단일 큐에 순환적 순위 알고리즘에 따라 자동적으로 배열 되도록 되어 있다. 역다중화기에서 ACK신호를 받으면 정렬된 한 그룹의 셀들이 출력되도록 되어 있다.

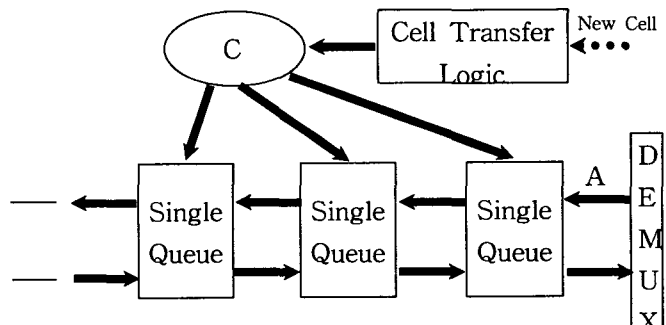


그림 4. 연속적 직렬 시퀀스 구조

단일 큐의 주된 동작은 순환적 순위 규칙에 의해 현재의 버퍼에 저장될 셀과 다음 단의 단일 큐로 넘겨질 셀을 결정하는 것이다. 셀의 배분은 즉 셀의 정렬은 몇 가지 규칙(Rule)에 의해 수행한다. 셀의 목적지 주소에 따라 각 포인터를 설정하고 그 포인터에 따라 그림 5에 나타낸 논리적 큐 구조에서처럼 그 목적지에 부합하는 큐 번호로 분리하게 된다.

이를 위해 선행될 조건이 제어부의 한 타임 슬롯에 목적지 주소는 그 주소에 따라 포인터 값을 부여 받게 되어야한다. 이를 가정한다면 이는 라운드-로빙 방식과 유사한 방법으로 순환적으로 순위 결정에 따라 그 셀들의 목적지 주소 값을 가지고 정확한 큐 번호로 분류하게 된다. 각 그룹의 분류는 동일한 목적지 주소를 갖는 셀과는 서로 목적지 상층으로 인해 구별되어야 한다.

예를 들면 첫 번째 그룹 과 두 번째 그룹에서 "3"이란 목적지 번호가 만나게 되므로 이들은 동일한 그룹에 속할 수 없기에 서로 다른 그룹으로 분리된다. 또한 세 번째와 두 번째에서 "4"가 동일한 목적지 주소로 발생했고, 세 번째와 네 번째 그룹에서도 또한 "4"가 동일하게 존재하기에 서로 분리된 그룹으로 분배하게 된다. 이와 같이 동일한 목적지 주

소가 존재할 때 마다 그룹을 달리해야만 출력포트에서 서로의 상충을 피할 수 있다.

다단 연결 단일 큐가 셀 정렬을 수행한 결과는 그림 5에 나타낸 메모리 구조를 갖는다. 하나의 셀 그룹의 출력에서는 그림 5에서와 같이 그룹화 된 셀의 집합이 역다중화기 쪽으로 각 단일 큐의 출력 포트를 통하여 하나씩 쉬프트(Shift) 되어서 출력된다. 각각의 단일 큐에 저장되어 있는 셀은 역다중화기에서 ACK 신호 수신한 경우 각 그룹단위의 출력을 시작한다.

입력 채널로 유입되는 셀은 직렬로 변환된 후, 타임 슬롯되며 라우팅 태그를 헤더 컨버터에서 부가한다. 이 후 직렬 데이터를 병렬 데이터로 변환하는 직렬-병렬 변환기를 통하여 셀은 병렬 데이터화된다. 이렇게 내부 라우팅 태그를 부가한 ATM 셀은 데이터 버스를 통하여 다중화기를 거치며 셀 전달 상태(State)에서 단일 큐 헤더를 추가하여 매 클럭마다 셀 단위로 전달된다. 단일 큐에 전달된 셀은 다단 구조 큐를 거치면서 순환적 알고리즘을 적용하여 자체 정렬이 이루어진다.

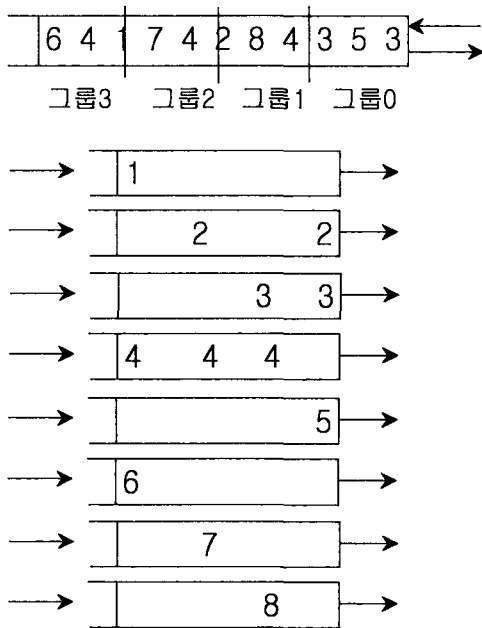


그림 5. 물리적 및 논리적 메모리 구성

즉 제어기에 의해 자체 정렬된 ATM 셀은 역다중화기에서 ACK 신호가 오면 다단 연결된 단일 큐 내의 셀을 출력한다. 이 때 하나의 셀 그룹만이 출력되어 역다중화기로 보내진다. 역다중화 된 데이터는 병렬-직렬 변환기를 통하여 비트 단위로 출력된

다. 전체 블록의 제어는 제어 모듈에 의해 생성된 상태(State)에 의해 결정된다.

5. 결 론

본 논문에서는 소규모 ATM 스위치 시스템에서 사용할 수 있는 단일형 버퍼 구조의 스위치를 구현하였다. 제안한 스위치는 순환적 순위 결정 알고리즘을 사용하여 단일형 버퍼에 들어갈 셀의 순서를 결정하고, 단일 큐에 그룹별로 배열되는 특징이 있다. 이 결과는 물리적으로 단일 버퍼 구조의 메모리를 사용하게 되며, 논리적으로는 다중 버퍼 구조를 갖게 된다. 또한 셀의 배열이 라운드-로빙 방식과 유사한 순환적 순위 결정으로 수행되기 때문에 기존의 공유 메모리 스위치의 제어구조와 비교하여 단순한 장점이 있으며, 높은 버퍼 이용률 및 채널의 확장성을 갖는 구조적 장점이 있다.

참고문헌

- [1] J. M. Pitts, J. A. Schormans, *Introduction to ATM Design and Performance*, John Wiley & Sons, 1996.
- [2] R. O. Onvural, *Asynchronous Transfer Mode Networks : Performance Issues*, Artech House, 1995.
- [3] Thomas M. Chen, Stephen S. Liu, *ATM Switching Systems*, Artech House, 1995.
- [4] Martin De Prycker, *Asynchronous Transfer Mode*, Prentice Hall , 1995.
- [5] J. Martin, *Asynchronous Transfer Mode : ATM Architecture and Implementation*, Prentice Hall, 1997.
- [6] E. R. Coover, *ATM Switches*, Artech House, 1997.
- [7] David E. McDysan, Darren L. Spohn, *ATM Theory and Application*, McGraw-Hill, 1994.
- [8] Timothy Kwok, *ATM : The New Paradigm for Internet, Intranet, and Residential Broadband Services and Applications*, Prentice Hall, 1997.
- [9] Hiroshi Saito, *Teletraffic Technologies in ATM Networks*, Artech House, 1994.