

덧셈기를 사용한 MPEG audio 부대역 필터의 저전력 구현

오세만, 박현수, 장영범
상명대학교 정보통신공학과
e-mail : ybjang@smu.ac.kr

Low-power implementation of MPEG audio subband filter using arithmetic unit

Sae-Man Oh, Hyun-Su Park, Young-Beom Jang
Dept. of Information and Telecommunication,
Sangmyung University

요 약

이 논문에서는 MPEG audio 알고리즘의 필터뱅크를 덧셈을 사용하여 저전력으로 구현할 수 있는 구조를 제안하였다. 제안된 구조는 CSD(Canonic Signed Digit) 형의 계수를 사용하며, 입력신호 샘플을 최대로 공유함으로써 사용되는 덧셈기의 수를 최소화하였다. 제안된 구조는 알고리즘에서 사용된 공통 입력 공유, 선형위상 대칭 필터계수를 이용한 공유, 공통입력을 이용한 블록 공유, CSD 형의 계수와 공통패턴 공유를 통하여 사용되는 덧셈의 수를 최소화할 수 있음을 보였다. Verilog-HDL 코딩을 통하여 시뮬레이션을 수행한 결과, 제안된 구조는 기존의 곱셈기 구조의 구현면적과 비교하여 59.6%를 감소시킬 수 있음을 보였다. 또한 제안된 구조의 전력소모도 곱셈기 구조와 비교하여 59.6%를 감소시킬 수 있음을 보였다. 따라서 곱셈기가 내장된 DSP 프로세서를 사용하지 않고도, Arithmetic Unit나 마이크로프로세서를 사용하여 효과적으로 MPEG audio 필터뱅크를 구현할 수 있음을 보였다.

를 감소시키는 필터구조를 제안한다.

I. 서론

최근 인터넷의 발달로 오디오 파일의 인터넷 다운로드가 쉬어지면서 MP3 플레이어의 시장이 매우 빠르게 확대되고 있다. MP3는 MPEG1 audio layer III의 알고리즘을 사용하여 오디오를 디코딩한다. 대부분의 MP3 플레이어는 주로 general purpose DSP를 사용하여 알고리즘을 코딩한 후에 ASIC으로 IC를 제작하는 것이 일반적인 방법이다. 그러나 최근에는 DSP 프로세서를 사용하지 않고 hard wired 방식으로 구현하는 반도체 IC 제품이 출현하고 있다. 본 논문에서는 MP3 복호기 필터를 덧셈기를 사용하여 저전력으로 구현하는 구조를 제안한다. MP3라고 불리는 MPEG audio 알고리즘은 SSB(Single Side Band) 필터뱅크 알고리즘을 사용한다. 이 논문에서는 MPEG audio 부대역 필터에서의 곱셈연산을 덧셈과 쉬프트 연산을 사용하여 구현면적과 전력소모

II. 제안된 저전력 CSD 구조

MPEG audio의 WOA(Weighted Overlap and Add) 필터 구조를 살펴보면 64개의 신호 샘플이 8개가 복사되어 512개의 신호 샘플이 만들어진다. 이 512개의 신호 x_n 과 512탭의 필터계수 h_n 이 각각 곱해져서 512개의 출력신호 y_n 을 만든다. 이와 같은 512개의 입력 샘플들은 64개의 IMDCT 출력이 8개 복사되었으므로 8개씩의 같은 입력 샘플들이 존재한다. 따라서 8개의 입력 신호가 같으므로 이 출력 신호들만 모을 수 있다. x_1 의 입력을 사용하는 블록은 입력신호가 공유된다. 따라서 입력신호가 공유된 블록이 64개가 만들어진다. MPEG audio 알고리즘에서는 선형위상의 대칭 필터계수를 사용하므로 64개의 블록들 가운데에 같은 블록들

이 2개씩 존재한다. 즉, 블록 1과 블록 63의 필터계수들이 같으므로 구현 하드웨어가 같아지게 된다. 따라서 같은 블록의 공유를 통하여 64개의 하드웨어를 33개로 줄일 수 있다.

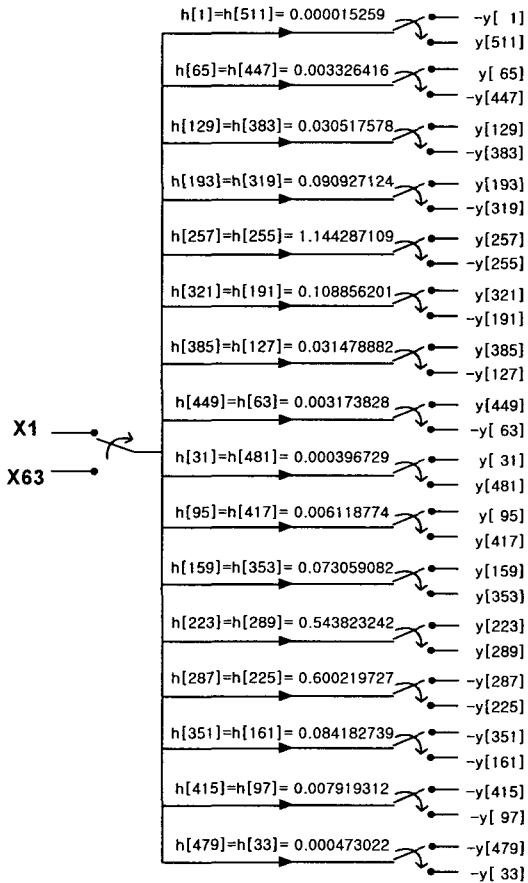


그림 1. 블록 1-63과 블록 31-33의 입력을 공유한 블록 1-63-31-33 구조
Fig. 1. block 1-63-31-33 structure sharing input of block 1-63 and block 31-33.

블록 1-63과 블록 31-33의 입력을 공유하면 그림 1과 같다. 따라서 그림 1의 블록 1-63-31-33과 같은 제안된 구조는 15개가 만들어진다. 이제 이 구조의 곱셈연산을 덧셈기와 쉬프트 연산을 사용하여 구현하는 방식을 제안하기로 한다. 먼저 필터계수들을 2진수로 표현하면 2의 보수형의 2진수보다는 1의 수가 적은 CSD(Canonic Signed Digit) 형의 2진수가 유리하다.^{[2][3]} 따라서, 먼저 CSD형 계수를 사용하기 위하여 블록 1-63-31-33에서 사용되는 16개의 계수들을 CSD 형으로 나타낸다. 덧셈과 쉬프트 연산으로 곱셈을 구현할 때에, CSS방식이 효과적이라고 알려져 있다.^{[4][5]} 따라서, 이 방식을 사용한 최종 구조는 그림 2와 같다.

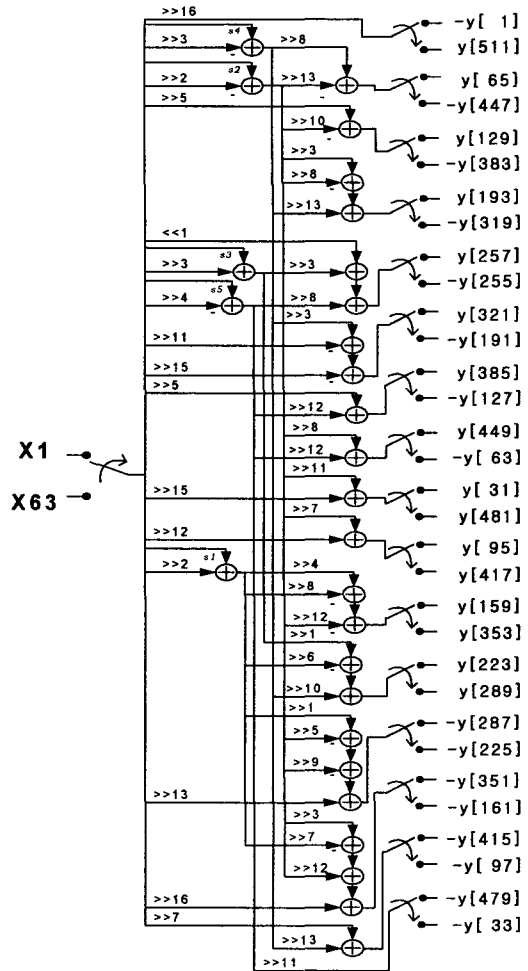


그림 2. 덧셈기와 쉬프트를 사용한 제안된 블록 1-63-31-33 구조
Fig. 2. proposed block 1-63-31-33 structure using adders and shifts.

III. 실험

1. 사용된 덧셈의 수 비교

MPEG audio 필터의 17개의 블록을 설계한 후에 각각의 블록에 사용되는 총 덧셈기의 수를 3개의 구조를 사용하여 비교하면 표 1과 같다.

표 1. 제안된 구조에서 사용된 총 덧셈의 수
Table 1. Total number of adders in the proposed structure.

블록	2의 보수형 구조	CSD형 구조	제안된 구조
덧셈연산의 수	1179	804	477
%	100%	68.2%	40.46%

표 1은 3가지 형의 2진수로 구현한 결과이다. 즉 2의 보수형 계수를 사용한 구조와, CSD 형의 계수

를 사용한 구조와, CSD 형의 계수와 common sub-expression 공유기법을 사용하는 이 논문이 제안하는 구조의 사용된 덧셈의 수를 비교하였다. 표 1에서 보는 것과 같이 제안된 구조를 사용한 결과 MPEG audio 부대역 필터의 제안된 구조는 1179개의 덧셈기를 477개로 줄일 수 있었다.

2. 구현면적과 소모전력 비교

이 절에서는 그림 1의 블록 1-63-31-33 곱셈기 구조와 그림 2의 제안된 구조를 Verilog-HDL로 코딩하여 각각의 구조의 구현 면적과 상대 전력소모를 비교한다. 사용된 tool은 Xilinx사의 ISE 6.0 WebPACK 을 이용하여 Verilog-HDL coding을 수행하였고 모델심 5.7을 이용하여 시뮬레이션 하였다. 이 Verilog-HDL 코딩에서 곱셈기 구조는 16개의 곱셈기를 설계하여 각각 1번의 곱셈 연산을 수행하였다. 제안된 구조에 대한 Verilog-HDL 코딩에서도 역시 28개의 덧셈기를 설계하여 각각 1번의 덧셈 연산을 수행하였다. 이와 같은 Verilog-HDL 코딩의 결과인 logic cell의 수는 표 2와 같다.

표 2. 제안된 구조의 구현면적 비교
Table 2. Implementation area for proposed structure.

	제안 구조	기존 곱셈기 구조
사용된 logic cell의 수	2,306	4,940
gate count	8,128	20,094
상대구현면적(%)	40.4	100

표 2에서 보듯이 블록 1-63-31-33을 구현하는데 곱셈기 구조는 4,940개의 logic cell이 사용되었으며, 제안된 구조는 2,306개의 logic cell을 사용하였다. 또한 곱셈기 구조의 Gate count는 20,094개이고 제안된 구조의 Gate count는 8,128개이다. 따라서 제안된 구조는 기존의 구조와 비교하여 구현면적을 59.6% 감소시킬 수 있었다. 두 구조의 전력소모를 비교하기 위하여 다음과 같은 식을 사용하였다

$$P_{dyno} = P_t \cdot C_L \cdot V_{dd}^2 \cdot f_{clk} \quad (1)$$

식 (1)의 dynamic 전력소모 P_{dyno} 은 CMOS 디지털 회로의 총 전력소모 가운데 가장 큰 비중을 차지한다. 이 식에서 P_t 는 전력이 소모되는 transition

의 확률이고, C_L 은 부하 커패시턴스, V_{dd} 는 사용 전압, f_{clk} 는 클록의 주파수이다. P_t 는 두 구조가 같다고 가정하였으며, C_L 은 표 3에서 얻은 gate count의 수를 사용하였다. 또한 f_{clk} 도 Verilog-HDL 코딩 결과에서 보듯이 처리시간이 같다. 따라서 gate count의 비가 전력소모의 비와 같음을 알 수 있다.

IV. 결론

MPEG audio 알고리즘의 512탭 FIR 필터를 덧셈기를 사용하여 저전력으로 구현할 수 있는 필터구조를 제안하였다. 즉, CSD 형의 계수와 공통패턴 공유를 이용하기 위하여 입력신호 샘플을 최대로 공유할 수 있는 구조를 제안하였다. 제안된 구조를 만들기 위하여 알고리즘에서 사용된 공통입력 공유, 선형위상 대칭 필터계수를 이용한 공유, 공통입력을 이용한 블록 공유, CSD 형의 계수와 공통패턴 공유를 통하여 저전력 구조를 제안하였다. 이와 같이 제안된 구조를 통하여 기존의 곱셈기 구조와 비교하여 구현 면적과 전력소모를 각각 59.6% 감소시킬 수 있었다. 따라서 제안된 MPEG audio 필터 구조는 DSP 프로세서 대신에 AU나 마이크로프로세서를 사용하여 효과적으로 구현될 수 있음을 보였다.

참고 문헌

- [1] "ISO/IEC 11172 MPEG-1 Committee Draft," Part 3 AUDIO.
- [2] W. Reitwiesner, "Binary arithmetic," in *Advances in Computers*, New York: Academic, vol. 1, pp. 231-308, 1966.
- [3] K. Hwang, *Computer Arithmetic: Principles, Architecture, and Design*, New York: Wiley, 1979.
- [4] R. I. Hartley, "Subexpression sharing in filters using canonic signed digit multipliers," *IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 43, No. 10, pp. 677-688, Oct. 1996.
- [5] M. Yagyu, A. Nishihara, and N. Fujii, "Fast FIR digital filter structures using minimal number of adders and its application to filter design," *IEICE Trans. Fundamentals of Electronics Communications & Computer Sciences*, vol. E79-A No. 8, pp. 1120-1129, Aug. 1996.