SiGe HBT의 Current Gain특성 개선

송오성, 이상돈, 김득중
서울시립대학교 신소재공학과
e-mail:songos@uos.ac.kr

Current Gain Enhancement in SiGe HBTs

Ohsung Song, Sandon Yi, Dugjoong Kim
Dept of Materials Science and Eng., The University of Seoul

요 약

초고속 RF IC의 핵심소자인 SiGe에피텍시층을 가진 이종양극트란지스터 (hetero junction bipolar transistor: HBT)를 0.35um급 CMOS공정으로 제작하였다. 이때 low V_{BE}영역에서의 Current Gain의 선형성을 향상시키기 위하여 Capping 실리콘의 두께를 200과 300Å으로 나누고 EDR (Emitter Drive-in RTA)의 온도와 시간을 900~1000C, 0~30sec로 각각 변화시키면서 최적조건을 알아보았다. 실험범위 내에서의 최적공정조건은 300Å의 capping 실리콘과 975C-30sec의 EDR조건이었다.

1. 서론

고속 무선 통신시장이 급격히 성장함에 따라, 그 근간을 이루는 무선 시스템을 구성하기 위해서는 높은 주파수 특성(f_T)과 superior noise 특성(NF_{min}) 및 power efficient한 특성 등을 가지는 소자들이 요구되어진다.[1] 기존의 RF CMOS나 실리콘 BiCMOS공정을 이용한 RF ICs용 제품개발은 high speed, low noise, high linearity 및 low power특성 면에서 SiGe BiCMOS특성에 비해 상대적 열세로 인한 low-end product개발에 주로 사용되어 지고 있으며, 초고속 interface core IPs 및 고성능 RF 제품은 급속도로 SiGe BiCMOS기술로의 adoption이 진행 되고 있다.[2]

실리콘 BiCMOS경우, 실리콘 bipolar의 특성개선을 위한 기술적 문제점은, 좀 더 짧은 전이 시간(T)과 높은 f_T를 얻기 위해서 base의 두께가 얇아져야 하고, 높은 f_{MAX}를 얻기 위해서는 베이스의 도핑 농도를 높이는 것이다. 그러나, 실리콘 bipolar에서 적절한 h_{FE}(current gain:β)을 얻기 위해서는 허용 가능한 base 도핑 농도가 정해져 있다. 따라서, 30㎓이상의 f_T를 얻는 것은 기술적으로 매우 어려운 것으로 알려져 있다.

본 연구에서는 차세대 비메모리 반도체 시장의 주축인 무선 통신용 소자에 응용될 SiGe HBT (Heterojunction Bipolar Transistor)소자의 문제점인 low V_{BE}에서의 base current 증가를 개선하여 설계 margin을 확보할 수 있는SiGe BiCMOS 공정을 개발하고자 하였다.

2. 실험방법

그림 1. 은 개략적인 0.35㎛ SiGe BiCMOS 공정 흐름도로, 0.35㎛ CMOS process를 근간으로 하였다. Bipolar transistor의 sub-collector 형성을 위하여 NBL(N+ Buried Layer) 형성과 N-(Phosphor doped 1um; ~E15) Si epitaxy growth를하고, PSL(polysilicon spacer LOCOS)공정을 이용하여 isolation하였다. Bipolar transistor 간의 isolation을 위하여 4㎛ Deep Trench Isolation이 형성되고, CMOS 공정을 위한 well implantation과 Gate formation, LDD(Low Dose Drain) implantation 공정을 진행하였다. CMOS protection하고 SiGe HBT 공정을 진행한다.

본 연구에서는 안정적인 양산 공정을 위해 non selective epitaxy를 적용하였고, 공정의 편의성과 높은 f_{MAX}값을 얻기 위하여 double poly-silicon 공정을 이용하였다.[3] SIC는 Base-Collector 접합에서 ~E16의 농도를 가지도록 phosphorous ion implantation하여 형성되었다. Base open후 전면 SiGe epitaxy는 ASM사의 epsilon reactor에서 진행하였다. SiGe epitaxy 전 native oxide의 제거를 위해 hydrogen bake를 진행하였다. 이후 silicon seed, boron doped SiGe, capping silicon 순으로 1000A growth하였다. Base contact형성을 위하여 *in situ* boron doped polysilicon을 deposition 하고, *in situ* phosphor doped polysilicon을 deposition하여 emitter를 형성하였다.

BiCMOS 공정은 CMOS공정을 근간으로 bipolar 공정을 추가하는 방식으로 진행된다. 따라서 기존의 Si BiCMOS 공정의 경우, diffused base위에 emitter polysilicon을 deposition하고 CMOS의 thermal budget에 의하여 emitter/base junction이 형성되었으나 SiGe BiCMOS의 경우 base를 epitaxial growth함에 따라 source/drain RTA만으로 부족하게 된다. 특히 base width및concentration을 control하기 위하여 Ge의 concentration을 높이는 경우, capping silicon의 thickness가 SiGe epitaxy의 quality를 유지하는 중요한 factor가 되므로 EDR(Emitter Drive-in RTA)이 더욱 중요하게 된다.[4]

본 연구에서는 capping silicon의 thickness를 200Å과300Å으로 구분하고 EDR의 temperature와 time을 split하였다. EDR temperature는 0℃, 900℃, 925℃, 950℃, 975℃, 1000℃에서 30sec 각각 진행하였다. 또한 base leakage current가 개선된 975℃ EDR 조건을 10sec, 20sec, 30sec시간에 따른 변화를 관찰하였다.

3. 실험결과 및 토의

EDR조건에 따라 제작된 SiGe bipolar transistor 중, emitter size가 0.6×2.0[um]인 transistor를 HP4155로 V_{CE}=1.5V에서 V_{BE}에서 따른 I_B와 I_C를 측정하였다. 그림 2.에서와 같이 capping silicon의 thickness가 200Å인 경우, EDR temperature가 증가해도 low V_{BE}영역에서의 base current가 개선됨이 없었다. 특히 EDR temperature에 따른 h_{FE} 특성 곡선을 보면, peak value가 925℃ ~975℃ EDR에서 일정한 값을 보이다가 다시 증가하는 경향을 보이고 있다. 그러나 capping silicon의 thickness가 300Å인 경우, 1000℃이하의 EDR 조건에서 low V_{BE}영역에서 base current의 개선이 확연하며, 975℃ 30sec EDR 조건의 경우, h_{FE} 특성 곡선을 보면 설계 margin이 확보되는 3 decade영역에서 linearity를 보이고 있다.(그림 3)

이상의 결과를 바탕으로 975℃ RTA process를 10sec, 20sec, 30sec로 시간의 변화에 따라 V_{BE}에서 따른 I_B와 I_C를 측정하였다. Capping silicon이 200Å인 경우 EDR time 증가에 따라 low V_{BE}영역에서 base current의 개선은 보이지 않고, h_{FE} value만 증가하고 있으나 capping silicon이 300Å인 경우, EDR time이 증가함에 따라 low V_{BE}영역에서 base current의 개선되었다.(그림 4)

4. 결론

본 실험을 통하여 EDR조건에 따라 low V_{BE}영역에서 base current의 개선을 확인하였다. Base current는 base에서 emitter로 주입되는 diffusion hole current에 의한 것으로 low V_{BE}영역에서 base leakage current를 유발한 것은 emitter polysilicon/capping silicon interface에 존재하는 trap site에 기인하는 것으로 사료되었다.

참고문헌

[1] A. Das, et.al., "Review of SiGe Process Technology and its Impact on RFIC Design", Proceedings of *IEEE RF IC Symposium 2002*, p325.

[2] Gerald S. Worchel, "Silicon Germanium Technology-When The Electron Hits The Airwaves", Report No. IN020093EA, In-Stat/MDR, 2002

[3] D. L. Harame, et.al., "Si/SiGe Epitaxial-Base Transistors-Part II: Process Integration and Analog Applications", IEEE *Trans. Elec. Dev.* ***42***, p469 (1995)

[4] D. J. Paul "Silicon-Germanium Strained Layer Materials in Microelectronics", Advanced Materials II(3) p191 (1999)

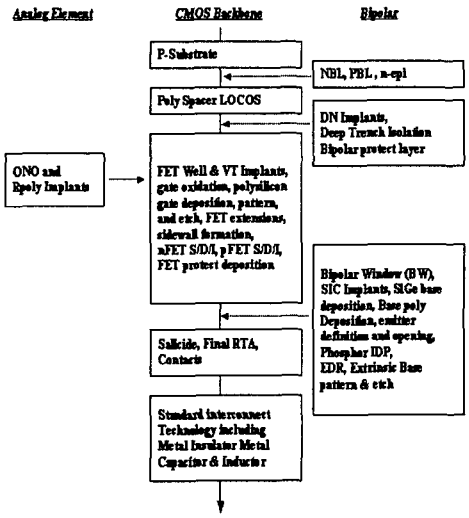

그림 1. 0.35㎛ SiGe BiCMOS 공정 흐름도

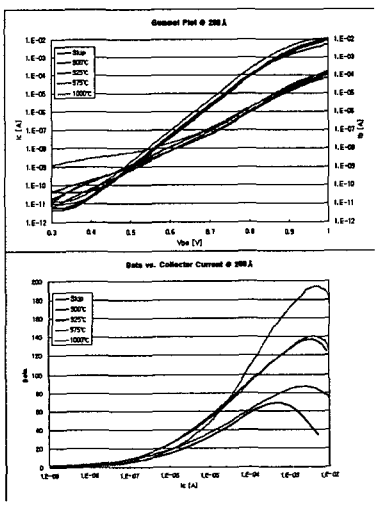

그림 2. Capping Silicon 200Å 시료에서 EDR 온도에 따른 Gummel Plot과 h_{FE} 특성 곡선.

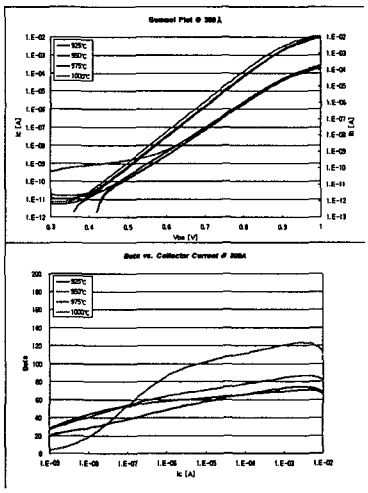

그림 3. Capping Silicon 300Å 시료에서 EDR 온도에 따른 Gummel Plot과 h_{FE} 특성 곡선.

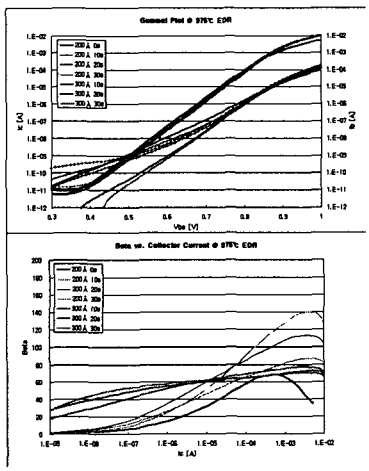

그림 4. 975℃ EDR 조건에서 시간에 따른 Gummel Plot과 h_{FE} 특성 곡선