

FPGA를 기반으로 한 PWM전용 컨트롤러 설계

김상욱, 노윤성, 이재영, 전희종
승실대학교

Design of only PWM Controller Based on FPGA

Sang-Ug Kim, Youn-Sung Rho, Jae-Young Lee, Hee-Jong Jeon
Soong-Sil Univ.

ABSTRACT

PWM 입력 전압원 반브리지 직류-직류 변환기의 예로 통상적인 스위칭 방법으로 동작시킬 때, 직류 전압원의 단락을 방지하기 위하여 변환기 신호에 데드타임을 삽입한다. 이러한 데드타임은 변환기 시스템의 제어 성능에 좋지 않은 영향을 발생시킨다. 따라서 이 데드타임을 효과적으로 보상하는 것이 필요하다. 또 이 데드타임의 영향을 방지 할 수 있는 최선의 방법으로써 데드타임 최소화 스위칭 방법을 고려할 수도 있다.

본 논문에서는 데드타임 최소화 스위칭 방법의 하나인 아날로그 방법이 아닌 디지털 방법으로 스위칭 방법을 제안하였다. 제안한 스위칭 방법은 SoC를 기반으로 한 Verilog-HDL 언어를 이용하여 PWM전용 컨트롤러를 설계하고, 기존에 문제점으로 PWM 스위칭 발생시 과도기간 동안 턴오프 손실이 발생되어 저하된 효율을 제안된 방법으로 방지하였다.

1. 서 론

디지털 회로 설계는 지난 수 십년간 매우 빠르게 발전해 왔다. 우리 일상생활에서도 사용하고 있는 가전제품이나, 컴퓨터, 산업용 제어 장치들의 기능은 강력해지고, 크기는 옛날에 비해서 매우 빠르며 작아지고 있다. 이런 현상은 예전에는 TTL로 구성하던 로직회로를 지금은 TTL들을 집대성한 ASIC을 사용하기 때문에 기능을 향상시키고, 크기를 줄일 수 있었으며, 한 칩에 집적 가능한 논리 회로의 규모는 아주 빨리 발전하고 있다. 이러한 논리 회로의 설계 방법도 크게 변하여, 회로도를 이용하여 설계하던 초창기 하드웨어 설계방식에서 현재는 HDL을 이용하여 설계하고 있다.^[1]

본 논문에서 기술하는 하드웨어란 논리 회로를 말하며, OP-Amp나 트랜지스터 등의 아날로그 회로는 아니다. HDL 자체는 어떤 새로운 개념이 아니라, 1995년 세계적

으로 권위 있는 기구인 IEEE에서 표준화한 하드웨어 기술 언어이므로 중요한 의미를 갖고 있으며, 그렇기 때문에 현재 널리 사용되고 있는 것이다. 본 논문에서는 Xilinx社에서 제공하는 FPGA Chip과 Verilog-HDL언어를 이용하여 PWM전용 컨트롤러 설계 및 구현하고자 한다.^[9]

2. 기존 스위칭 방법

그림 1에 브리지 한 암의 회로를 예로 들었다. 교류측에 연결된 상을 A라하고 A상에 흐르는 전류 i_A 의 정방향을 그림에서와 같다고 하면 i_A 의 양의 전류는 스위칭 소자 T_p 또는 환류 다이오드 D_p 를 통하여 흐르고 i_A 의 음의 전류는 스위칭 소자 T_n 또는 환류 다이오드 D_n 을 통하여 흐름을 알 수 있다. 통상의 경우에 있어서는 그림 2의 나타낸 것과 같이 T_p 의 스위칭신호 S_p 와 T_n 의 스위칭신호 S_n 사이엔 스위칭 소자의 턴오프 시간 이상인, 수 μsec 의 데드타임을 삽입하여 변환기를 사용한다.

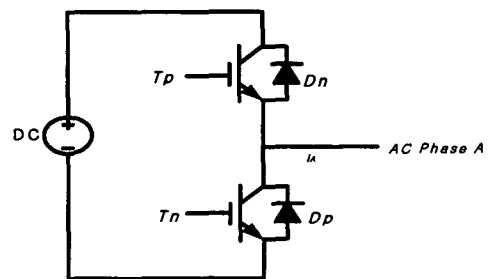


그림 1. 브리지 한 암의 회로

그림 2에서 전류 i_A 가 음인 경우 S_p 가 T_p 에 인가되어도 i_A 가 그림1에 나타낸 환류다이오드 D_n 을

통하여 흐르고 있기 때문에 T_p 는 ON조건을 만족시키지 못하며 따라서 S_p 의 인가는 무의미함을 알 수 있다.

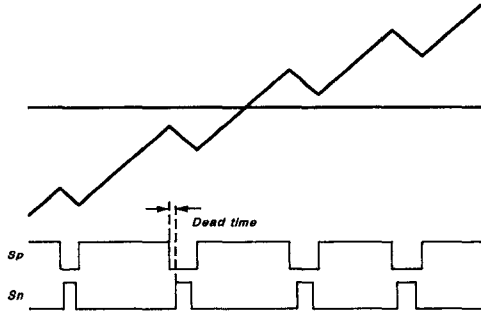


그림 2. 통상적인 스위칭 방법

i_A 가 양인 경우에는 S_n 의 인가가 무의미해 진다. 이런 무의미한 스위칭 신호의 인가를 위하여 데드타임을 삽입하게 됨으로써 무시할 수 없는 오차가 발생하게 된다. 따라서 신뢰할 수 있는 제어성능을 위해서는 데드타임에 의한 영향을 반드시 보상해야만 한다. 그러나 그림에 나타난 것과 같이 전류의 극성이 원활하게 절환될 수 있다는 장점이 있다. 그림 3에 기존 데드타임 최소화 스위칭 방법의 일례를 표시하였다. [4][5]

i_A 의 크기를 판단하여 i_A 가 양이 아닌 구간에서는 I_n 을, i_A 가 음이 아닌 구간에서는 I_p 를 1로 하여 I_p 가 1로 세트된 동안에는 스위칭신호 S_p 만 인가하는 방식으로 전류의 극성이 바뀌는 순간에만 1회의 데드타임을 삽입하여 암쇼트를 방지하기 때문에 일반적인 스위칭 방법에 비하여 데드타임에 의한 영향이 거의 없으며 구동회로의 전력을 반감시킬 수 있다는 장점이 있다.

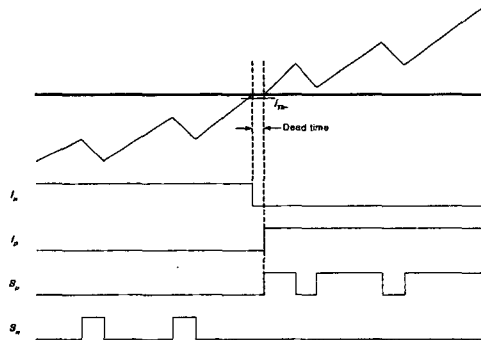


그림 3. 데드타임 최소화 스위칭 방법의 일례

그러나 전류가 정확히 0이 되는 순간 검출하기는 어렵기 때문에, 일례로 전류가 음에서 양으로 절환되어야 하는 경우 i_A 가 그림에 표시한 i_{th} 크기가

되면 I_n 을 0으로 리셋시켜 S_n 의 인가를 금지시키고 일정한 데드타임을 삽입한 후 I_p 를 셋시켜 S_p 의 인가를 허용시키기 때문에 그림에 나타난 것과 같이 전류가 0인 전류불연속 현상이 발생할 수 있다. [2]-[5]

삽입하는 데드타임이 매우 짧으므로 일반적인 경우에는 큰 문제가 되지 않지만, i_A 의 주파수가 높아질수록 문제점이 커진다. [2]-[5]

3. 제안한 PWM 모듈의 구성 및 동작

설계한 PWM전용 컨트롤러는 각 채널의 연속적인 동작을 위한 임시 레지스터를 내장 하고 있다. 기존에 사용된 PWM 방식은 입력 신호의 Sine신와 삼각신호를 비교하여 출력하는 형식으로 단상 PWM신호를 발생시보다 단상이상의 PWM 신호를 발생시 발생하는 암쇼트가 문제점이곤 하였다. 이때 데드타임을 아날로그 식으로 외부 회로를 사용하여 적용하는 방식으로 사용해 왔으나 점차 적으로 높은 주파수를 발생시 전류의 불연속 현상으로 암쇼트를 발생하는 경우를 발견하였다. 이러한 문제점을 아날로그 방식이 아닌 디지털적인 방식으로 로직을 설계하여 기존에 높은 주파수에 발생하는 암쇼트를 PWM 전용 칩으로 해결할 수 있다. 그러나 PWM 전용칩 아닌 PWM신호를 발생하는 마이크로 컨트롤러를 이용하여 PWM신호를 발생하는 마이크로 컨트롤러의 경우 마이크로 컨트롤러의 동작은 카운터 오버 플로우 회수 만큼의 데이터 처리 작업을 해야 하는 문제점을 갖고 있으며, 이렇게 되면 마이크로 컨트롤러 동작에 부하를 많이 주기 때문에 전반적인 작업효율이 떨어지고 제 때에 데이터를 처리하지 못할 수 있다. 그림 4는 본 논문에서 제안한 PWM전용 컨트롤러의 내부구조도 이다.

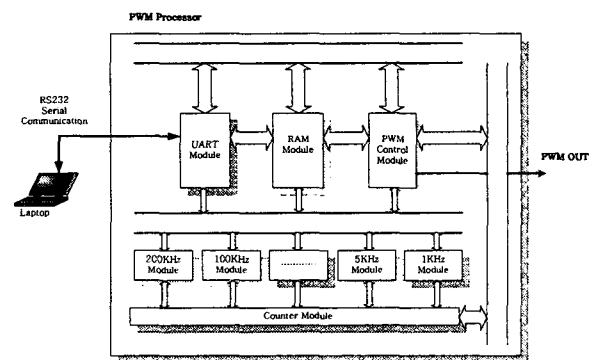


그림 4. PWM전용 컨트롤러의 모듈 구성도

제안한 PWM 컨트롤러의 구성은 모두 5개의 모

들인 UART모듈, PWM Control모듈, 카운트 및 타 임머 모듈, 임시 저장 Register, 주파수모듈로 구성 되어 있으며 초기 동작은 기본값으로 설정해놓은 PWM을 출력하게 되어있다. PWM전용 컨트롤러의 동작은 RS232 통신 통하여 start bit체크 후 PC에서 제어 신호와 데이터를 받는데, 제어 비트에 따라서 각 채널의 동작상태를 임시 레지스터에 보내며, 선택 된 주파수 모듈 이외의 모듈은 임시레지스터에 저장 후 소멸된다.

주파수 모듈은 입력 주파수의 분주하며, 분주된 주파수를 카운트 모듈에서 오버 플로우 발생 전 까지 동작하여 주파수 모듈에 전송한다. 이렇게 설계한 PWM전용 컨트롤러는 모든 동작을 모듈화 시켜 처리하는 방법을 선택하여 다른 모듈 동작에 부하를 덜어 줄 수 있다.

PWM Control 모듈은 통신을 통해 입력된 주파수 선택과 임시레지스터의 최적화 활용 및 주파수 카운터 오버 플로우 제어를 하며, 선택된 주파수 이외의 주파수 동작을 감시하며 PWM 신호를 출력한다. 또한 PC에서 주파수 변경 시 기존에 출력되고 있는 주파수 와 선택된 주파수의 순간 암 쇼트를 선택된 주파수 앞부분 신호에 기존 주파수 신호를 삽입시켜 점차적으로 PWM 신호를 점차적으로 변형하는 출력을 나타나게 된다. 이때 변형과정은 수십 nsec로 하기 때문에 스위칭 소자에서 감지하기 어려우며, 또한 스위칭 주파수는 원활한 PWM 제어가 가능하려면 턴온 및 턴오프 시간의 합이 1/2 스위칭 주기의 10[%] 이하가 되는 상한 주파수를 설계하는 것이 바람직 하다. 이렇게 설계한 PWM 전용 컨트롤러는 입력 OSC 클럭을 분주하여 카운터로 입력 받게되며, 입력 클럭을 그대로 받아 사용 시 최대 듀티 사이클은 식(1) 과 같이 나타낼 수 있다.^[10]

$$Duty Cycle_{MAX} = \frac{PWMx}{Fosc} \quad (1)$$

4. 시뮬레이션

설계한 PWM 모듈의 최상위레벨 시뮬레이션 결과는 그림 5와 같다. 입력주파수는 PWM 컨트롤 모듈을 통해 카운터에 입력되며, 카운터는 직접 주파수 모듈에 전달되고 전달된 주파수들은 임시레지스터에 저장되며, 이 저장된 주파수는 직접 PWM 콘트롤에서 호출하여 사용하며, 주파수 교체시에는 PWM 모듈에서 직접 호출하여 출력을 한다. PWM 발생시 데드타임은 일반적인 스위칭 소자들과 전력용 스위칭 소자들을 고려하여 1usec의 시간을 주

었다.

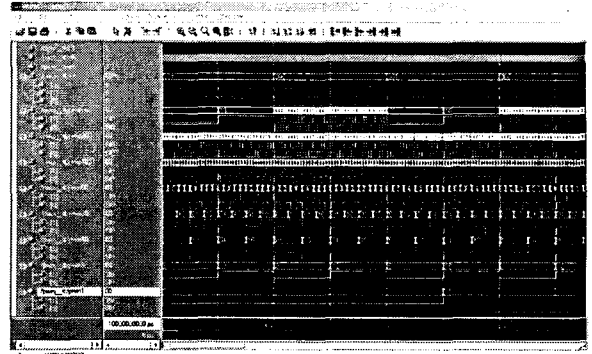


그림. 5 PWM 주파수 시뮬레이션

그림 6은 PWM전용 컨트롤러의 출력 파형이며 그림 7은 통신모드에서의 데이터 수신모드의 파형이다.

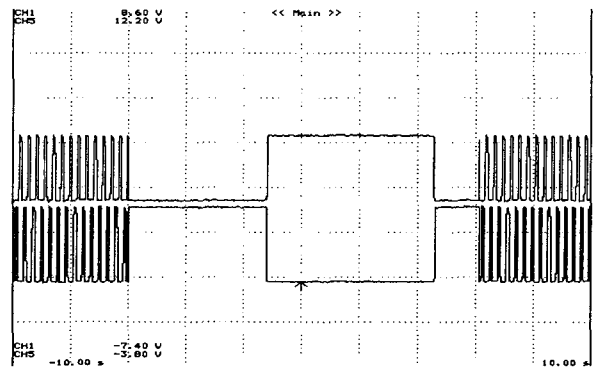


그림. 6 PWM 출력

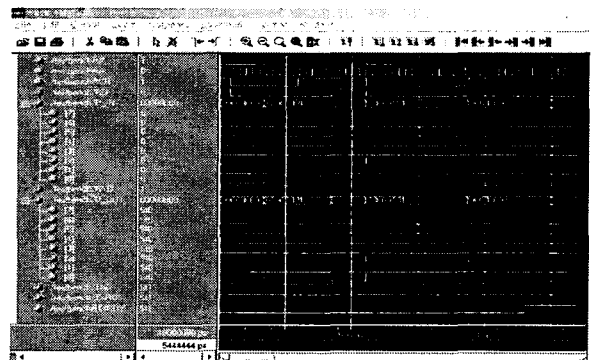


그림.7 데이터 전송모드

5. 결론

본 논문에서는 기존 아날로그 방식의 PWM 신호발생을 하드웨어 기술 언어인 Verilog-HDL로 설계하였다.

현대의 회로 설계에 있어서 가장 큰 문제점을 말하자면 크게 두가지 점으로 말하수 있는데, 첫째 급속히 증가되는 회로의 규모와 복잡성의 처리 문제와, 둘째로는 회로 설계시간 및 생산시간이라 생각된다. 이러한 문제점을 본 논문에서는 SoC 함으로써 두 가지의 문제점을 해결할 수 있다고 생각된다. 앞으로 FPGA을 이용하여 논리회로의 합성과 칩 제작을 행하여 사용이 더욱 증대할 것이며 설계 기술의 질적 향상을 꾀함으로써 ASIC설계에 대한 국내산업의 발전에 도움이 될 것이라 기대된다.

참 고 문 헌

- [1] Chin-Hwa Lee, "Top down system design using VHDL", ASIC Conference and Exhibit, 1993. Proceedings., Sixth Annual IEEE International, pp.256-265, Sept. 1993.
- [2] Sadeq A. Hamed, "Performance Evaluation of Three Phase Variable Speed DC Drive Systems with Uniform PWM Control", IEEE Trans on Power Electronics, pp. 228-241, March 1997.
- [3] 정우경, "고성능 마이크로 프로세서를 위한 클럭발생 회로 설계", 연세대학교 석사학위 논문, 1997,12.
- [4] 전희중 외3, "Pspice를 활용한 전력전자공학", Inter Vison, 1999.
- [5] 조규민, "스우칭 데드타임에 의한 인버터 출력 전압의 오차 해석", 대한전자공학회 논문지, 36권S편 제11호, pp. 1366-1373, 1999
- [6] David R. Smith, "Verilog Styles for Synthesis of Digital Systems",Prentice Hall, 2000.
- [7] Michael D. Ciletti, "Advanced Digital Design with the Verilog Hdl",Prentice Hall, 2002.
- [8] Samir Palnitkar, 장훈 "Verilog Hdl", 영한출판사,2000.
- [9] 전희중 외3, "Digital Design with CPLD Applications and VHDL", Inter Vison, 2004.
- [10] "Xilinx Datasheet", Xilinx Company. 2002.