

PDP용 브리지가 없는 고효율 ZVZCS 역률개선회로

조규민, 유병규, 문건우
한국과학기술원 전력변환연구실

Bridgeless High Efficiency ZVZCS Power Factor Correction Circuit for PDP Power Module

Kyu-Min Cho, Byung-Gyu Yu, Gun-Woo Moon
KAIST Advanced Power Conversion System & Digital Display Circuit LAB

ABSTRACT

Recently, many nation have released standard such as IEC 61000-3-2 and IEEE 59, which impose a limit on the harmonic current drawn by equipment connected to AC line in order to prevent the distortion of an AC Line.

Therefore, Plasma Display Panel (PDP) which is highlighted in digital display device also has the Power Factor Correction (PFC) circuit to meet the harmonic requirements.

In PDP power module, the conventional boost converter is usually used for the PFC circuit. However, it comes serious thermal problem on it's bridge diode due to heat of PDP, and therefore the system stability is not guaranteed.

In this paper, the bridgeless boost converter, which is used for PFC circuit of the PDP power module, is designed and verified the possibility of the application in a practical product in a view of efficiency, component count, temperature and etc.

1. 서 론

최근 멀티 미디어 시대 및 디지털 방송 시대를 맞이하여 TV, 컴퓨터, 인터넷의 기술을 조합한 첨단 전자 장치들에 대한 많은 연구 개발이 진행되고 있다. 그 중 차세대 벽걸이 디지털 디스플레이 소자로서 PDP(Plasma Display Panel)가 주목 받고 있으며 대화면, 고화질, 박형, 경량, 광 시야 각 등의 장점을 고루 갖춘 PDP가 FPD분야에서 그 새로운 시기를 맞이하게 되었다.

현재 PDP의 소비전력은 42인치의 경우 350W정도 소요되며 패널 크기가 50인치 내지 60인치로 대형화되면 그 소비전력도 600W가 넘어 가정용으로

는 곤란해진다. 무엇보다 저 효율은 PDP의 고 휘도화를 어렵게 하고 냉각시스템의 부담을 증가시키게 되는 등의 심각한 문제점들을 포함하고 있다.

전원 회로에 있어서는 최근 국제적으로 고조파 규제가 강화됨에 따라 각종 전기, 전자 제품에서의 역률 개선 회로(PFC circuit)의 사용이 보편, 의무화 되어 가고 있어 PDP의 전원회로에도 이를 적용하여야 한다. 일반적으로 역률 개선 회로는 수동형 회로와 능동형 회로의 두 가지 형태로 분류가 된다. 수동형 회로는 전원 입력 쪽에 L과 C로 된 수동형 라인 필터를 적절히 설계하여 전원 전류의 고조파 성분을 감쇄시키는 방식으로 가격이 싸고, 구성이 간단하다는 장점이 있기는 하지만 입력 전원 전압의 크기에 따라 출력 전압의 크기가 변함으로써 전압의 안정화가 어렵고, 상용전원 주파수에 맞추어 설계가 이루어져야 함으로, 크기와 부피가 상당히 커진다는 단점을 가지고 있다. 한편 능동형 회로는 일반적으로 알려진 부스트 컨버터(boost converter)를 응용하여 구성하는데 장점으로는 거의 1에 가까운 역률 특성을 나타내면, 안정된 직류전원을 입력전압의 변동에 관계없이 출력할 수 있다는 점이 있지만 스위칭 방식을 이용함으로써 구성회로가 복잡해져 단가가 올라가고, 제어가 쉽지 않다는 단점이 있다.

PDP의 경우 패널 자체에서 열을 많이 발생하기 때문에 회로 각부의 발열이 전원회로의 신뢰성에 심각한 영향을 끼치게 된다. 기존의 부스트 컨버터를 이용한 PFC 회로의 경우 브리지 다이오드에 가장 많은 발열이 일어나며 이를 해결하기 위해서 브리지 다이오드에 비해 매우 큰 방열판을 사용함을 알 수 있다. 이는 PDP가 점점 더 대형화 되어가는 현실에서 볼 때 매우 불합리적인 방법임을 알 수 있다.

본 논문에서는 위와 같은 문제점을 해결하기 위해 브리지가 없는 부스트회로를 BCM (Boundary Current Mode)로 구동시켜 효율 향상과 함께 발열 문제도 해결하고자 한다. 또한 기존의 회로와 비교 분석함으로써 회로의 실제 적용 가능성을 검증하고자 한다.

2. 역률개선회로를 위한 부스트 컨버터

2.1 기존의 역률개선회로

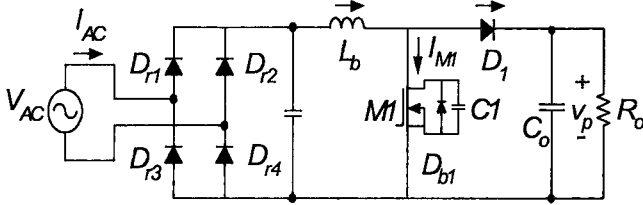


그림 1. 기존의 역률개선회로
Fig 1. Conventional PFC Circuit

그림 1. 과 같은 부스트 컨버터를 역률개선회로로 사용할 경우 구동방식에 따라 그림 2와 같이 세 가지 경우로 나눌 수 있다.

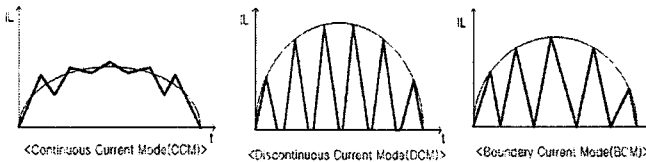


그림 2. 전류 제어 방법
Fig 2. Current Control Technique

CCM (Continuous Current Mode) 으로 구동할 경우 다른 두 방식에 비해 전류의 피크치가 가장 적기 때문에 스위치의 전류 스트레스나 인덕터의 코어 선정시 유리한 점이 있으나 전력스위치의 하드 스위칭 및 출력 다이오드의 역회복 문제 등이 있다.

BCM (Boundary Current Mode) 의 경우 다이오드가 영전류 턴 오프를 하기 때문에 다이오드의 역회복 문제가 발생하지 않지만 CCM 방식에 비해서 스위치의 전류 스트레스가 증가하고 인덕터의 코어 선정시 불리한 점이 있다.

DCM (Discontinuous Current Mode) 방식의 경우 제어가 간편하다는 장점이 있지만 전류 스트레스가 다른 방식에 비해 가장 크기 때문에 스위치와 인덕터 코어 선정시 가장 불리하다.

PDP 파워모듈의 경우(42인치) PFC의 입출력 사항은 표 1. 과 같다.

표 1. 42인치 PDP 용 파워모듈의 PFC 사양
Table 1. PFC spec. of 42" PDP Power Module

입력 전압	AC 90 Vrms ~ 265 Vrms
출력 전압	385 ~ 400V
출력 전력	500W

따라서 스위치의 전압, 전류, 그리고 가격을 고려하여 현재 사용되고 있는 PFC 회로는 부스트 컨버터를 BCM 으로 구동시켜 사용하고 있으며 인덕터의 발열문제로 인하여 부스트 컨버터를 250W급으로 병렬로 구동시켜 사용하기도 한다.

2.2. 효율, 역률, 온도 측정

표 2.는 현재 제품에서 사용하고 있는 역률개선회로를 제작하여 효율, 역률 그리고 온도를 측정한 것이다.

표 2. 기존 PFC 회로의 효율, 역률, 그리고 온도.

Table 2-1. Efficiency , Power Factor of Conventional PFC circuit

		90V	110V	220v	260V
single stage PFC	효율	91.5%	92.7%	96.1%	95.3%
	역률	0.99	0.99	0.99	0.98
parallel stage PFC	효율	93.8%	96%	97%	97.7%
	역률	0.99	0.99	0.99	0.9

Table 2-2. Temperature of Conventional PFC circuit (Vin=ac 90Vrms, Vo = 385V, Po= 500W, after 60 min.)

	Bridge Rectifier	Switch & Diode	Inductor
single stage PFC	77°C	75°C	89°C
parallel stage PFC	70°C	55°C	54°C, 54°C

PDP의 경우 자체 발광을 하는 디스플레이 소자이므로 패널 자체의 온도가 60도 이상 올라간다. 따라서 PDP 파워모듈의 경우 패널을 연결하지 않고 60도 이하의 발열을 가져야만 전체 시스템의 신뢰성을 확보할 수 있다. 표 2. 의 측정 데이터를 살펴보면 회로의 효율이 올라가더라도 브리지에서 발생하는 열은 거의 일정함을 알 수 있다. 이는 브리지에서 생기는 손실이 도통 손실이므로 회로적으로 효율을 올리더라도 파워를 전달하려면 어쩔 수 없이 생기는 손실이기 때문이다. 따라서 대부분의 제품에서는 시스템의 안정성을 위해 브리지에 매우 큰 방열판을 부착하고 있다. 이는 PDP가 점점 더 대형화되어가는 현재의 시점에서 매우 불합리적인 것을 알 수 있다. 따라서 그림 2.에서 보이는 것과 같이 브리지가 없는 부스트 컨버터를 PDP용 파워모듈에 적용시킴으로써 위에서 생기는 문제점을 해결하고 실제제품의 적용가능성을 검증하고자 한다.

3. 역률개선을 위한 브리지없는 부스트 컨버터

3.1 기본 동작

다음 그림 1.은 브리지없는 역률개선회로와 기본 동작을 보여준다. 고조파 노이즈를 저감시켜주는 EMI 필터와 LC 필터가 앞단에 달리고 브리지 정류기가 없이 바로 인덕터가 오게 된다.

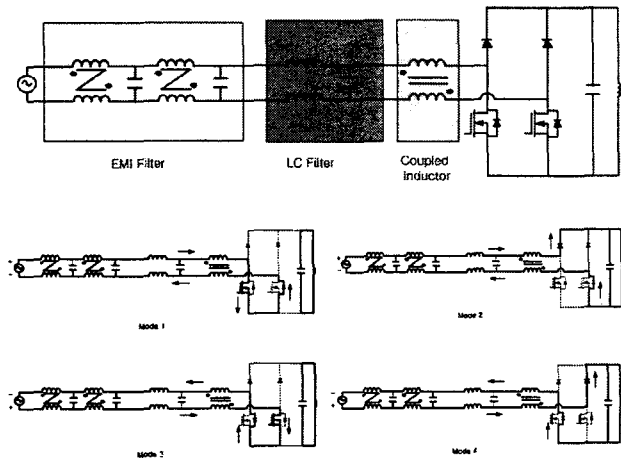


그림 3. 회로와 기본 동작
Fig 3. Circuit and basic operation

Mode 1 (Vac>0)

- 노드 A에서 센싱한 전류가 0이 되면 스위치 2개가 동시에 켜진다. 이 때 전류가 0인 상태에서 다이오드가 꺼지기 때문에 ZCS turn-off 가 된다. 전류는 M1의 채널과 M2는 역방향 다이오드를 거쳐 인덕터에 에너지가 쌓이게 된다.

Mode 2 (Vac>0)

- 일정 시간 후 스위치 2개가 동시에 꺼져 D1 과 M2의 역방향 다이오드를 거쳐 인덕터에 쌓인 에너지가 부하에 전달된다.

Mode 3 (Vac<0) - Mode 1과 동일

Mode 4 (Vac<0) - Mode 2와 동일

3.2 인덕터

그림 1.을보면 부스트 인덕터로 Coupled Inductor 를 사용했음을 알 수 있다. 실제 실험을 하면 인덕터를 한 개로 쓸 경우 스위치의 온/오프로 생기는 스위칭 노이즈에 의해 주변 실험 장치들이 자주 꺼지는 현상을 겪게 된다. 이는 인덕터를 Coupled Inductor로 사용함으로써 해결할 수 있다. Coupled Inductor 를 사용할 경우 그냥 보기에 는 인덕터가 2개로 나누어져 보이나 실제로 코어를 같

이 사용하고 서로 항상 연결되어 있으므로 회로에서 동작하는 인덕턴스 값은 다음과 같이 된다.

$$L_{eq} = \frac{\mu(N_1 + N_2)^2 A}{l}$$

$$L_1 = \frac{\mu N_1^2 A}{l}, L_2 = \frac{\mu N_2^2 A}{l} \quad (N_1 = N_2)$$

따라서 Coupled Inductor 를 쓸 경우 각각의 인덕턴스 값은 원래 부스트 인덕턴스 값의 1/4 이 되도록 설계하여야 한다.

3.3 스위치의 ZVS Turn-on

앞서 언급했듯이 PDP용 파워모듈의 경우 패널 자체가 열을 많이 발산하기 때문에 파워모듈의 발열 자체가 시스템의 신뢰성에 매우 큰 영향을 미친다. 일반적인 PDP용 역률개선회로인 경우 입력전압이 낮을 때 효율이 낮게 나온다. 따라서 보통 제품의 발열 테스트를 할 때 AC 90 Vrms에서 측정을 하게 된다. 따라서 회로의 방열판 사이즈를 결정하는 것은 낮은 입력에서의 효율이라고 볼 수 있다. 부스트 컨버터의 경우 입력이 출력보다 낮을 경우 게이트 신호에 약간의 딜레이를 추가함으로써 스위치의 양단 전압을 공진형태로 떨어뜨려 줌으로써 ZVS turn-on을 해 줄 수 있다. 그림 4는 그 원리를 보여준다.

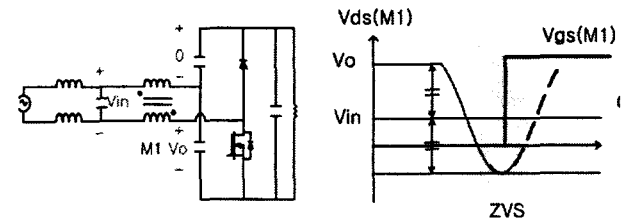


그림 4. 영전압 스위칭
Fig 4. ZVS Turn-on

이와 같은 낮은 입력 전압에서의 ZVS는 PDP용 역률개선회로에서 방열판 사이즈를 줄여 전체 시스템의 크기를 줄이는데 유용하다.

4. 실험 및 결과 고찰

4.1 주요 파형

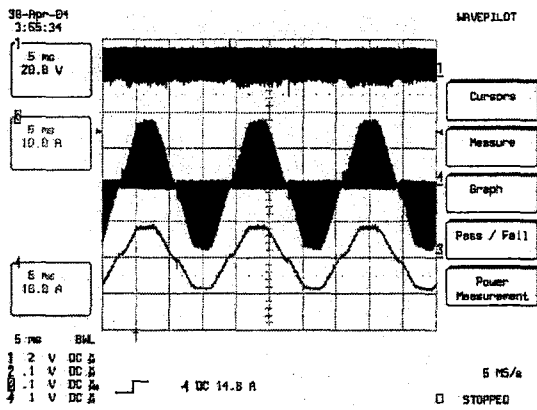
그림 5. 는 각부의 주요 파형이다. 입력 90V에서 측정된 것이다.

(a)는 인덕터에 흐르는 전류와 입력 전원에서 나오는 전류를 나타낸다. Power Factor Correction

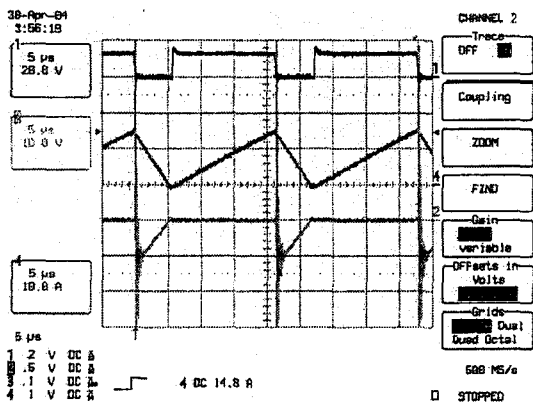
이 잘 되고 있음을 알 수 있다.

(b)는 (a)를 확대한 것으로 게이트 신호, 인덕터에 흐르는 전류, 제어기에 들어가는 센싱전류를 나타낸다.

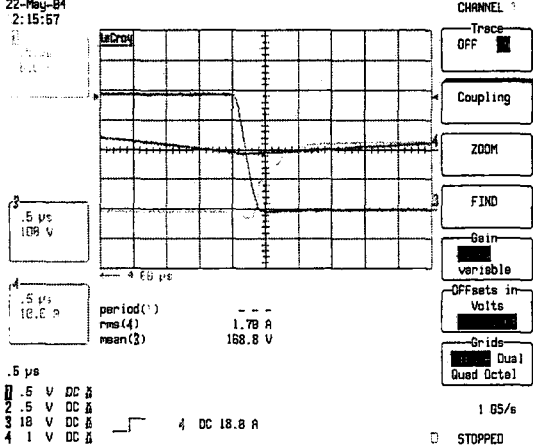
(c)는 게이트신호, 스위치 양단전압, 인덕터 전류를 측정한 것으로 스위치가 ZVS turn-on 이 되고 있음을 보여준다.



(a) Vgs(20V/div), IL(10A/div), Iin(10A/div)



(b) Vgs(20V/div), IL(10A/div), Isen(10V/div)



(c) Vds(100V/div), IL(10A/div), Vgs(5V/div)

그림 5. 주요 실험 파형

Fig 5. Key Experimental Waveforms

4.2 효율, 역률, 발열 측정

브리지없는 역률개선회로의 효율, 역률, 온도를 42" PDP 파워모듈의 사양으로 제작 측정한 결과를 표 2. 에 나타내었다.

표 2. 브리지없는 PFC 회로의 효율, 역률, 그리고 온도.

Table 2-1. Efficiency , Power Factor of Bridgeless PFC circuit

		90V	110V	220v	260V
single stage PFC	효율	95.08%	96.07%	98.12%	98.42%
	역률	0.99	0.99	0.98	0.95
parallel stage PFC	효율	95.45%	96.34%	98.1%	98.33%
	역률	0.99	0.99	0.97	0.96

Table 2-2. Temperature of Bridgeless PFC circuit

(Vin=ac 90Vrms, Vo = 385V, Po = 500W, after 60 min.)

	Switch	Diode	Inductor
single stage PFC	59°C	53°C	65°C
parallel stage PFC	55°C	45°C	64°C, 64°C

4.3 기존회로와 제안된 회로의 비교 분석

다음 표 3.과 표 4.는 실험에 사용된 소자수와 효율을 각각 나타낸다.

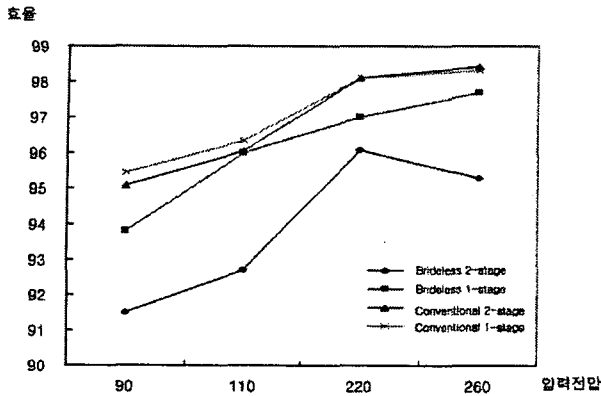
표 3. 소자수

Table 3. Component Count

소자	1-stage PFC	2-stage PFC	Bridgeless 1-stage PFC	Bridgeless 2-stage PFC
브리지 정류기	600V 25A : 1ea	600V 25A : 1ea	없음	없음
스위치	500V 24A : 2ea	500V 24A : 2ea	500V 24A : 4ea	500V 24A : 4ea
다이오드	600V 15A : 2ea	600V 15A : 2ea	600V 15A : 2ea	600V 15A : 2ea
인덕터	500W : 1ea	250W : 2ea	500W : 1ea	250W : 1ea

표 4. 효율비교

Fig 4. Comparison of Efficiency



기존의 PDP 용 역률개선회로보다 입력전압이 낮을 때 효율이 2~3% 정도 향상됨을 알 수 있다. 비록 기존의 회로에 비해 소자수는 늘어났지만 가장 열이 많이 나는 브리지를 제거함으로써 발열 문제를 해결하였다. PDP의 시장규모가 점점 더 커지고, 화면이 점점 더 대형화되어 가고 있는 시점에서 이는 굉장히 의미가 있는 일임을 알 수 있다.

5. 결 론

본 논문에서는 PDP용 브리지가 없는 고효율 고역률 ZVZCS 역률개선회로에 대하여 살펴보았다. 기존의 PDP용 역률개선회로가 가지는 문제점을 살펴보고 이를 개선하기 위해서 브리지가 없는 부스트를 PDP용 파워 모듈에 적용시켜 보았다. 그리고 효율과 발열 그리고 시스템의 크기 등 여러 가지 면에서 제품 적용 타당성을 살펴보았다. PDP가 점점 더 대형화 되어가 PDP용 파워모듈의 전력이 증가되고 있는 시점에서 역률개선회로에 브리지를 제거함으로써 효율 증대 발열문제 해결, 그리고 전체 시스템의 크기 감소 등을 할 수 있을 것으로 보인다.

This research was supported by university IT research center project.

참 고 문 헌

- [1] P.N Engeti, and R. Martinez, "A High performance single-phase AC to DC rectifier with input power factor correction", In Proceedings of APEC 1993, pp. 190-196
- [2] R. Srinivasan and R. Oruganti, "A unity power factor converter using half-bridge boost topology" IEEE Trans. on Power

Electronics, vol. 13, no. 3, pp. 487 - 500, May 1998.

- [3] James P. Noon, Dhaval Dalal "Practical Design Issue for PFC Circuits" Applied Power Electronics Conference and Exposition, 1997. APEC '97 Conference Proceedings 1997, Twelfth annual, Volume : 1, 23-27 Feb, 1997
- [4] Miaosen Shen, Zhaoming Qian, Min Chen "Analysis and Average Modeling of Critical Mode Boost PFC Converter" Power Electronics and Drive System, 2001. Proceedings, 2001 4th IEEE International Conference on, Volume: 1, 22-25 Oct.