

# 동적 재구성 구조의 하드웨어 활용도를 높이기 위한 Processing Element의 설계

이 재 익, 김 진 상, 조 원 경, 김 영 수

경희대학교

lunchbox2@nate.com

## Processing Element Design for Increasing the Hardware Utilization Efficiency of Dynamic Reconfigurable Architecture

Jae-Ic Lee, Jinsang Kim, Won-Kyung Cho and Youngsoo Kim  
Kyung Hee University

### 요 약

다양한 DSP 알고리즘을 고속으로 처리하기 위한 시스템을 DSP 전용의 ASIC 칩셀을 이용하여 설계할 경우, 시스템의 프로그래밍 능력이 떨어져 기능의 갱신이 어렵고 하드웨어 비용 및 소비전력이 증가한다. 이와 같은 문제점은 재구성 가능한 하드웨어를 이용하여 해결할 수 있으며, 다양한 알고리즘이 적용적으로 처리되어야 하는 SDR(Software Defined Radio)과 같은 응용분야에서는 재구성 가능한 시스템이 필수적이다. 본 논문에서는 기존의 워드단위의 재구성 가능한 Coarse-grain 구조와 비트 단위의 재구성이 가능한 Fine-grain 구조의 장점을 활용할 수 있는 4bit 단위의 동적 재구성 가능한 Processing Element 구조를 제안한다. 제안된 구조는 다양한 bitwidth에 대한 연산을 동적으로 수행할 수 있고 하드웨어 사용률이 높으며 고속으로 동작가능하며 확장성이 증가된다는 장점을 제공한다. 시뮬레이션을 통해 동작을 확인하고 Altera의 Cyclone Device의 FPGA합성으로 적은 소모전력 및 Cell크기를 가짐을 확인한다.

### I. 서 론

최근 휴대 단말기기 등을 통한 멀티미디어 정보의 전송과 처리에 대한 요구가 증가함에 따라 다양한 멀티미디어 데이터 처리를 위한 재구성 가능한 하드웨어의 필요성이 커지고 있다.[1] 이는 각각의 알고리즘을 ASIC Chip 단위로 구성하는 해결책과 비교 하였을 때, 하드웨어 크기 및 비용, 소비전력 감소에 유리하다. 재구성 가능한 하드웨어는 재구성 단위를 기준으로, 1비트 단위로 프로그램이 가능한 Fine-Grain 구조와 워드단위로 재구성이 가능한 Coarse-Gain 구조로 분류할 수 있다. FPGA와 같이 Bit 단위로 재구성이 가능한 Fine-Grain 구조는 제어신호가 많은 적용 알고리즘에 유리한 구조이며, Coarse-Grain 구조는 연산량이 많은 Word 단위의 적용 알고리즘을 처리하는데 적합하다.

본 논문에서는 Fine-Grain과 같은 bit 단위 연산처리와 Coarse-Grain과 같은 Word 단위의 연산처리의 중간단계로 4bit의 Nibble 단위의 Data를 처리하는 동적 재구성 가능한 PE 구조를 제안한다. 제안된 구조는 4bit 연산기 및 4bit의 Data-path로 구성되며, PE(Process Element) 배치와 병렬 Pipeline처리로 고속 연산을 구현했다. 또한 4bit 단위의 연산기를 통해 하드웨어 활용도를 높이고, 기존 재구성 가능한 하드웨어와 비교하여 높은 유연성 및 확장

가능한 구조를 가진다.[2]

본 논문의 구성은 다음과 같다. II절에서는 기존연구를 분석하고, III절에서는 제안된 구조를 설명한다. IV절은 시뮬레이션 및 합성 결과를 설명하고, V절에서는 결론을 맺는다.

### II. 기존의 재구성 가능한 하드웨어 구조

Morphosys[3]는 16bits의 연산을 수행하는 RC (Reconfigurable Cell)들이 8\*8의 2D Array형태로 배열되어 있으며, DMA Controller에 의해 Context를 공급받아, Data-Path와 각 RC의 연산이 결정된다. 64개의 RC는 내부구조가 동일하며, 각 RC는 16bit 곱셈기를 포함하므로, 고속의 멀티미디어 데이터 처리에 유리하다. 그러나, RC의 행과 열 방향으로 동일한 Context가 공급되어, 유연성이 떨어지며, 각 RC가 16bit 곱셈기를 포함하므로, 하드웨어의 크기가 크고, 16bit 이하의 data 처리에서 하드웨어 사용률이 저하될 수 있다.

Garp[4] 구조는 2bit단위의 데이터를 처리하는 Logic Block으로 구성되며, 각 Logic Block는 Add, Sub 및 Shift을 포함한 논리연산을 수행한다. Garp 구조는 2bit연산 단위로 하드웨어 사용률 및, 유연성이 높으나, Wire가 Chip 면적에 70%이상 차지하고, 휴대단말에 적합하지 않