

## 설계와 동작 특성

이훈희, 허근재, 유흥균

충북대학교 전자공학과

Knight1280@hotmail.com, sidechco@hotmail.com, ecomm@cbu.ac.kr

# Design and Operating Characteristics of the High-Speed DH-PLL Frequency Synthesizer

Hoon-Hee Lee, Keun-Jae Heo, Heung-Gyoong Ryu

Department of Electronic Engineering, Chungbuk National University

### 요약

기존의 PLL(Phase locked loop)은 폐루프 구조이므로 주파수 스위칭 속도가 낮은 단점을 갖는다. 이를 개선하기 위해서 개루프 구조를 혼합한 Digital Hybrid PLL 구조가 연구되었다. 이것은 빠른 주파수 스위칭 속도로 동작할 수 있지만, VCO의 전압대 주파수 전달특성을 ROM 형태로 구현하는 DLT(Digital Look-up Table)이 사용되어야 하므로 회로소자가 많아지고 소비전력이 증가된다. 그러므로, 본 논문에서는 복잡한 DLT의 구조를, 간단한 Digital logic 회로로 대체시킨 새로운 구조를 제안하였다. 또한 주파수 합성 때마다 타이밍 동기화를 이루는 회로를 설계하여 합성기의 항상성을 확보하였으며 DLT를 사용하는 방식과 비교하여 회로소자를 약 28% 정도 줄일 수 있다. 고속 스위칭 동작특성과 주파수 합성을 시뮬레이션과 실제 회로로 구현으로 확인하였다.

*Keywords:* high speed switching, PLL frequency synthesizer and digital hybrid PLL

### I. 서 론

정보 통신 시스템에서 고속 주파수 합성 기술은 매우 중요하다. 상용의 FHMA(frequency hopping multiple access) 시스템이나, Bluetooth 시스템, 그리고 군용통신이나 전자전(electronic warfare) 시스템에서는 이미 주파수도약 방식을 이용하고 있다. 이런 주파수 도약 시스템에서는 무엇보다도 고속의 주파수 스위칭 속도를 갖는 주파수 합성기 설계가 필수적이다.

고속 주파수 합성기 설계 연구로서, 1999년, El-Ela는 기존 PLL 주파수 합성기를 기본으로 VCO에 추가적인 입력을 주는 방식을 제안하였다[1]. 이 방식은 VCO에 DAC를 이용하여 추가적인 입력신호인 톱니파(sawtooth) 파형을 제공하는 구조이다. 이 구조에서는 복잡한 설계 기술과 함께 아주 정확한 동기가 맞아야만 고속의 주파수 합성이 가능하다. 또한, 2001년, H. G. Ryu 등은 DDIF(direct digital frequency synthesizer)와 PLL을 직렬로 연결시켜서 DDIF의 구조를 단순화시키면서

스위칭 속도를 높이고자 하는 연구를 했다[2]. 광대역 구조와 DDIF가 갖는 장점이 있으나, PLL의 동작이 전체 시스템의 동작 속도를 제한하는 문제가 있다. 2000년 Fouzar는 FVC(frequency-to-voltage converter)를 이용하여 이중 루프형태를 가지는 PLL 주파수 합성기를 제안하였다[3]. PD(phase detector)와 VCO의 출력 신호를 이용한 FVC와 제안된 coarse tuning controller를 통해 빠른 스위칭 속도를 갖도록 하는 기술이다. 하드웨어 복잡도(complexity)가 문제되고, FVC가 고속 동작의 결정적 요소이다. 그리고 pre-tuned 방식의 PLL 회로를 이용한 고속 주파수 합성기 연구가 있었다[4]. 이 방식은 VCO를 직접 구동하는 개루프와 기존 PLL 폐루프를 혼합한 하이브리드 구조이다. 이것은 빠른 주파수 스위칭 속도를 내지만, DLT(Digital Look-up Table)이 사용되어야 하므로 하드웨어가 복잡도하고, 소비전력이 증가된다. 그러므로, 본 논문에서는 VCO의 전압대 주파수의 전달특성을 ROM 형태로 구현하는