

## 저전력 LDPC 복호를 위한 메시지처리 유닛의 하드웨어구조 설계

이영섭, 김진상, 조원경, 김영수  
경희대학교

yoselee@khu.ac.kr jskim27@khu.ac.kr chowk@khu.ac.kr

## A Hardware Architecture Design of Message Processing Unit for Low-Power LDPC Decoding

YoungSeub Lee, Jinsang Kim, Won-kyung Cho, and Yoongsoo Kim  
Kyung Hee University

## 요 약

LDPC 부호는 Shannon 의 한계치에 근접하는 성능으로 인해 터보 부호와 더불어 차세대 이동통신 시스템에 필요한 고성능 에러정정 부호로서 주목 받고 있다. 하지만 커다란 패리티 검사 행렬로 인한 복잡도와 많은 계산량으로 인해 저전력 하드웨어 구현에 많은 어려움이 있다. LDPC 부호는 sum-product 알고리즘 외의 다양한 알고리즘으로도 복호가 가능하다. LDPC 부호의 복호에 있어서, BCJR 알고리즘은 수렴 속도가 빠르지만, 다른 복호 알고리즘에 비해 높은 복잡도를 가지는 단점을 지니고 있다. BCJR 알고리즘의 근사화 함수인 Max-Quartet 함수를 통해 복잡도를 낮추고 계산량을 줄일 수 있다. 본 논문에서는 BCJR 알고리즘을 통한 복호기의 핵심 유닛인 메시지처리 유닛의 개선을 통해, 면적은 약 20% 정도 증가하지만 비슷한 소비전력으로 약 30% 정도의 처리속도를 향상시킬 수 있는 메시지처리 유닛의 하드웨어 구조를 제안한다. 메시지처리에 필요한 총 시간을 줄임으로써 저전력 LDPC 부호의 복호기에 적합한 메시지처리 유닛을 구현하였다.

## I. 서론

최근 탁월한 성능으로 인해, 차세대 통신 시스템의 에러정정 부호로 LDPC(Low-Density Parity-Check) 부호에 대한 관심이 증가하고 있다. LDPC 부호는 1962 년 R.Gallager 에 의해 창안되고 최근 Mackay 에 의해 재발견 되면서 본격적인 연구가 시작되었으며, 부호의 길이가 긴 경우 Shannon 한계의 0.0045dB 까지 근접하는 부호도 나왔다. LDPC 부호는 비슷한 성능을 보이는 터보 부호에 비해 완전 병렬화를 통해 복호 시간을 획기적으로 단축할 수 있고 Bipartite 그래프에 기초한 sum-product 복호 알고리즘 외에도 근접하는 성능의 저복잡도를 갖는 다수의 복호 알고리즘이 존재하므로 복잡도와 시스템의 성능을 절충할 수 있는 장점이 있다. 또한 신드롬을 통해서 미 복호 오류를 검출할 수 있고, 최소 부호거리가 부호길이에 비례하므로 오류 바닥 현상이 나타나지 않는다.

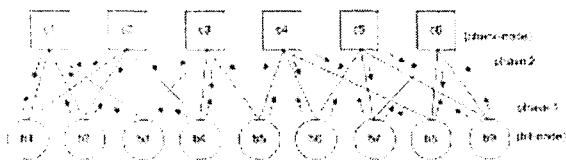


그림 1 regular(2,3)-LDPC 부호의 Bipartite 그래프

LDPC 부호는 Gallager 의 이단(two-phase) 메시지 전달 알고리즘[1]의 반복을 통해 복호된다. 이 알고리즘

은 이웃하는 체크 노드로의 메시지 전달을 통한, 모든 비트 노드 갱신 과정인 phase 1 과 이웃하는 비트 노드로의 메시지 전달을 통한, 모든 체크 노드 갱신 과정인 phase 2 로 구성된다. 각 노드를 갱신하는 과정은 독립적이고, 병렬 처리가 가능하다. 하지만 이 알고리즘을 그대로 구현하기에는 내부 노드간의 연결이 상당히 복잡하다. 또한 각 노드의 신뢰도를 계산하는 과정을 하드웨어로 구현하기 위해서는 제한된 비트의 값을 이용해 연산하게 되는데, 이 과정에서 Gallager 가 제안한 알고리즘을 그대로 적용할 경우, 일정한 결과치를 얻기 위해 필요로 하는 양자화 비트수가 상대적으로 많아지게 되어 비효율적이 된다.

이러한 문제를 줄이고, 수렴 속도가 빠른 하드웨어 구현을 위해 BCJR 알고리즘[2]을 사용한다. 이때, 복잡도를 줄이기 위해 근사화한 Max-Quartet 함수를 사용하게 된다. 본 논문은 BCJR 알고리즘의 근사수식을 사용한 복호 과정에서 가장 많이 사용되는 유닛인 Max-Quartet 함수를 개선하여 메시지 처리에 필요한 총 시간을 줄임으로써 저전력 복호기에 적합한 메시지처리 유닛을 구현하고자 한다.

본 논문의 구성은 다음과 같다. II 절에서는 BCJR 알고리즘을 근사화한 Max-Quartet 함수를 통한 복호기의 구조를 설명하고 알고리즘 검증을 위한 오류 성능 시뮬레이션을 보인다. III 절에서는 Max-Quartet 함수의 개선을 통해 메시지 처리 시간을 단축시키는 과정을 설명하고, IV 절에서는 FPGA 상에서의 실험 결과를 통해 동작을 검증하고 메시지를 처리 시간이 단축되었음을 확인한다. 마지막으로 V 절에서 결론을 맺는다.