

전기화학적 식각을 이용한 다공성 실리콘 제조

진동우, 노상수*, 김규현, 정귀상
동서대학교, 대양전기공업(주) 부설기술연구소*

Fabrication of Porous Silicon Using Electrochemical Etching

Dong-Woo Jin, Sang-Soo No*, Gue-Hyun Kim, and Gwi-Yang Chung
DongSeo Uni., Technical Research Institute, Daeyang Electric Co., LTD*

Abstract

The research on the porous silicon having low wafer stress during the oxidation process in IPOS(Isolation by Porous Oxidized Silicon) were carried out. Fine pores with less than 100Å of diameter were found in the porous silicon which from p-type Si by electrochemical etching. In this study, it is possible to make the porous silicon with 59% of porosity.

Key Words : Porous silicon, IPOS, Electrochemical etching

1. 서론

다공성 실리콘 (Porous Silicon)은 1950년대 Uhlir, Turner 등에 의해 HF용액에서 전해연마 (Electropolishing) 중 처음으로 관측되었고, 1990년에는 우연히 다공성 실리콘에서 전계발광 (Electro Luminescence)현상이 관측되어 다공성 실리콘을 이용한 Light Emitting Devices(LEDs) 개발이 진행되고 있으며, 다공성 실리콘 층 위에 실리콘이나 다른 물질을 에피택시얼 성장(Epitaxial Growth) 하는 연구도 진행 되고 있다[1-2].

다공성 실리콘은 표면적이 bulk 실리콘보다 수 백 배 크고, 표면결합 상태가 불안정하여 bulk 실리콘에 영향을 주지 않고 NaOH 용액에 매우 급속히 식각되는 성질을 이용하여 Micro Electro Mechanical Systems(MEMS) 에서의 희생층으로 이용된다. 뿐만 아니라 bulk 실리콘보다 산화속도가 빠르다는 특성을 이용하여 IPOS (Isolation by Porous Oxidized Silicon) 로 소자의 절연층, MOS 소자들 간의 격리층으로 활용이 가능하다[3].

그리고, 다공성 실리콘의 특성을 나타내는 중요 지표중의 하나가 다공성도인데 IPOS 제조 공정에서 산화시 다공성도가 높으면 기판의 체적 수축 및 팽창으로 인하여 변형이 일어나고, 낮은 경우에는 완전 산화가 일어나지 않으나 다공성도가 56% 일 경우에는 기판의 변형이 최소가 된다는 특성을 가지고 있다[4].

본 연구에서는 다공성 실리콘 층 위에 SiC 에피택시얼 성장을 위한 IPOS 제조 공정에서 다공성 실리콘을 산화시킬 때 기판의 변형이 최소가 되는 56% 다공성도를 가지는 조건을 찾기 위해 HF용액에서 전기화학적 식각을 이용하여 다공성 실리콘 형성조건에 따른 기공도 및 다공성 실리콘 층 두께 변화를 측정하였다.

2. 실험

그림 1 은 실험장치의 개략도를 나타낸다. 반응기는 HF용액에 잘 견디는 테프론(Teflon) 으로 되어있고, 반응에 필요한 안정된 전압과 전류를 공

급하기 위해 Potentiostat/Galvanostat 를 이용하였다. 전극으로는 실리콘 기판과 백금을 양극과 음극으로 각각 사용하였다.

반응용액은 HF용액과 에탄올(C_2H_5OH) 을 일정 비율로 혼합하여 24 wt% HF 용액으로 농도를 조절하여 사용하였다. 에탄올은 전해질 농도를 조절하는 한편 반응 도중 발생하는 수소 기포의 크기를 줄여 주는 역할을 하며, 수소기체가 실리콘 표면에 흡착되어 반응을 방해하는 것을 방지하여 균일한 다공성 실리콘 형성을 하는 역할을 한다[5].

기판은 p-type (100), 비저항이 10-20 Ωcm 인 실리콘 기판을 사용하여 반응시 양호한 저항성 접촉을 형성하고 균일한 전류분포를 얻기 위해 실리콘 기판 뒷면에 알루미늄을 sputter 를 이용하여 증착시키고 450°C에서 열처리를 하였다.

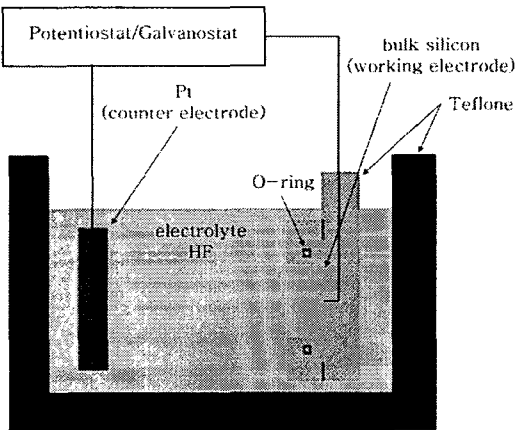


그림 1. 반응장치 구성도

24 wt% HF용액에서 2-40 mA/cm^2 의 전류밀도에서 5-15분 동안 반응하여 다공성 실리콘을 제조하고, 다공성 실리콘 층의 다공성도와 FE-SEM 을 이용하여 기공의 형태 관찰 및 다공성 실리콘 층의 두께를 측정하였다.

다공성도(Porosity, P) 는 전기화학적 시각에 의해 용해된 실리콘의 무게와 다공성 실리콘 영역의 반응전의 무게의 비로써 식(1) 과 같이 나타낼 수 있다[6].

$$P = \frac{m_1 - m_2}{m_1 - m_3} \quad (1)$$

m_1 : 반응전의 시료의 질량

m_2 : 반응 후의 시료의 질량

m_3 : 반응 후 다공성 실리콘 층을 제거한 후의 시료의 질량

3. 결과 및 고찰

그림 2 는 24 wt% HF용액에서 10 mA/cm^2 의 전류밀도로 15분간 반응한 다공성 실리콘 층의 표면 FE-SEM 사진이다. 기공은 불규칙적으로 형성되었으며, 전체적으로 직경이 50nm 보다 작은 미세 기공들이 형성된 것을 알 수 있다.

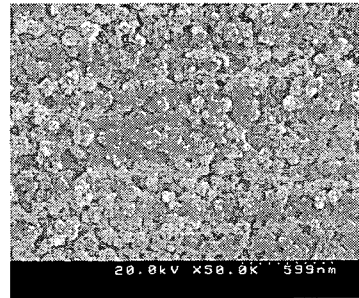
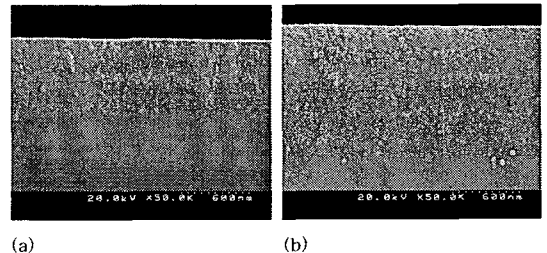


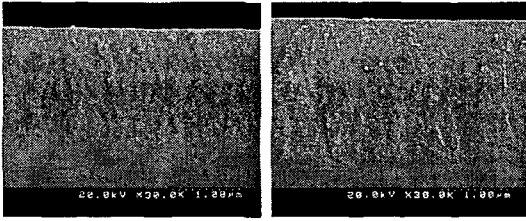
그림 2. 다공성 실리콘 층 표면 FE-SEM 사진

그림 3 은 24 wt% HF 용액에서 전류밀도를 달리하여 5분간 형성한 다공성 실리콘 층 단면 FE-SEM 사진이다. 사진에서 윗부분이 다공성 실리콘 층, 아랫부분을 실리콘 기판 두 부분으로 구별할 수 있다. 형성된 다공성 실리콘 층은 전체적으로 약간 거칠기는 하지만 상당히 균일한 깊이로 형성 되어 있는 것을 알 수 있다.



(a)

(b)



(c) (d)
 그림 3. 24 wt% HF용액에서 형성한 다공성 실리콘 층 단면 FE-SEM 사진; (a) 2 mA/cm², (b) 5 mA/cm², (c) 10 mA/cm², (d) 15 mA/cm²

그림 4 는 24 wt% HF용액에서 2-40 mA/cm² 의 전류밀도로 5분간 형성한 다공성 실리콘 층의 두께 변화를 나타낸다. 전류밀도가 증가하면 다공성 실리콘 층의 두께가 선형적으로 증가하는 것을 알 수 있다.

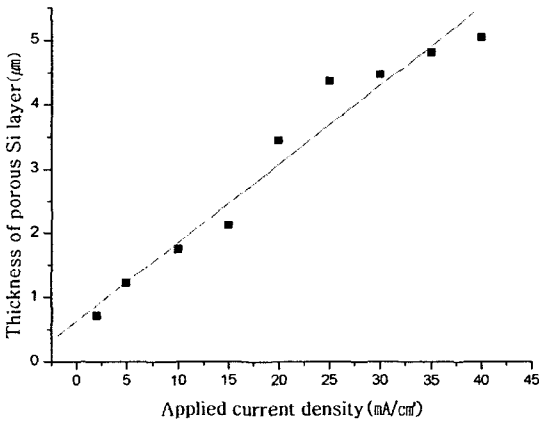


그림 4. 전류밀도 따른 다공성 실리콘 층 두께

그림 5 는 24 wt% HF 용액에서 2-40 mA/cm² 의 전류밀도로 5분간 형성한 다공성 실리콘의 다공성도 변화를 나타낸다. 전류밀도가 증가함에 따라 다공성 실리콘의 다공성도는 증가하는 것을 알 수 있고, 20 mA/cm² 의 전류밀도일 때 IPOS 공정에서 산화시 기판의 변형이 적은 다공도인 56% 에 근접한 59% 의 다공성도를 갖는 다공성 실리콘을 형성 할 수 있었다.

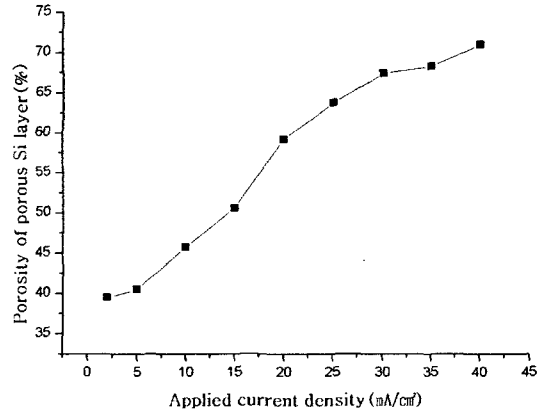


그림 5. 전류밀도에 따른 다공성 실리콘 다공성도

4. 결론

본 연구에서는 IPOS 공정에서 산화시 기판의 변형이 적은 56% 다공도를 갖는 다공성 실리콘의 제조 조건을 찾기 위한 연구를 수행하였다. p-type 실리콘을 이용하여 전기화학적 식각으로 형성한 다공성 실리콘의 경우 기공의 직경이 50nm 보다 작은 미세 기공들이 불규칙적으로 생성되었다.

다공성 실리콘 층 단면 FE-SEM 사진에서 약간 거칠기는 하지만 균일한 깊이로 다공성 실리콘 층이 형성된 것을 알 수 있으며, 다공성 실리콘의 두께 및 다공성도도 전류밀도 증가에 따라 증가하는 것을 알 수 있었고, 20 mA/cm² 의 전류밀도일 때 IPOS 공정에서 산화시 기판의 변형이 적은 다공도인 56% 에 근접한 59% 의 다공도를 갖는 다공성 실리콘을 형성 할 수 있었다.

참고 문헌

- [1] L.T. Canham., "Silicon Quantum Wire Array Fabrication By Electrochemical And Chemical Dissolution Of Wafers", Appl Phys Lett., Vol. 57, No. 10, p. 1046, 1990.
- [2] P. Menna, Y. S. Tsuo, and M. M. Al-Jassim., "Light-Emitting Porous Silicon from Cast Metallurgical-Grade Silicon", J. of Electrochem. Soc., Vol. 143, p. 589, 1996.
- [3] Choong-Mo Nam, Young-Se Kwon, "GaAs Multichip packaging using the Selectively Oxidized Porous Silicon Substrate", IEEE

Microwave and Guided wave letters, Vol. 2,
p. 113, 1998.

- [4] K. Barla, R. Herino, and G. Bomchil,
"Stress In Oxidation Porous Silicon Layers",
J. Appl. Phys., Vol. 59, No. 2, p. 439, 1986.
- [5] G. Bomchil, R. Herino, K. Barla, and JC.
Pfister, "Pore Size Distribution In Porous
Silicon Studied By Adsorption Isotherms",
J. of Electrochem. Soc., Vol. 130, p. 1611,
1983.
- [6] R. Herino, G. Bomchil, K. Barla, C.
Bertrand, and J. L. Ginoux., "Porosity And
Pore Size Distributions Of Porous Silicon
Layers", J. of Electrochem. Soc., Vol. 134,
p. 1994, 1987.