

# 박막 게이트 절연체 위에서 Ta-Mo 합금의 안정성

이충근, 강영섭, 서현상, 홍신남  
한국항공대학교 전자·정보통신·컴퓨터공학부

## Stability of Ta-Mo alloy on thin gate dielectric

Chung-Keun Lee, Young-Sub Kang, Hyun-Sang Seo and Shin-Nam Hong  
HANKUK AVIATION UNIVERSITY, School of Electronics, Telecommunication and Computer Engineering

### Abstract

This paper investigated the stability of Ta-Mo alloy on thin gate dielectric. Ta-Mo alloy was deposited by using co-sputtering process after thermal growing of 3.4nm and 4.2nm silicon dioxide. When the sputtering power of Ta and Mo were 100W and 70W, respectively, the suitable work function for NMOS gate electrode, 4.2eV, could obtain. To prove interface thermal stability of thin film gate dielectric and Ta-Mo alloy, rapid thermal annealing was performed at 600°C and 700°C for 10sec in Ar ambient. The results of interface reaction were surveyed by change of silicon dioxide thickness and work function after annealing process. Also, the reliability of alloy gate and gate dielectric could be confirmed by quantity of leakage current. Ta-Mo alloy was showed low sheet resistance and thermal stability, namely, little change of gate dielectric and work function, after 700°C annealing process.

**Key Words : Gate Metal, Co-sputtering, Thermal stability, Work function**

### 1. 서 론

CMOS 소자의 채널 길이가 50nm 이하로 감소함에 따라 폴리 공핍(poly depletion), 붕소 침투, 높은 면저항 등 폴리실리콘의 문제점이 나타나 이를 보완하고 또한 high-κ와 같은 차세대 게이트 절연체와의 공정상의 적합성을 위하여 금속 게이트가 필요하게 되었다. 폴리실리콘을 대체하면서 적절한 단채널 성능과 문턱전압을 유지하기 위하여 금속 게이트의 일함수는 nMOS와 pMOS에서 각각 4eV와 5eV에 가까워야 한다[1]. pMOS의 경우 Mo와 RuO<sub>2</sub>처럼 적절한 금속이 있는 반면에 nMOS에 적합한 일함수를 갖는 금속은 절연체와 반응하여 금속 산화막이나 monosilicide 층을 형성하는 열적 불안정성을 갖는다. 이런 계면층은 EOT(equivalent oxide thickness)를 감소시키고 금속의 일함수를 변화시켜 소자의 성능에 영향을 준다. 따라서 CMOS의 게이트 전극으로 사용되기 위하여 금속 게이트는 적합한 일함수와 열적 안정성을 가져야 한다[1].

금속을 게이트 전극으로 사용하는 방법은 크게 두 가지로 구분할 수 있다. Mid-gap 일함수 금속(e.g., TiN and W)을 사용하거나 이원 일함수를 사용하는 것이다. Mid-gap 일함수 금속 게이트가 사용된 경우에는 MOS의 문턱전압이 너무 높고 단채널 효과가 심각하게 나타난다. 반면에 이원 일함수 금속 게이트를 사용하는 경우에는 대부분 비슷하게 두 번의 금속 증착 과정을 필요하게 되므로 공정상의 복잡성이 증가한다. 특히 nMOS의 경우 앞에서 언급한 금속의 열적 불안정성을 보완하기 위하여 합금을 사용하게 된다. 합금을 구성하는 방법으로 두 종류의 금속을 적층한 후 고온 열처리로 내부 확산을 시키는 방법과 co-sputtering을 이용하는 방법 등이 있다[1][2]. 적층 구조를 사용하는 경우 추가적인 열처리가 필요하나 co-sputtering의 경우 동일 석영방(chamber) 내에서 타겟(target)에 가해지는 전력만을 조절하여 원하는 일함수를 갖는 이원 합금을 구성할 수 있어서 비교적 공정이 간단하다.

본 논문에서는 nMOS에 적합한 일함수를 갖는

Ta과 Mo 합금을 구성하기 위하여 선행 연구[3]에서 찾아낸 스퍼터링 전력 비율로 Ta과 Mo을 co-sputtering 하였다. 선행 연구의 경우 사용된 게이트 절연막의 두께는 9.6nm였으나 본 논문에서는 3.4nm와 4.2nm의 게이트 절연막 위에 합금을 형성하여 그 특성을 연구하였다. 또한 증착된 합금막이 후속 열처리 공정에 대하여 열적으로 안정한지를 검증하기 위해 600℃와 700℃에서 RTA(rapid thermal annealing)를 수행하였다. 열처리 이후 EOT변화와 일함수의 변화를 통하여 합금의 열적 안정성을 확인하였다.

## 2. 실험

### 2.1 MOS 커패시터(capacitor)의 제작

본 논문에서는 nMOS에 적합한 게이트 전극의 특성을 연구하기 위하여 MOS 커패시터를 제작하여 그 특성을 연구하였다. (100) p-type 실리콘 기판에 활성 영역을 형성하기 위하여 약 350nm의 필드 산화막(field oxide)을 성장시켰다. 900℃에서 약 3.4nm와 4.2nm의 게이트 산화막을 성장시켰다. 이원 합금은  $3 \times 10^{-9}$  torr의 기본 압력에서 sputtering tool을 사용하여 증착하였다. 순도 99.95% Ta과 순도 99.95% Mo 타기를 사용하여 스퍼터링을 수행하였다. 선행 연구에서 nMOS에 가장 적합한 일함수는 Ta과 Mo의 전력을 각각 100W와 70W로 했을 때 얻어졌으므로 이와 동일한 전력 비율로 co-sputtering 하였다.

Ta-Mo 이원 합금 게이트의 두께는 약 500Å이고 lift-off를 사용하여 게이트를 패턴(pattern)하였다.

### 2.2 MOS 커패시터의 특성 측정

FE-SEM(field emission scanning electron microscopy)을 이용하여 합금의 조성 비율을 측정하였고 AES(auger electronic spectroscopy)를 이용하여 Ta과 Mo의 depth profile을 얻었다. HP 4280 LCR meter(1MHz)와 HP 4155 반도체 소자 분석기를 사용하여  $10^{-4}$ cm<sup>2</sup> 면적의 MOS 커패시터에서 C-V와 I-V 특성을 측정하였다. NCSU 양자모델[4]을 이용하여 시편의 일함수와 EOT를 얻었으며 4

점 탐침기를 사용하여 금속막의 면저항을 측정하였다. 합금의 열적 안정성을 검증하기 위하여 시편을 Ar 분위기로 600℃와 700℃에서 10초간 RTA한 후 열처리 전후의 EOT와 일함수를 비교 분석 하였다.

## 3. 결과 및 고찰

시편 제작에 적용한 Ta 스퍼터링 전력 비율은 58.8%이며, FE-SEM을 이용하여 측정된 Ta과 Mo의 원자 조성 비율은 각각 90.7%와 9.3%이다. 그림 1은 AES로 측정된 Ta과 Mo의 depth profile이다. AES 측정 결과도 FE-SEM 측정 결과와 동일한 원자 조성 비율로 나타났다.

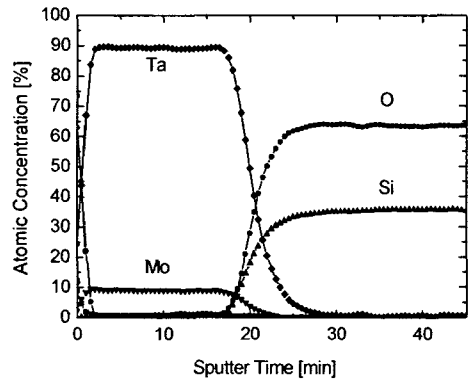


그림 1. Ta-Mo 합금의 depth profile(power of Ta power:100W, power of Mo: 70)

표 1은 열처리 전과 후의 EOT를 나타내고 있다. 순수한 Ta의 경우에는 550℃ 정도의 열처리에서 EOT가 크게 변하는 불안정한 특성을 갖는 반면[5]에 Ta-Mo 합금의 경우에는 열처리 하지 않은 시편의 EOT와 700℃로 열처리한 시편의 EOT 차이는 게이트 절연막이 3.4nm인 경우 약 0.15nm이고 게이트 절연막이 4.2nm인 경우 약 0.22nm이다. 또한 9.6nm의 게이트 절연막을 사용한 경우 열처리 전과 700℃ 열처리 후 EOT의 변화는 0.01nm였다. 이것은 측정 오차등을 감안한다면 작은 차이라 할 수 있다.

표 1. 열처리 전과 후의 EOT의 변화 [단위:nm]

|       | as-dep. | 600°C | 700°C | 오차율  |
|-------|---------|-------|-------|------|
| 3.4nm | 3.41    | 3.41  | 3.56  | 4.4% |
| 4.2nm | 4.26    | 4.08  | 4.04  | 5.2% |
| 9.6nm | 9.65    | 9.66  | 9.64  | 0.1% |

금속의 일함수를 구하는데 있어서 가장 큰 영향을 주는 것은 고정전하이다. 따라서 고정전하의 영향을 보완하기 위해서는 다양한 두께의 게이트 절연막을 사용하여 실험하여야 한다. 그림 2는 세 종류의 게이트 절연막에 대한 평탄전압을 나타낸다.

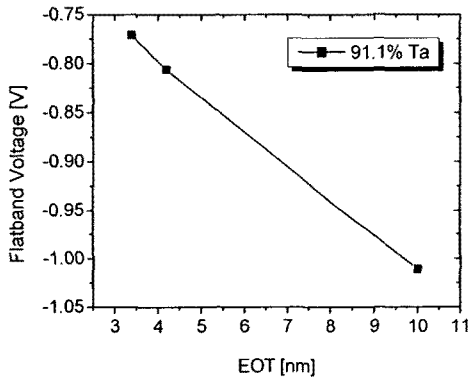


그림 2. EOT에 따른 평탄전압

합금이 열적으로 안정하려면 계면층이 형성되지 않아야 하며 일함수 또한 안정해야 한다. 열처리에 의해 금속 게이트의 일함수가 크게 변한다면 소자의 문턱전압도 변하게 된다. 따라서 소자가 일정한 성능을 나타내기 위하여 금속 게이트는 열처리 이후에도 일정한 일함수를 가져야 한다. 표 2에서 열처리 이전 시편의 일함수는 스퍼터링 결함을 갖고 있어 실제 일함수보다 낮은 일함수가 측정되었다 [1]. 따라서 600°C RTA 이후 증가된 일함수는 스퍼터링 결함 제거에 의한 것이다. 600°C와 700°C RTA 후 일함수의 차이는 3.4nm 게이트 절연막의 경우 다소 높지만 모든 시편에서 5%이내의 차이를 나타내었다. 이것은 Ta-Mo 합금이 열적으로 안정하다는 것을 나타내고 금속막 증착 이후의 후속 열처리 공정으로 인하여 소자의 성능이 크게 변화되지 않음을 나타낸다.

결론적으로 열처리에 따른 EOT 변화량과 일함수의 변화량을 고려하였을 때 Ta-Mo 합금은 기존에 보고되었던 nMOS에 적합한 다른 금속과는 달리 700°C까지의 열처리에 안정적인 특성을 나타내었다.

표 2. 열처리에 따른 일함수의 변화 [단위:eV]

|       | as-dep. | 600  | 700  | 오차율  |
|-------|---------|------|------|------|
| 3.4nm | 3.78    | 4.12 | 4.29 | 4.1% |
| 4.2nm | 3.62    | 4.30 | 4.30 | 0%   |
| 9.6nm | 3.63    | 4.25 | 4.2  | 1.2% |

스퍼터링에 의한 금속막의 증착은 게이트 산화막에 손상을 줄 수 있다. 게이트 산화막의 손상은 일반적으로 게이트 누설전류를 증가시킨다. 따라서 게이트 산화막의 손상 정도를 파악하기 위하여 누설전류 특성이 고찰되어야 한다. 그림 3과 4는 700°C 금속 열처리 이후 측정된 3.4nm와 4.2nm의 게이트 절연막을 갖는 MOS 커패시터의 게이트 누설전류를 나타낸다. 9.6nm의 게이트 절연막을 갖는 MOS의 커패시터의 경우 절연막의 두께가 매우 두껍기 때문에 누설전류의 크기가 매우 작아 고려하지 않았다. 각 시편의 누설전류의 크기는 Empirical 모델로 모의실험된 SiO<sub>2</sub> 누설전류[6]와 비교하였을 때 적절한 값을 나타내었다. 이것은 스퍼터링으로 인한 금속막의 증착이 게이트 산화막 손상에 영향이 크지 않다는 것을 나타내는 것이다.

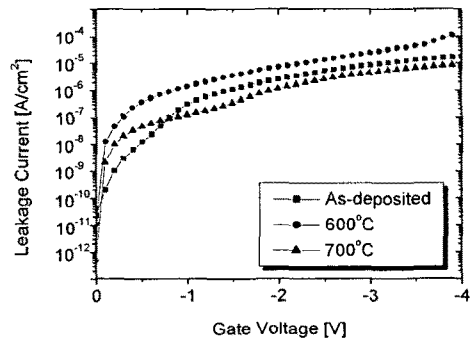


그림 3. 3.4nm의 게이트 절연막을 갖는 MOS 커패시터의 게이트 누설전류

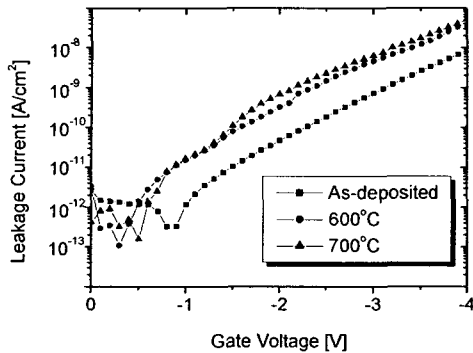


그림 4. 4.2nm의 게이트 절연막을 갖는 MOS 커패시터의 게이트 누설전류

폴리실리콘의 단점 중 하나인 높은 면저항은 최근에 더욱 중요한 문제가 되고 있다. 게이트 전극의 면저항이 크면 불필요한 전력이 소비되므로 저전력 소자에 적합하지 않다. 일반적으로 폴리실리콘의 면저항은 80-300[Ω/□]이고, 폴리실리콘 게이트 전극의 도핑(doping)에 의해 많은 영향을 받는다[7]. 금속은  $10^{22}\text{cm}^{-3}$  이상의 높은 반송자 농도를 가지기 때문에 면저항이 폴리실리콘에 비하여 현저히 낮다 [1]. Ta-Mo 합금의 면저항은 600°C RTA 이후 약 18.7[Ω/□]로 폴리실리콘과 비교했을 때 작은 값을 나타낸다.

#### 4. 결론

Co-sputtering 방법을 이용했을 때의 장점은 스퍼터링 전력을 변화시켜 손쉽게 합금의 원자 조성 비율을 조절할 수 있다는 것이다. 본 논문에서는 co-sputtering 방법으로 Ta-Mo 합금을 증착하여 MOS 게이트 전극으로 사용 가능한지를 검토하였다. Ta 90.7%, Mo 9.3%의 비율로 Ta-Mo 합금을 구성하였을 때 nMOS에 가장 적합한 일함수를 나타낸다. 합금의 열적 안정성을 확인하기 위하여 600°C와 700°C에서 RTA를 수행한 후 시편의 EOT 변화와 일함수의 변화를 측정하였다. 열처리 이후 시편의 EOT 변화와 일함수의 변화는 작았다. 결과적으로 Ta-Mo 합금은 700°C까지 열적으로 안정하다. 그리고 Ta-Mo 합금은 게이트 공핍이 나타나지 않

으며 면저항이 18.7[Ω/□]로 폴리실리콘과 비교할 때 상대적으로 낮은 값을 갖는다. 이와 같은 실험결과를 통하여 Ta-Mo 합금이 nMOS 게이트 전극으로 적합함을 확인하였다.

#### 참고 문헌

- [1] H. Zhong, G. Heuss, and V. Misra, "Electrical Properties of RuO<sub>2</sub> Gate Electrodes for Dual Metal Gate Si-CMOS," *IEEE Electron Device Lett.*, Vol. 21, No. 12, pp. 593-595, December 2000.
- [2] J. H. Lee, H. Zhong, Y. S. Suh, G. Heuss, J. Gurganus, B. Chen, and V. Misra, "Tunable work function dual metal gate technology for bulk and non-bulk CMOS," *IEDM*, pp. 359-362, 2002.
- [3] 노영진, 이충근, 홍신남, "실리콘 산화막에 대한 Ta-Mo 합금 게이트의 열적 안정성," 전기전자재료학회논문지, 17권 4호, p.1, 2004.
- [4] J. R. Hauser and K. Ahmed, "Characterization of Ultrathin Oxides Using Electrical C-V and I-V measurements," Gaithersburg, MD: Nat. Inst. Stand. Technol., 1998.
- [5] T. Ushiki, K. Kawai, I. Ohshima, and T. Ohmi, "Chemical reaction concerns of gate metal with gate dielectric in Ta gate MOS device: An effect of self-sealing barrier configuration interposed between Ta and SiO<sub>2</sub>," *IEEE Trans. Electron Device*, Vol. 47, No. 11, p. 2201, 2000.
- [6] W. C. Lee and C. Hu, "Modeling Gate and Substrate Currents due to Conduction- and Valence-Band Electron and Hole Tunneling," *Symposium on VLSI Technology Digest of Technical papers*, pp. 198-199, 2000.
- [7] J. E. Suarez, B. E. Johnson, and B. El-Kareh, "Thermal Stability of Polysilicon Resistors," *Electronic Components and Technology Conference Proceedings*, 41st, pp. 537-543, 1991.