

FED 용 Data Driver IC 에 관한 연구

장영민*, 이진석*, 이준성**, 조준동*

*성균관대학교 전기전자컴퓨터공학과

**인덕대학교

e-mail : steelbag@vada1.skku.ac.kr

A Study on Data Driver IC for Field Emission Display

Young-Min Jang*, Jin-Seok Lee*, Jun-Sung Lee**, Jun-Dong Cho*

*School of Information & Communication Engineering, SungkyunKwan University

**Induck Institute of Technology

요 약

FED(Field Emission Display)는 CRT(Cathode Ray Tube)의 화질과 LCD(Liquid Crystal Display)와 같은 FPD(Flat Panel Display)의 경량, 박형의 장점을 만족시키는 차세대 Display 소자로서 주목을 받고 있다. 본 논문은 저항열을 이용하여 256 Gray-Scale Level 을 출력하는 8 비트 FED Data Driver IC 설계에 관한 것이다. 즉, 저항열과 D/A 변환기를 통하여 디지털 입력 데이터에 따른 아날로그 출력 데이터를 갖는 FED 용 Data Driver IC 이다. 본 논문에서 설계된 Driver IC 는 집적도를 높여 Output Channel 수를 증가시키는 것을 목표로, 하이닉스 0.6um High Voltage 공정을 사용하였으며, 8 비트 RGB 데이터 입력과 40V 구동전압에서 동작하도록 설계하였다.

1. 서론

최근 노트북과 벽걸이용 TV 수상기, 컴퓨터 모니터 등의 수요가 증대됨에 따라 평판 디스플레이 장치의 연구개발에 많은 관심이 모아지고 있다. 이들 평판 디스플레이 장치는 현재 LCD(Liquid Crystal Display)가 주종을 이루고 있지만, 현재 진행되고 있는 많은 연구들에서 FED(Field Emission Display)와 PDP(Plasma Display Panel)등이 새롭게 부각되고 있다. 특히 FED는 저전력의 뛰어난 장점과 매우 넓은 화면 시야각(Viewing Angle)등의 우수한 특성을 가지고 있어 차세대 평판 디스플레이 장치로서 주목을 받고 있다[1]. 이러한 추세에 부합하여 FED의 장점을 유지하면서 안정된 동작을 보장하고, 대규모로 집적 가능한 구동회로의 연구 개발이 절실히 요구되고 있다. FED가 고전압에서 동작하는 소자이므로 기존의 몇 가지 구동 방법은 주로 BJT를 이용한 고전압 구동 방법의 연구가 주를 이루었다. 그러나, 향후 표준화된 FED의 구동은 저전력과 고집적이 가능한 CMOS를 이용한 회로로 그 방향을 잡을 것으로 기대된다. 본 논문에서는 집적도를 높여 Output Channel 수를 증가시키는 것을 목표로 FED 용 Data Driver IC를 40V 구동전압에서 동작하도록 설계하였다.

2. FED Data Driver

2.1 FED Module의 구성 및 동작

그림 1은 기본적인 FED 모듈의 구성도이다. 크게 FED패널, Data Driver, Scan Driver, Timing Controller 등으로 구성되며 이중에서 Data Driver는 고화질과 고해상도, 저가격의 측면에서 가장 중요하다. 그림 2는 Data Driver의 Block Diagram을 나타낸다. 고속의 Data 처리를 위하여 1개의 화소(3Sub-Pixel) 신호 24bit(3*8bit)를 입력하도록 하였다. Data 입력단에 Data 입력의 시작을 알리는 Data Start Pulse를 입력하고 이 신호를 Clock마다 shift시키는 Bidirectional Shift Register를 구성하였다. 여기서 나오는 출력을 다음단의 Data Register의 Enable 신호로 사용하였고, Enable 신호를 받은 Data Register는 Data를 Serial To Parallel로 변환한다. 이후 Data Latch에서 Clock1 신호에 의해 Data가 Level Shifter 단으로 전달되어 전압 Level이 상승된 후 DAC(Digital to Analog Converter)단으로 전달되어 PAM 구동을 위한 Analog 신호가 생성된다. 여기서 생성된 Analog 신호는 Output Buffer를 거쳐 Driver IC의 출력으로 나타난다.

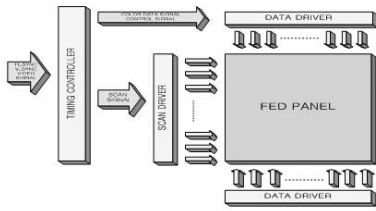


그림 1. FED의 기본 구성도

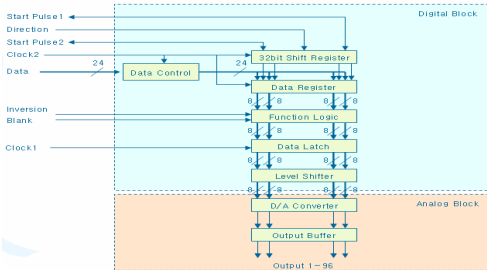


그림 2. Data Driver의 블록도

2.2 Bidirectional Shift Register

Bidirectional Shift Register는 Serial로 입력되는 영상 신호를 왼쪽에서 오른쪽으로 또는 오른쪽에서 왼쪽으로 Parallel하게 정렬해 주기 위해 필요한 신호를 만들어 준다. 표 1은 Bidirectional Shift Register의 동작을 요약한 것이다.

SHIFT	DIO0	DIO1	OUTPUT
L	INPUT	OUTPUT	OUT0 → OUT31 (Shift Right)
H	OUTPUT	INPUT	OUT31 → OUT0 (Shift Left)

표 1. Bidirectional Shift Register 동작

그림 3에서 A 부분은 단일 위상의 D 플립플롭을 나타낸다. A 부분의 첫 번째 래치는 주단으로 CLK이 High일 때 입력을 받아 들이는 역할을 수행하고, 두 번째는 CLK이 Low일 때 저장된 신호를 출력시키는 종단으로 동작한다. Shift Register를 Bidirectional하게 만들어 주기 위해서는 2개의 Shift Register가 필요하지만, B부분처럼 D 플립플롭에 Transmission Gate를 이용하여 Mux 기능을 구현하면 트랜지스터의 갯수를 줄이면서 Bidirectional Shift Register를 구현할 수 있다. 그림 4.1은 OUT0 → OUT31(Shift Right)일 때의 Simulation 결과이고, 그림 4.2는 OUT31 → OUT0(Shift Left)일 때의 Simulation 결과이다.

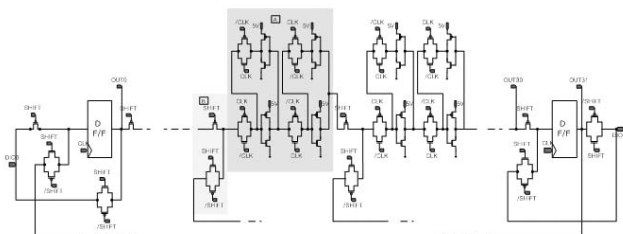


그림 3. Bidirectional Shift Register

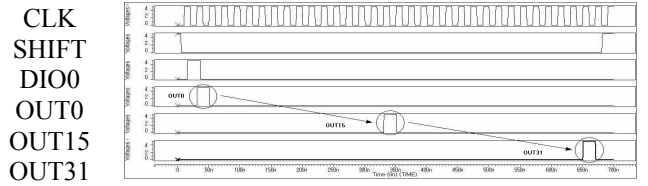


그림 4.1 Shift Right(VOUT0→VOUT31) simulation 결과

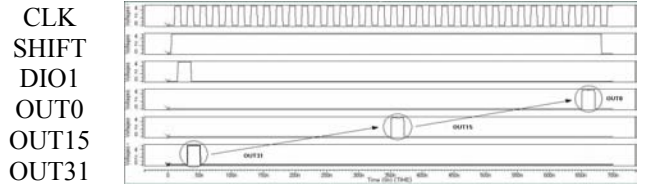


그림 4.2 Shift Left(VOUT31→VOUT0) simulation 결과

2.3 Data Register

Bidirectional Shift Register로부터 Enable 신호를 받아 한 행에 해당하는 데이터를 순차적으로 입력 받는다. Data Register는 Bidirectional Shift Register의 Enable 신호에 동기되어야 하므로 D 플립플롭과 CMOS Complex Logic을 사용하여 설계하였다. CMOS Complex Logic을 사용함으로써, NAND 혹은 NOR Gate를 조합하여 사용했을 때 보다 트랜지스터의 갯수를 줄일 수 있었다. 그림 5는 Data Register의 기본 셀을 나타내고 있다.

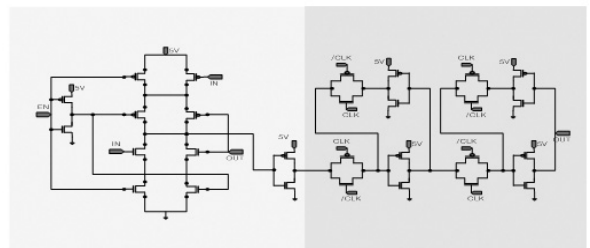


그림 5. Data Register의 기본 셀

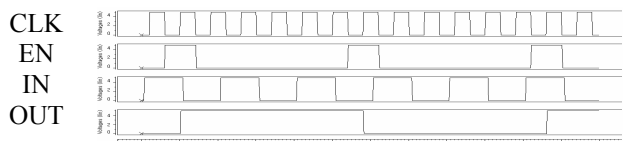


그림 6. Data Register Simulation 결과

2.4 Data Latch

수평동기 신호에 해당하는 신호가 인가되면 Data를 Data Register로부터 넘겨 받아 Level shifter로 전달하게 된다. 그림 7에서 Enable이 High이면 입력 IN 신호가 X를 구동하고, X가 출력 OUT과 Y노드의 신호를 순차적으로 결정한다. Enable이 Low이면 저장된 Y 신호가 Feedback Path를 통해서 X와 OUT을 구동하면서 자신의 신호를 유지시킨다. 이 논리 회로는 EN과 /EN의 Skew에서의 신호 충돌문제를 일으키지 않으며, C²MOS 인버터의 구동 능력을 조정할 필요가 없다. 이 같은 C²MOS 정적 래치를 사용함으로써, CMOS 전달게이트를 사용한 정적래치보다 레이아웃

의 집적화에 효과적이다[2].

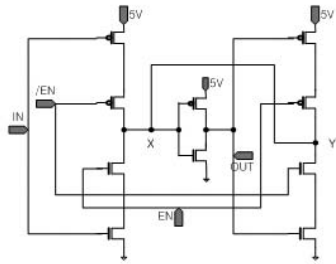


그림 7. Data Latch 의 기본셀

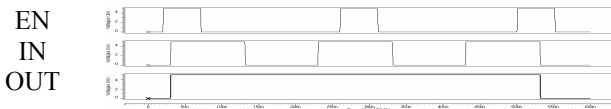


그림 8. Data Latch Simulation 결과

2.5 Level Shifter

Level-Shifter 는 Analog Block 에 사용되는 전압이 디지털 데이터 처리에서 사용되는 5V 전압 보다 높기 때문에 5V 전압을 DAC 의 Decoder 에서 사용하는 전압 Level 로 변환시켜 주는 역할을 한다. Full Complementary Type Level Shifter 는 기존의 BiCOMS Type 의 Level Shifter 보다 Switching Time 이 5 ~ 10 배 정도 빠르며, Full Complementary Construction 을 채택함으로써 Logic Circuit 과 High Voltage Output Circuit 에서 전력소모를 상당히 줄일 수 있다[3]. 그림 9 는 5V 공급전압에서의 디지털 값을 40V 의 전압으로 바꾸어 주는 전위 상향회로를 보여주고 있다. DAC 에 전달되는 디지털 데이터는 원래의 신호와 반전된 신호 두 가지를 필요로 하기 때문에 출력을 그림 9 에서와 같이 쌍으로 나오게 하였다.

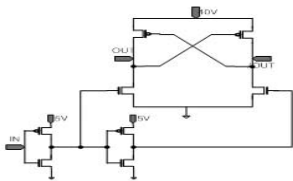


그림 9. Level Shifter 의 구성도

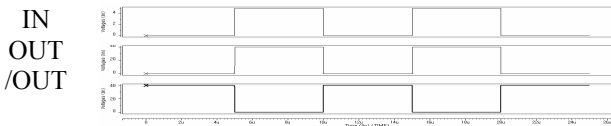


그림 10. Level Shifter Simulation 결과

2.6 D/A 변환기

D/A 변환기 및 버퍼는 디지털 구동에서 화질을 결정하는 가장 중요한 요소라고 볼 수 있다. 이의 성능은 정확도, 속도, 면적 및 소비 전력 측면에서 평가될 수 있다. FED 를 위한 D/A 변환기는 저항, 캐패시터, 외부전원 등을 이용하여 구현할 수 있다. 그리고, 이러한 D/A 변환기는 하나의 단으로 구성할 수도 있고, 또는 다단 및 복합구조 방식으로 설계 할 수도 있다[4]. D/A 변환기의 출력만으로 패널을 구동할 경우,

R-C 복합구조 및 커패시터 방식의 D/A 변환기는 전류 구동 능력이 작아 대면적 패널을 구동하기에 적합하지 않다. 따라서 D/A 변환기의 출력만으로 패널을 구동하기 위해서는 저항방식의 D/A 변환기를 사용하는 것이 필요하다. 그러나, D/A 변환기의 출력만으로 패널을 구동하는 경우 출력전류를 증가시키기 위해 저항값을 줄여야 하므로 이는 저항열에서의 Static Current 를 증가시켜 소비전력이 증가하는 단점이 있다. 설계된 변환기에서는 회로의 면적을 줄이기 위해 디코더는 트리 구조 형태로 설계하였다. 이 구조는 데이터 입력 신호에 따라 저항열과 출력사이에 하나의 경로가 결정된다. 여기서 저항열은 전압 분배기로 동작하여 각각의 입력노드에 다른 전압을 인가하게 된다. 하나의 스위치로 Transmission Gate 를 사용하여 문턱 전압의 영향에 의한 전압의 변동문제를 해결할 수 있으나 n 채널 소자만을 사용함으로써 보다 최적화된 크기와 적은 수의 트랜지스터로 제작이 가능하다. 설계된 D/A 변환기는 단순히 n-MOS 와 p-MOS 소자만으로 스위치를 구성하고 공통전극을 기준으로 상위레벨과 하위레벨 전압을 각각 p 채널과 n 채널소자로 분리하여 구동하였다. 전체적으로 이 구조를 사용할 경우 만족할 만한 단조성을 보여주고 있고, 속도에 있어서도 Transmission Gate 를 사용할 경우와 비교해서 차이가 없었다. 그러나, 저항을 이용한 D/A 변환기는 저항 부정합의 문제가 설계시 고려되어야 한다.

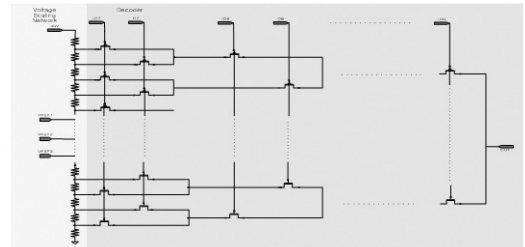
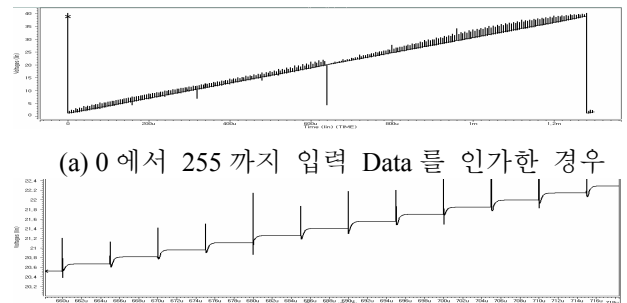


그림 11. D/A 변환기



(a) 0 에서 255 까지 입력 Data 를 인가한 경우

(b) 그림(a)를 부분 확대한 경우

그림 12. D/A 변환기의 Simulation 결과

2.7 Output Buffer

D/A 변환기의 출력을 패널에 전달하기 위해서는 아날로그 버퍼가 필요하다. 아날로그 버퍼는 일반적으로 OP-Amp 를 사용하는데, 저전력 소비를 가능하게 하면서 패널을 구동할 수 있는 충분한 전류 공급능력을 가져야 한다. 일반적으로 전력소모의 구성을 보면 대부분이 아날로그 부분으로 구성된 출력단에서 소모

되며, 그 중에서도 특히 출력단을 구성하는 OP-Amp의 DC 소비 전력이 가장 큰 부분을 차지하며, 이는 OP-Amp의 정상전류에 의한 것이다. 그러므로, 전체 소비전력을 줄이기 위해서는 출력단의 OP-Amp를 최적화 하는 것이 매우 중요하다. FED Data Driver IC에 사용되는 아날로그 버퍼는 Capacitor와 저항 성분으로 이루어진 Panel에 직접 연결이 되므로 큰 출력 전류를 가지며, 낮은 출력 저항을 가져야 한다. 또한, 하나의 Data Driver IC에 많은 Output Channel을 넣어야 하므로, 사이즈는 작아야 유리하다. 아날로그 버퍼의 입력과 출력의 Swing 폭은 넓어야 하며, Static 전류를 가능한 작게 흐르도록 해서 전체 소모전력을 작게 만들어야 한다. 그림 13의 아날로그 버퍼는 Push-Pull 형태의 Class-B 출력단을 채택하여, 전력소모를 최소화 하였고, 주파수 보상 Capacitor를 사용하지 않았기 때문에 Size 면에서도 효율적이다. 그림 13에서 M1~M5, M9~M13는 Two Complementary Differential Stage를 구성하며, 이들 각각은 Common Source Stage의 반주기씩을 담당한다. 입력회로에 Two Complementary Differential Stage를 채택하고 출력단에 Push-Pull 구조를 채택함으로써 1개의 Source Coupled Pair 구조를 사용했을 때 발생하는 Swing 폭 제한의 문제를 완화할 수 있었고, 큰 Capacitance 부하를 구동할 수 있었다 [5,6]. M20~M25, R1은 소신호 출력저항 값을 증가시키기 위한 Cascode Current Source로, 공급전압 변동의 영향을 줄이기 위해 공급전압의 변동에 둔감한 Self-Bias 회로를 사용하였다. M26~M31은 전원을 켜올 때 전류가 전혀 흐르지 않는 동작점으로 들어가지 않도록 하기 위한 Start-up 회로이다. M14~M17은 M18과 M17의 V_{SG} , V_{GS} 를 V_{TP} , V_{TN} 에 가깝도록 만들어 줌으로써 Static 전류가 작게 흐르도록 만들어 준다. 그림 15는 그림 14의 부하조건에서 Output Buffer의 Frequency Response와 Pulse Response이다.

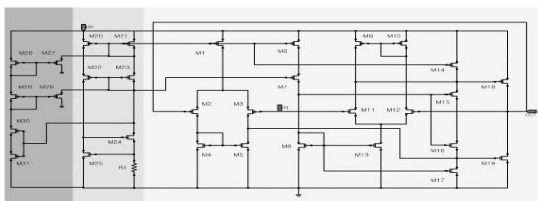


그림 13. Output Buffer

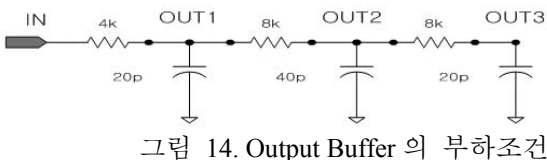


그림 14. Output Buffer의 부하조건

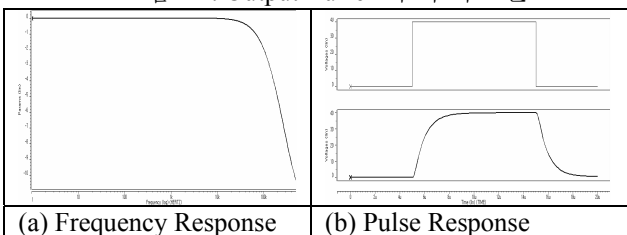


그림 15. Output Buffer의 Simulation 결과

2.8 설계된 Data Driver IC의 검증 및 성능

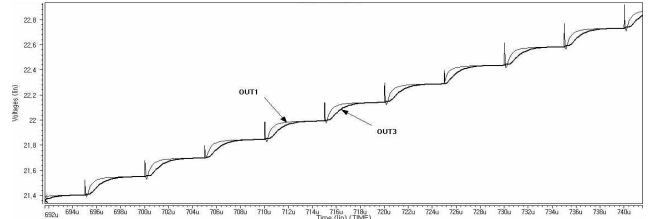


그림 16. Driver IC의 출력파형

그림 16은 1 채널(3 Sub-Pixel 24bit)에 대한 전체 Simulation을 보여준다. 그리고, 표 2는 설계한 Driver IC의 성능을 나타내고 있다.

Parameter	Specification
Gray Level	8bit PAM
Data Input	24bit (8bit * 3)
Logic supply voltage	5V
Driver supply voltage	40V
Data Clock Frequency	50MHz
Settling time	3.7us
Static Power	11mW

표 2. Driver IC 성능 요약

3. 결론

본 논문에서는 8 비트 RGB 입력, 256 Gray-Scale Level을 출력하는 FED용 Data Driver IC를 설계하였다. 집적도를 높여 Output Channel 수를 증가시키는 것을 목표로 하이닉스 0.6um High Voltage Library를 사용하여 CMOS로 설계하였으며, Hspice를 사용하여 시뮬레이션 하였다. 회로의 각 부분에 대한 설계와 회로의 동작을 검증하였고, 전체적인 동작이 FED용으로 적합함을 보여주었다.

4. Acknowledgement

본 논문은 IDEC의 지원으로 수행되었습니다.

참고문헌

- [1] "2004 차세대 FPD 기술시장 편람", 산업자료센터
- [2] 공진홍, 김남영, 김동욱, 이재철, "VLSI 설계, 이론과 실습", 홍릉과학출판사, 1997
- [3] Masaji Nakano, et al., "Full-Complementary High-Voltage Driver ICs for Flat Display Panel", Proceedings, International Symposium on VLSI Technology, System and Applications, pp. 55-58, 1989.
- [4] Behzad Razavi, "Principle of Data Conversion System Design", IEEE PRESS, 1995.
- [5] Aria Nosratinia, et al., "A High-Drive CMOS Buffer For High Capacitive Loads", Proceedings, International Conference on Circuits and Systems, Vol. 2, pp. 648-650, 1991.
- [6] A. Nosratinia, et al., "High-swing, high-drive CMOS buffer", IEE Proc.-Circuits Devices Syst., Vol. 142, No.2, pp. 109-112, 1995.
- [7] M. Y. Park, "A 100V, 10mA High-Voltage Driver ICs for Field Emission Display Applications", AP-ASIC '99, pp. 380-383, 1999.