

DLL을 이용한 DOT(Depleted Optical Thyristor) 구동 Driver 설계

최진호, 김경민, 최운경, 최영완
 중앙대학교 전자전기공학부 광전자 및 광통신 연구실

Design of DOT(Depleted Optical Thyristor) Driver by using DLL

Jin-ho Choi, Kyung-min Kim, Woon-Kyung Choi, Young-wan Choi
 School of Electrical and Electronic Engineering, Chung Ang University

Abstract - 본 논문에서는 DLL(Delay Locked Loop)를 응용하여 광통신 시스템에 응용할 수 있는 완전공핍 광 싸이리스터(Depleted Optical Thyristor)의 구동 Driver를 설계하였다. 광스위칭 소자로 활용될 DOT를 구동시키기 위해서는 Thyristor의 구조 특성을 고려할 때 강한 역방향 전압 펄스와 함께 높은 순방향 전류 펄스의 특성을 가지는 파형이 필요하다. 구동 Driver의 제작 공정은 삼성 CMOS 0.35 μm , 1 poly, 4 metal 공정을 사용하였고 시뮬레이션 결과 500 Mhz 대역에서 DOT를 구동하기 위한 전압, 전류 특성을 가지는 파형을 얻을 수 있었다.

1. 서 론

최근 들어 광 스위칭 소자와 광 스위칭 기술을 이용한 광 네트워크의 전체적인 성능 향상에 더욱 큰 관심이 집중되고 있다. 이는 완전한 광통신의 구현에 있어서 광 신호의 스위칭과 논리 연산자 처리(Logic process)를 전자 신호로 변환시키지 않고, 전광 영역(Optical-domain)에서 속도에 제한 받지 않고 구현하는 것이 바람직한 방식이기 때문이다. 따라서 광 논리 기능 소자에 대한 연구는 광프로세스, 광메모리, 광컴퓨터 및 광고환 등의 미래 정보 통신을 가능케 하는 필수적인 연구 분야이며 그 기술적 필요성이 절실히 요청되고 있다. 그 중에서 Vertical to Surface Transmission Electrophotonic Device(VSTED), Light Amplifying Optical Switch(LAOS), Heterojunction Phototransistor Light Emitting Diode(HBT-LED), Double Hetero Structure Optoelectronic Switch(DOES), pnpn-Vertical Cavity Surface Emitting Laser(VCSSEL) 등이 대표적인 소자이다.[1-3] 그러나 상대적으로 느린 스위칭 속도는 pnpn 소자에서 매우 중요한 제한 요인이다. 일반적인 pnpn 소자들은 on 상태에서 가운데 영역에 잉여 다수 캐리어에 의해 매우 느린 재결합 과정을 보인다. 이러한 단점을 보완하기 위하여 본 연구실에서는 완전 공핍 광 싸이리스터(Depleted Optical Thyristor, DOT)가 제안되었다.[4] 이는 on 상태에서 p-n 접합 가운데 영역의 잉여 캐리어를 짧은 역방향 펄스를 인가함으로써 제거해주는 방법이다. 역방향 전압 펄스를 인가하면, DOT의 가운데 영역에서 보다 짧은 시간에 모든 캐리어를 완전 공핍시킬 수 있다. 또한 기본적으로 DOT는 발광의 기능 즉 Laser diode로서의 특성도 가지므로 높은 순방향 전류 펄스도 필요하다. 위와 같은 전류, 전압 특성을 갖는 구동 driver를 제작하기 위해 현재 가장 발전되어 있으며 보편적인 칩 제작 공정인 CMOS 공정을 이용하였으며 이를 통하여 향후 전망되고 있는 SiP(system in packaging), SoC(system on chip)로

의 발전에서 고속의 광/전 변환 Process까지 포함할 수 있는 가능성을 제시한다. 본 논문에서는 빛을 내는 발광 소자로서 그리고 빛을 흡수하는 수광 소자로서 모두 활용 가능한 DOT를 구동하기 위해 DLL를 응용하여 구동 Driver를 설계하였으며 DLL을 구성하는 각 block들에 대한 회로 구성 및 simulation 결과를 분석하였다.

2. 본 론

2.1 DOT 구동 파형

DOT를 구동하기 위해서는 Thyristor의 구조 특성 및 동작 특성을 고려할 때 그림 1과 같은 특정 형태의 전압 파형이 필요하다.[5] A 부분은 pnpn 구조를 갖는 DOT의 가운데 접합 부분 양단에 역방향 전압을 인가하여 공핍 영역에 남아 있는 전자들을 완전히 제거하여 이전 상태의 정보가 남아있지 않게 하기 위한 부분이고, B 부분은 DOT를 on 시키기 위하여 빛을 인가하는 시간 영역이며, C 부분은 B 부분에서 빛을 받은 DOT의 전류, 전압 특성에 의하여 스위칭 동작을 하게 되는 영역이다. 위와 같은 형태의 파형을 구현하기 위하여 본 논문에서는 DLL(Delay Locked Loop)을 응용하여 지연 시간이 일정한 각각의 펄스들을 생성한 뒤 서로 혼합하였다. 이 때 각각의 펄스들이 정확한 시간 지연을 유지해야 하는 이유는 DOT의 고속 스위칭 동작을 보장하기 위한 것이다.

2.2 DOT driver 설계

DOT Driver는 그림 2에서와 같이 PFD(Phase Frequency Detector), Charge pump loop filter 그리고 VCDL(Voltage Controlled Delay Line)로 구성된 DLL 회로를 응용하여 설계되었으며 각 펄스들의 혼합을 위해 Clock mixer를 사용하였다. 설계에 사용된 공정은 삼성 0.35 μm CMOS 1 poly, 4 metal 공정을 이용하였으며 회로 simulation은 Hspice tool을 사용하였다.

2.2.1 PFD(Phase Frequency Detector)

PFD, 즉 위상/주파수 검출기는 외부에서 입력되는 기준 신호와 VCDL의 출력신호를 입력으로 받아들이 두 신호의 위상 및 주파수 차이를 비교하여 up, down, 0 라는 논리 신호를 출력하는 동작을 한다. 일반적인 위상/주파수 검출기는 두 입력 신호의 위상/주파수의 차이가 충분히 크다면 위상/주파수의 차이를 검출하는데 문제가 발생하지 않지만 두 입력 신호간의 지연

시간이 0에 가까워지면 FET 소자로 구성되는 스위치의 커패시터 부하를 충전시키는데 걸리는 시간으로 인하여 출력 up 신호가 충분히 논리 '1'로 상승하지 못하고 문턱 전압에 도달하여 논리 '0'의 값으로 up과 down 신호가 하강하는 경우(dead zone)가 발생한다. 본 논문에서 설계한 위상/주파수 검출기는 이러한 Dead zone 문제를 최소화한 NAND 게이트를 기반으로 한 구조이다. 그림 3의 구조에서 두 입력 신호를 논리 '0'으로 리셋 시키는 구조를 사용함으로써 up과 down 신호가 충분한 시간 동안 논리 '1'의 값을 유지할 수 있도록 설계하였다. 이와 같이 문턱전압에 상관없이 위상/주파수 검출기를 동작하게 함으로써 Dead zone 문제를 해결하였다. 그림 4는 서로 주파수 및 위상이 다른 두 개의 입력이 주어졌을 때 발생하는 위상/주파수 검출기의 출력을 나타낸다. ①의 기준 신호에 비하여 ②의 VCDL 출력 신호가 상대적으로 느리기 때문에 ③의 up 신호가 ④의 down 신호에 비하여 펄스 발생 빈도가 많고 발생된 펄스의 지속시간 또한 긴 것을 확인 할 수 있다.[6]

2.2.2 Charge pump loop filter

전형적인 선형 위상/지연 동기 회로에서는 위상/주파수 검출기와 연동하여 간단한 구조의 저역 통과 필터가 사용된다. 이 구조에서는 위상 검출기 출력의 평균값이 위상차가 존재하는 구간 내에 저역 통과 필터의 커패시터에 충전되고 이 값은 시간이 지날수록 누설 전류로 인하여 방전되기 때문에 정상 상태에서의 잡음이 계속해서 발생하는 단점이 있다. 연산 증폭기 등을 이용한 능동 저역 통과 필터가 존재하지만 연산 증폭기 자체가 가지는 대역폭과 동작 주파수의 한계로 인하여 잡음의 제거에 있어서 한계가 존재할 수밖에 없다. 이와 같은 문제점을 위상/주파수 검출기와 Charge pump loop filter, 즉 전하펌프 루프필터를 사용함으로써 해결할 수 있다. 그림 5에는 두 개의 독립 전류원과 전기적인 스위치로 구성된 전하펌프와 위상/주파수 검출기, 저역통과 필터를 함께 나타내었다. 회로의 동작을 살펴보면, 입력 기준 전압 신호가 VCDL로 부터의 입력신호 보다 앞선다면 위상/주파수 검출기는 up에 논리 '1'의 값을 출력하게 된다. 이 값이 전하펌프의 스위치 S_1 을 도통시키면서 루프필터의 커패시터에는 전류 I_1 이 전달되어 전하가 충전된다. 이 때 down에는 논리 '0'의 값이 나타나게 되고 스위치 S_2 는 도통되지 않고 전류원 B는 동작하지 않는다. 이 때 up 신호의 펄스폭 만큼의 시간동안 커패시터에 충전된 값으로 인해 출력 제어 전압이 상승하고, 그 외의 시간 동안은 전하펌프의 DC 이득이 무한대이기 때문에 루프필터가 단독으로 사용된 경우와는 달리 방전될 결과가 생기지 않아 출력 전압이 일정하게 유지된다. 그러므로 이상적으로 전하펌프가 포함된 지연 동기회로의 정지 지연 오차는 0이 되고 주파수 획득 범위는 VCDL의 출력 주파수 범위에 의해 제한된다.[7] 그림 6은 설계된 전하펌프 루프필터의 회로도이며 루프필터와 직렬로 연결된 저항은 회로의 안정성을 더하기 위해 추가된 영점으로서 의미를 가진다. 그림 7은 전하펌프 루프필터의 simulation 결과로서 up의 논리신호가 '1'이 되면 출력전압이 감소하고 down의 논리신호가 '1'이 되면 출력전압이 증가함을 보여주고 있다.

2.2.3 VCDL(Voltage Controlled Delay Line)

본 논문에서 설계한 VCDL은 전하펌프 루프필터로부터의 입력 전압에 의하여 시간 지연의 양이 조절되는 Delay cell 들을 그림 8과 같은 차동 링형 발진기 형태로 구성되었다.[8] Delay cell의 회로도로서 상단 4개의 PMOS 트랜지스터가 시간 지연을 발생시키는 부분이며 하단의 NMOS는 전류원으로 동작한다. 자세한 동작을 살펴보면 먼저 각각의 Delay cell 들의 PMOS의 게이트에 전하펌프 루프필터로부터 Control 전압이 가해지면 이에 따라 PMOS의 부하저항 값이 변화되고 따라서 각 Delay cell 들을 통과하는 데 발생하는 지연 시간 값이 변화한다. 따라서 10개의 cell 들 중 같은 간격을 가지는 5 군데의 지연단은 각각의 위상을 2π 로 분할한 값을 가진다. 따라서 500 Mhz의 응용에서는 VCDL의 각 지연단의 지연 시간은 200 ps로 정해진다. 또한 Delay cell 자체의 작은 전류 용량으로 인하여 작은 출력을 가지기 때문에 각각의 지연 출력단에 Full swing generator를 연결하여 신호를 위상/주파수 검출기로 귀환 시킨다. 설계된 VCDL의 동작 주파수는 250 Mhz ~ 700 Mhz 로서 최저에서 최대까지의 제어 전압은 1.38V ~ 2.1V를 가지며 이때의 주파수 이득은 625 Mhz/V로 나타났다. 그림 9는 동일한 제어 전압이 인가된 상태에서 각 지연단의 출력을 나타내고 있으며 그림 10은 동일한 지연단의 각기 다른 제어 전압에 대한 출력 신호를 보이고 있다.

2.2.4 Clock mixer

지금까지 DLL 회로를 통하여 발생한 각각의 지연 시간이 일정한 펄스들을 조합하여 DOT를 구동하는데 필요한 특정 펄스를 구현하는 부분으로서 NAND, NOR, PMOS 그리고 NMOS로 구성되는 Clock mixer를 설계하였다. 각각의 신호들이 가지는 지연 시간의 차이에 따라 NAND, NOR 게이트에서는 입력 신호들 간의 시간 지연 차이를 논리 출력으로 나타내어 곱형을 구현한다. 그림 11은 Clock mixer의 Block diagram을 보여주고 있다. 또한 출력파형이 역방향 전압 펄스 형태를 가져야 하므로 clock mixer의 마지막 단에 출력 버퍼를 구성하였다.

3. 결 론

본 논문에서 설계한 DOT 구동 driver는 DLL 회로를 응용하여 시간 지연이 일정한 펄스들을 만들어 내고 그 펄스들을 Clock mixer의 입력으로 사용하여 DOT를 구동하는데 필요한 특정 곱형을 만들어 내고 있다. 그림 12는 이러한 DOT 구동 Driver의 시뮬레이션 결과를 보여주고 있으며 500 Mhz 대역에서 안정적으로 동작하는 것을 확인하였다. ①은 DOT의 중간 공핍 영역의 잔존 캐리어를 제거하기 위한 전압 펄스의 곱형 결과이며 이 때 DOT는 높은 저항 성분을 가지게 된다. ②는 DOT가 발광 동작을 할 때 인가되는 전류 곱형이며 이 때 DOT는 낮은 저항 값을 가지게 된다. 이렇게 DOT는 발광과 수광의 동작 기능을 가지고 있기 때문에 각각의 동작 때 마다 소자가 가지는 저항 성분에 변화가 있는 것이 특징이다. 그러나 simulation 결과들이 충분한 전압, 전류 값을 가지지 못하고 있음을 알 수 있다. 이는 칩 제작 공정

상 역방향 전압 혹은 5V 이상의 전압 전원을 사용하는 것이 불가능 하기 때문에 충분한 역방향 펄스 전압과 순방향 전류 펄스를 구현하기 위해서는 제작된 칩 외부에 추가적인 증폭단을 구성해야 할 것이다. 또한 정확한 시뮬레이션이 가능하도록 DOT 소자의 정확한 등가회로 도출 또한 병행되어야 할 것이다. 본 논문에서 설계된 DLL을 이용한 DOT Driver는 현재 Packaging 과정에 있으며 칩이 제작되면 DOT 구동 실험을 예정하고 있다. 본 논문은 집적형 광자기술 연구센터를 통하여 과학재단의 지원을 받았다.

[참 고 문 헌]

[1] K. Matsuda, H. Adachi, T. chino and J. Shibata, "Integration of InGaAsP/InP optoelectronic bistable switches with a function of optical erasing" IEEE Electron Lett., vol11, pp.442, 1990
 [2] P. A. Ewaldsson, G. W. Taylor, P. W. Cooks, S. K. Sargood, P. A. Kiely and D. P. Doctor, "A high-efficiency vertical-cavity surface-emitting switching laser fabricated with post-growth cavity mode positioning", IEEE Photon. Technol. Lett., vol. 5, pp. 634, 1994
 [3] C. W. Wilmsen, F. R. Beyette, Jr, X. An, S. A. feld and K. M. Geib, "Smart pixels using the light amplifying optical switch (LAOS)", IEEE Quantum Electronic, vol. 29, pp. 796, 1993
 [4] G. Bickel, P. Heremens, M. Kuijk, R. Voinckx and G. Borghs, "Receiver with optical thyristor operating at 155Mbit/s with 3femto-joule optical input", Appl. Phys. Lett., vol. 65, no. 1, pp. 19-21, 1994
 [5] S. J. Kovacic, B. J. Robinson, J. G. Simmons and D. A. Thompson, "InP/InGaAsP double-heterostructure optoelectronic switch", IEEE Electron Device Lett., vol. 14, no. 2, pp. 54-56, 1993
 [6] John. G Maneatis, "Low jitter process-independent DLL and PLL based on self-biased techniques", IEEE Journal of solid state circuits, vol. 31, no. 1, 1996
 [7] B. Razavi, "A 2-GHz 1.6mW phase-locked loops", IEEE Journal of solid states circuits, vol. 32, no. 5, pp. 730-735, 1997
 [8] D. H. Kim, J, K, Kang, "A 1Gbps clock and data recovery circuit with two-XOR phase-frequency detector", The 2nd IEEE asia pacific conference on ASICs, 2000

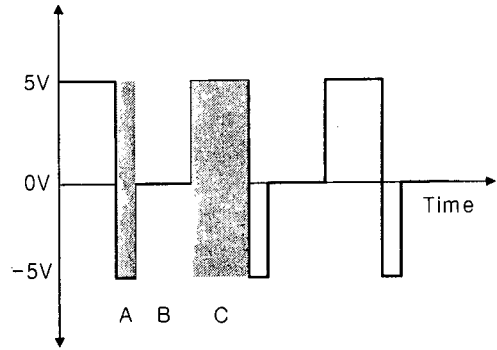


그림 1. DOT 구동에 필요한 파형

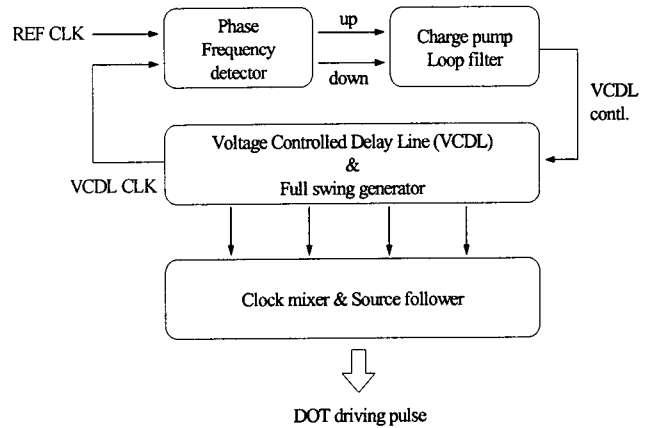


그림 2. DOT 구동 driver block diagram

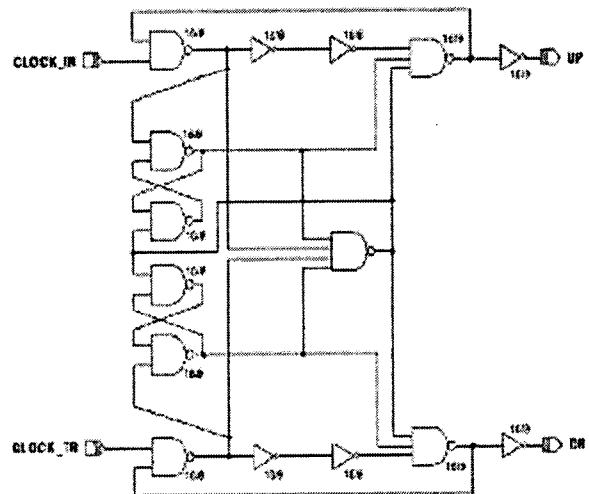


그림 3. PFD(phase frequency detector)

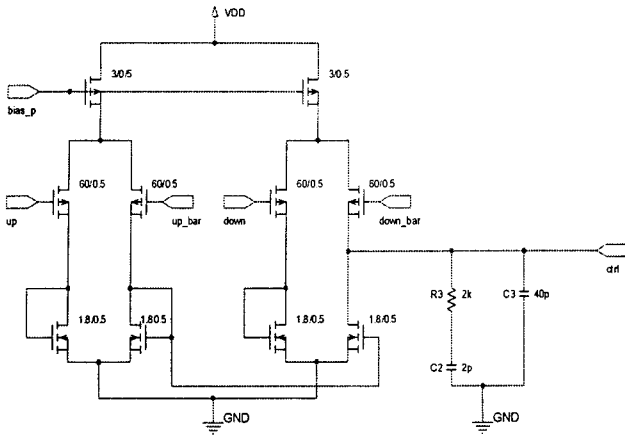


그림 4. Charge pump loop filter

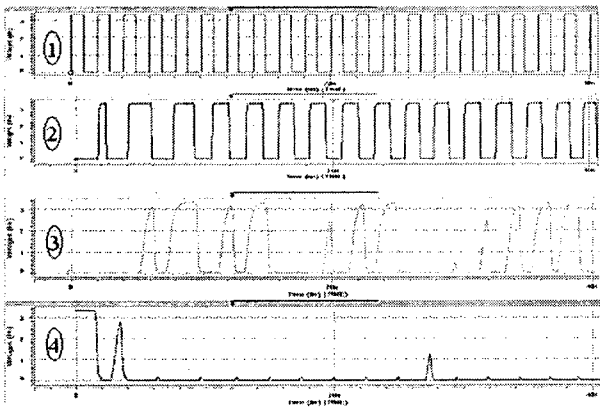


그림 5. PFD simulation 결과

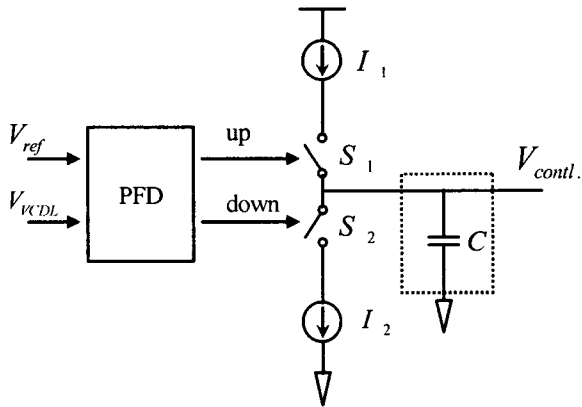


그림 6. Charge pump loop filter block diagram
 ① 기준신호, ② VCDL 출력, ③ up 신호 ④ down 신호

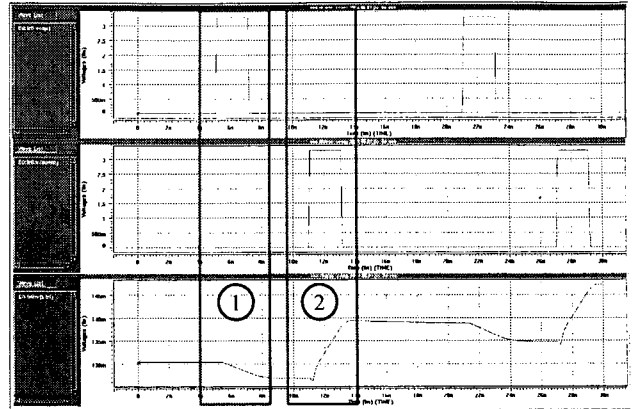


그림 7. Charge pump loop filter simulation 결과
 ① up의 논리신호 '1' ② down의 논리신호 '1'

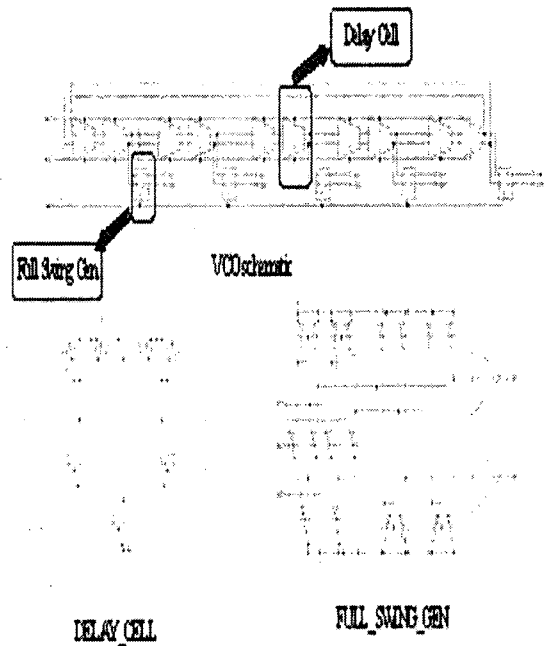


그림 8. VCDL(voltage controlled delay line) block diagram

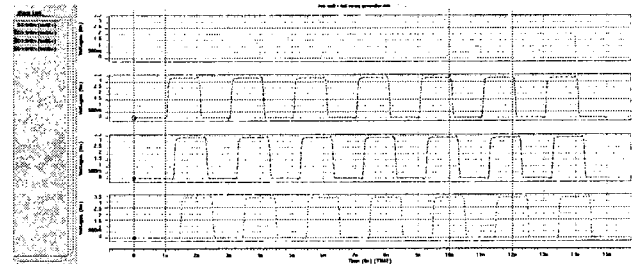


그림 9. VCDL 각 지연단의 출력신호

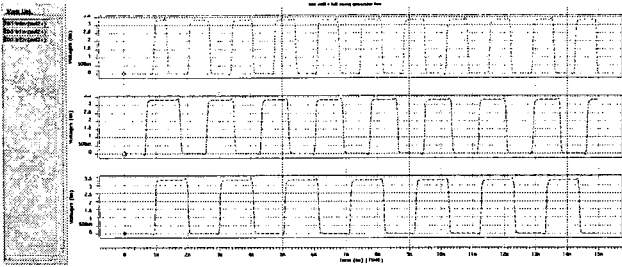


그림 10. VCDL 제어 전압 변화에 따른 각 지연단의 출력신호

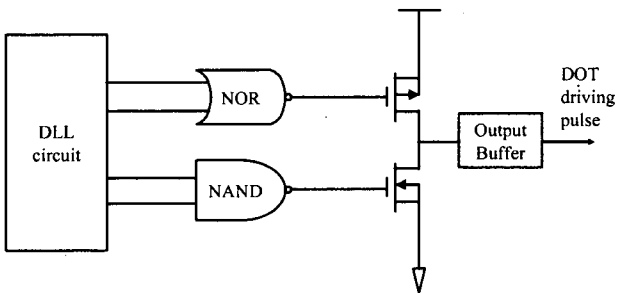


그림 11. clock mixer block diagram

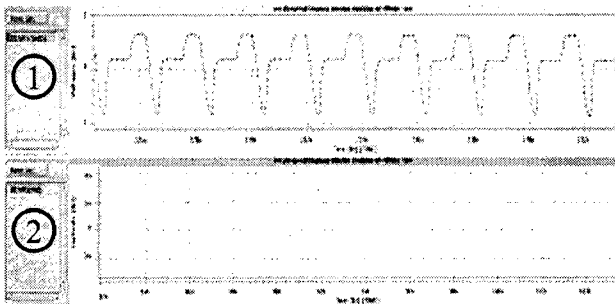


그림 12. DOT driver simulation 출력 파형