

FPGA를이용한전력선통신의기저대역핵심코어설계

*허남영, *신명철, **서희석, ☆최상열, **이광열, **박기현, *문경환, **차재상
*성균관대학교, **두원대학, ☆인덕대학, **서경대학교

Core Chip Design of Baseband PLC Modem using FPGA

*N.Y. Hur, *M.C. Shin, **H.S. Seo, ☆S.Y. Choi, **K.Y. Lee, **K.H. Park, *K.H. Moon and **J.S. Cha
*Sungkyunkwan univ, **Doowon univ, ☆Induk univ, **SeoKyeong univ

Abstract - 전력선통신(PLC: Power Line Communication)은 기존의 전기선을 이용하여 별도의 전용선 설치 없이 통신이 가능한 기술로서 효율적인 PLC 통신을 위해서는 가장 기본적인 기저대역의 송, 수신부상의 원활한 데이터 전송이 이루어져야 한다. 본 논문에서는 확산대역방식의 PLC통신시스템의 수신부의 핵심모듈인 정합필터를 HDL(hardware description language)을 이용한 디지털 하드웨어인 에 위한 디지털 하드웨어인 FPGA(Field Programmable Gate Array)를 이용하여 구현하였다. 즉, 본 논문에서는 BPSK(Binary Phase Shift Keying) 변조 및 256칩 확산코드를 이용한 확산변조파형에 대한 디지털 정합필터를 FPGA로 구현하고 상관특성을 확인함으로써, 모의실험상의 파형과 구현된 하드웨어상의 상관파형이 일치함을 확인하였다.

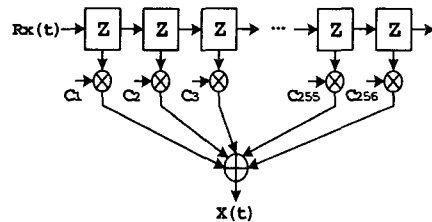
1. 서 론

SS(Spread Spectrum) 및 CDMA(Code Devision Multiple Access) 통신 시스템은 확산코드 기반의 변복조 및 다중접속기술이다. SS기술은 본래 60년대에 군용 레이더 및 통신기술로 개발되어, 90년대 들어서는 디지털 셀룰러 이동통신시스템이나, 2.4GHz대역의 IEEE802.11 무선 LAN등의 핵심기술로서 다양하게 활용되고 있으며, 최근에는 전력선 통신 분야에서도 활발하게 활용되고 있다. SS 통신 방식은 유저 또는 데이터 채널을 구분하기 위하여 채널별로 고유의 확산코드(spreading code)를 할당받아서 통신을 하며, 확산코드에 의한 확산변조에 의해서 주파수대역의 확산이 이루어진다. 또한 수신부에서는 확산된 신호의 역확산(despreading)을 행하여 주파수축에서 확산된 정보데이터의 값을 다시 협대역 신호로 복원하게 된다. 즉, 송신단에서 확산되어져 보내진 신호를 수신단에서 원래의 좁은 대역으로 역확산시키는 과정이 성공적으로 수행되기 위해서는 수신부상에서 확산코드간의 상관처리를 명확히 행해야 함과 동시에 확산코드의 직교특성이 양호해야한다는 요구조건을 갖는다. 따라서 SS기반의 PLC통신시스템을 고려할 경우에는 PLC시스템이 사용자간 간섭이 없는 효율적인 통신시스템으로 구현되게 하기 위해서 자기 상관 함수와 상호 상관 함수 특성이 양호한 확산코드를 선택하고 이들의 상관특성을 추출하는 기술이 무엇보다 중요하다고 할 수 있다. 확산코드의 상관특성을 효율적으로 검출하기 위한 핵심 신호 모듈로서는 정합 필터(Matched Filter)가 존재한다. 이러한 정합필터는 확산 변조된 신호를 입력신호로 받아서, 이를 상관 조작을 통해 역 확산시킨 후 데이터를 복조하기 위한 필수요소인 상관 함수 값을 출력해주는 역할을 한다. 그러므로 SS기반의 PLC통신시스템의 핵심적인 복조기를 구현하기 위해서는 효율적인 정합필터의 개발이 무엇보다 중요하다고 할 수 있다[1]. 이러한 필요성에 근거하여, 본 논문에서는 자기상관특성이 확산코드를 근간으로 하는 SS기반의 PLC통신시스템을 위한 디지털 정합필터

를 FPGA 및 LABVIEW를 활용하여 설계 및 구현하고 구현한 정합필터의 상관특성의 분석 및 검증을 통하여 그 유용성을 밝히고자 한다.

2. 본 론

2.1 SS PLC시스템용 디지털 정합필터의 특성



[그림 1]. 기본적인 디지털 정합 필터의 블록도
[Fig. 1] Block diagram of Basic Digital Matched Filter

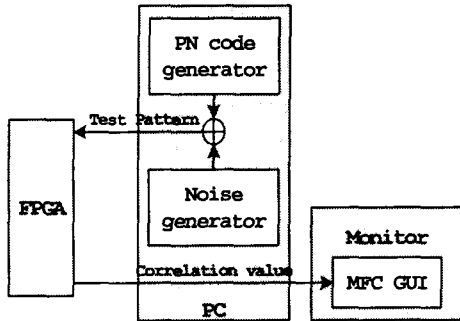
그림 1은 SS기반 PLC시스템용 수신기의 핵심소자인 디지털 정합 필터를 하드웨어적으로 구현할 경우의 가장 기본적인 설계구조에 대한 블록도이다. 정합필터 블록의 구성요소는 입력코드의 수신 및 지연부, 참조용 코드 블록, 스위프트레지스터, 승산기, 가산기로 구성되고 이들 블록은 수학적 상관(correlation)조작을 행하여, 입력된 확산코드와 참조용 확산코드간의 상관특성을 도출하게 된다. 입력된 확산코드와 참조용 확산코드가 동일한 경우의 상관출력이 자기상관출력이며, 이는 송신측과 수신측의 확산코드에 대한 위상이 일치했을 때 최대 피크(peak)값을 출력하게 되며 피크값은 확산대역 통신방식에서 데이터를 복원할경우의 판별의 기준시점이 된다. 정합필터로부터 출력되는 상관파형은 입력되는 확산코드 자체가 갖고 있는 본질적인 직교특성에도 절대적으로 의존한다. 그러므로 SS기반의 효율적인 PLC시스템을 구현하기 위해서는 상관특성이 양호한 확산코드를 선택하는 것이 무엇보다 중요하다고 할 수 있다. 이에, 본 논문에서는 자기상관특성이 양호한 확산코드의 한 예로서 256칩 그레이 확산코드(Golay spreading sequence)를 선택하고 이에 대한 정합필터를 FPGA하드웨어로 구현하고, 그 상관출력을 도출함으로써 설계한 시스템의 동작 및 유효성을 검증한다.

2.2 FPGA를 이용한 PLC시스템용 디지털 정합 필터회로의 구현

본 논문에서 설계한 256칩 그레이 시퀀스용 디지털 정합필터는 Dynlith사의 PCI 슬롯에 접속되는 FPGA(iPROVE - XCV1000E)를 사용하여 구현되었다.

본 논문에서 제시된 256칩 그레이코드용 디지털 정합필터는 테스트 입력 패턴을 입력받아 상관 값을 출력하

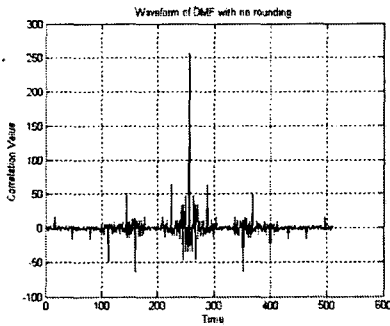
는 구조이며, 그림2에서는 설계된 정합필터의 상관특성을 검증하기 위한 블록도를 보여주고 있다. 여기서 테스트 입력 패턴은 PN 코드 발생기와 잡음 발생기를 이용하여 256칩 플레이 코드에 의한 확산신호를 주기적으로 생성하여 구현하였다.



[그림 2]. 설계된 디지털 정합필터의 검증환경
[Fig. 2] A verification environment of designed digital matched filter

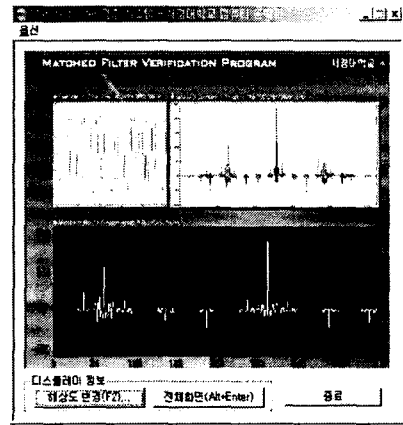
2.3 설계한 정합필터의 상관특성측정 및 분석

본 논문에서는 설계한 정합필터를 FPGA로 구현하기에 앞서서, 설계한 상관처리 블록의 정확성을 검증하기 위한 절차로서, 시뮬레이션 분석틀인 MATLAB을 이용한 모의실험을 통하여 256칩 플레이코드 자기상관특성을 출력해 보았다. 그 결과 그림3에서 나타낸 바와 같이, 설계 블록의 출력값이 256칩 주기에 한번씩 자기상관피크가 제대로 출력되는 것을 확인하였으며, 수학적인 256칩 확산코드의 자기상관 함수값과 결과가 부합됨을 확인하였다.



[그림 3]. 제작한 정합필터의 상관 특성에 대한 모의 실험결과

그림3과 같은 모의실험상의 1차 검증을 행한 후, 본 논문에서는 설계한 알고리즘을 Dynlith사의 FPGA(iPROVE - XCV1000E)를 사용하여 구현한 후 그 상관 출력값을 PC로 입력된 후 MFC GUI화면을 통해 실시간으로 출력해서 확인해 보았다. 그림4의 하단부의 그림은 설계한 정합필터를 FPGA로 구현한 경우의 실시간 출력파형을 보여주고 있다. 그림4에서 알 수 있듯이 FPGA로 제작된 정합필터의 상관특성과 MATLAB를 이용해서 검증된 상관파형은 동일함을 확인할 수 있다.



[그림 4]. 설계한 정합필터의 FPGA 출력파형
[Fig. 4] FPGA output signal of designed Matched filter

3. 결론

본 논문에서는 SS기반의 PLC시스템의 핵심구현요소인 확산코드용 정합필터를 FPGA(Dynlith사의 iPROVE - XCV1000E) 하드웨어를 사용하여 구현하였다. 본 논문에서 정합필터의 테스트를 위한 확산코드로서 자기상관특성이 양호한 256칩 고레이 코드를 이용하였다. 본 논문에서는 MATLAB상에서의 설계알고리즘에 대한 모의실험을 행한 후 이를 FPGA를 이용한 디지털 하드웨어로 구현 하고 FPGA회로상의 상관출력을 도출하고 이를 GUI기반의 화면을 통해 도시하였다. 그 결과 본 논문에서 설계된 정합필터모듈이 256칩 플레이코드가 가진 수식적인 상관특성 값과 동일한 결과를 보여줌으로서 설계한 정합필터의 동작의 우수성을 확인하였다. 본 논문에서 구현된 정합필터는 BPSK 및 확산 변조기법이 반영된 기저대역 PLC통신 시스템의 핵심요소로서 유용하게 이용될 수 있으리라 기대된다.

[참 고 문 헌]

- [1] A. Wittneben, "Base station modulation diversity for digital SIMULCAST," Proc. IEEE VTC., pp. 505-511, May 1993.
- [2] S. Sriram, K. Brown, and A. Dabak, "Low power correlator architecture for wideband CDMA code acquisition," Signals, Systems, and Computers, Conference Record of the Thirty-Third Asilomar Conference on, Vol.1, pp. 125-129, 1999.
- [3] 3GPP TSG RAN WG1-554/99, "Generalised Hierarchical Golay Sequence for PSC With low complexity correlation using pruned efficient Golay correlators".
- [4] K. Togura, H. Nakase, K. Kubota, K. Masu, and K. Tsubouchi, "Low Power Current-Cut Switched-Current Matched Filter for CDMA," IEICE Trans. Electron., Vol. E84-C, NO.2 Feb 2001.

본 연구내용의 일부는 산업자원의 지원에 의한 기초전력연구원관의 수행 과제(R-2003 B-289)의 결과물임.