

VHDL을 이용한 디지털 계전 알고리즘 구현에 관한 연구

권오상, 허정용, 김철환  
 성균관대학교, 차세대전력기술연구소

A Study on the Implementation of Digital Protective Relay Algorithm using VHDL

O.S. Kwon, J.Y. Heo, C.H. Kim  
 Sungkyunkwan University, NPT Center

**Abstract** - Nowadays, power customer has increased and new power plants have been constructed for market demands. However, increasement of power plants make power system more complex and unstable. For this reason, the stability problem is one of the most important issues in power systems.

In this paper, a study on implementation of out-of-step detection algorithm is performed. The structure of digital relay is analyzed for development of out-of-step detection algorithm. DFT block which is used to extract basic frequency of voltage is analyzed to design VHDL.

1. 서 론

산업의 발달에 따라 전력의 소비는 증가하고 있으며, 그에 따라 발전용량의 증가를 위한 새로운 발전소의 건설과 함께 전력 계통의 구성은 더욱 복잡해지고 있다. 그로 인한 계통의 보호를 위하여 계통보호의 중요성이 증가하고 있으며 새로운 보호계전 알고리즘의 구현 또한 중요한 문제로 부각되고 있다.

새로이 개발되는 보호계전 알고리즘을 실제 계통에 적용하여 검증하기 위하여 하드웨어 구현이 반드시 이루어져야 하며 이를 위한 하드웨어의 개발에 있어서 개발기간 단축, 비용절감이 중요한 문제로 떠오르고 있지만, 기존의 전기 기계형(EM type, Electro-Magnetic type) 보호계전기 구현을 통한 하드웨어 개발 방식은 빠른 시간 내에 적은 비용으로 새로운 보호계전 알고리즘을 개발하기에는 적합하지 않다. 따라서 새로운 하드웨어 개발 방식이 필요하며 VHDL(Very high speed HDL)과 FPGA(Field Programmable Gate Array)를 이용한 방식을 사용함으로써 단기간, 저비용으로 하드웨어를 개발할 수 있다. 또한 기존의 하드웨어 구현방법과 비교하여 VHDL과 FPGA를 사용함으로써 하드웨어 수정 및 보완이 용이하게 할 수 있으므로 ASIC(Application Specific IC) 개발을 위한 시제품 개발을 짧은 기간 내에 수행할 수 있다. VHDL과 FPGA를 사용한 개발 방식이 위와 같은 이점을 갖추고 있으므로 상기의 방법이 새로이 개발된 보호계전 알고리즘의 하드웨어 구현을 통한 시제품화를 위하여 가장 효과적인 개발 수단이라 할 수 있다.

VHDL은 하드웨어를 기술하는 언어 중 하나로써 하드웨어의 동작적인 특성 또는 내부구성을 이용하여 하드웨어를 설계한다. VHDL은 칩 설계를 위한 가장 기초적인 단계로써 VHDL에서 구현된 내용은 FPGA를 이용하여 실제 칩으로 구현이 가능하다 [1-4].

본 논문에서는 전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘을 소개하고, 알고리즘을 VHDL로 구현하는 방법에 대하여 설명하였다. 또한 동기탈조 검출 알고리즘에서 사용되는 DFT(Discrete Fourier Transform)를 수학적으로 해석하고 이를 VHDL로 구현하는 방법에 대하여 논의하였다. 본 연구를 통하여 VHDL을 이용한 계전 알고리즘을 구현할 수 있으며, 또한 계전기 시제품

개발을 효과적으로 수행할 수 있을 것으로 기대된다.

2. 본 론

2.1 전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘

다음 식 1은 순시전압의 주파수 성분을 추출하는 식이다 [5-8].

$$\omega = \frac{\arg[V_k] - \arg[V_{k-1}]}{T} \tag{1}$$

여기서,  $\arg[V_k] = \tan^{-1} \left\{ \frac{\text{Im}[V_k]}{\text{Re}[V_k]} \right\}$

$\omega$  : 신호의 각 주파수 성분 [rad/s]  
 $T$  : 샘플링 간격 [s]

각 주파수  $\omega$ 는 다음 식 (2)과 같다 [8].

$$\omega = \omega_0 + \frac{d\delta(t)}{dt} = \omega_0 + \omega_d(t) \tag{2}$$

여기서 :  $\omega_d$ 는 각 주파수의 편의이다.

식 (2)을 시간 t에 대하여 미분한 각 가속도 a는 다음 식 (3)와 같다 [8].

$$a = \frac{d\omega}{dt} = \frac{d^2\delta(t)}{dt^2} = \frac{d\omega_d(t)}{dt} \tag{3}$$

전압의 주파수 편의를 계산하여 식 (3)와 같이 발전기의 위상각의 2계 미분값의 추정이 가능하다. 발전기 위상각의 변화에 따른 발전기 위상각의 미분값(속도)의 변화는 다음 그림 1과 같다 [8].

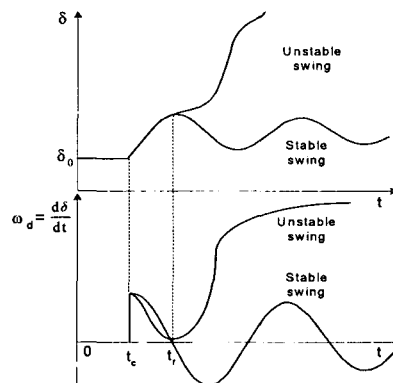


그림 1 시간에 따른 위상각 궤적

안정한 경우(stable swing)는 발전기 회전각의 속도가

점점 감소하여 0이 되는 시점이 존재하지만, 불안정한 경우(unstable swing)는 회전각의 속도가 완전히 감소하지 못하고 가속하게 된다. 따라서 발전기 회전각이 완전히 감소되지 않고 가속하기 시작하는 시점 이후에는 더 이상 발전기의 위상각이 동기를 유지하지 못하고 탈조하게 된다. 따라서 이와 같은 시점을 검출함으로써 정확하게 동기탈조를 검출할 수 있다.

### 2.1.1 안정한 경우(stable swing)

그림 1에서 안정한 경우(stable swing)는 사고제거( $t_c$ ) 후 위상각이 증가하다가 ( $t_r$ )시점에서 다시 감소하게 된다. 이때, 발전기 위상각의 미분( $\omega_d = d\delta/dt$ )는 0이 되고, 가속전력( $P_a = M d^2\delta/dt^2$ )은 음의 값을 가지며, 다음 식(4)와 같다.

$$\omega_d(t_r) = 0, P_a(t_r) < 0 \quad (4)$$

위상각이 진동함에 따라, 각 주파수  $\omega$ 와 각 가속도  $a$ 의 궤적은 다음 그림 2와 같다. 위상각이 진동함에 따라 궤적은 기본 주파수( $\omega_0, 2\pi f$ ), 즉,  $(0, 120\pi)$ 를 중심으로 원형을 그리며 회전한다 [8].

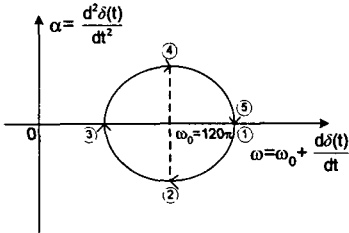


그림 2  $\omega$ 와  $a$ 의 궤적에 의한 동기탈조 검출 (안정한 경우)

따라서, 안정한 경우(stable swing)는 전력동요(power swing)를 발생시키는 발전기 상차각의 진동에 의해서 궤적은 원형으로 회전하며, 안정해짐에 따라 점점  $(0, 120\pi)$ 값에 수렴한다.

### 2.1.2 불안정한 경우(unstable swing)

그림 1에서 불안정한 경우(unstable swing)는 사고제거( $t_c$ ) 후 전기적인 출력이 기계적 입력보다 작아지는 시점부터 위상각이 급격히 상승한다. 이때, 발전기 위상각의 미분( $\omega_d = d\delta/dt$ )는 0이상이 되고, 가속전력( $P_a = M d^2\delta/dt^2$ )은 0의 값을 가지며 다음 식(5)와 같다.

$$\omega_d(t_r) > 0, P_a(t_r) = 0 \quad (5)$$

위상각이 증가함에 따라 각 주파수  $\omega$ 와 각 가속도  $a$ 의 궤적은 다음 그림 3과 같다. 위상각이 증가함에 따라 궤적은 각 주파수( $\omega = \omega_0 + d\delta/dt$ )가 기본 주파수보다 크면 서 각 가속도( $a = d^2\delta/dt^2$ )가 (-)에서 (+)로 이동하는 것을 알 수 있다 [8].

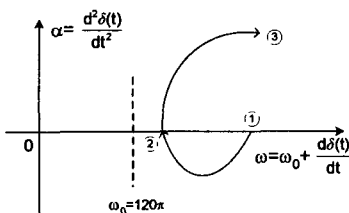


그림 3  $\omega$ 와  $a$ 의 궤적에 의한 동기탈조 검출 (불안정한 경우)

따라서, 동기탈조가 발생하는 불안정한 경우(unstable swing)는 그림 3의 ②지점에서 ③지점 즉, 각 주파수가  $120\pi$ 보다 크고 각 가속도가 (-)값에서 (+)값으로 바뀌는 순간을 검출하여 트립신호를 출력한다 [8].

### 2.1.3 동기탈조 검출 알고리즘

전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘의 흐름도는 다음 그림 4와 같다 [8]. 순시전압은 DFT필터를 이용하여 기본파를 추출한 뒤 기본파의 페이저 위상각의 변화율을 계산하였다. 각 주파수의 변화율을 계산하여 식 (3)을 이용하여 발전기의 2계 미분값을 추정하였다.

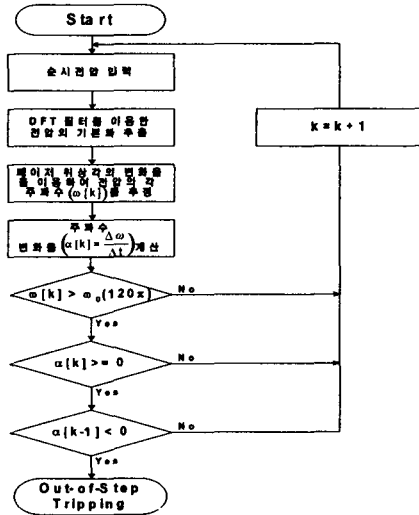


그림 4 동기탈조 검출 순서도

## 2.2 동기탈조 검출 알고리즘의 VHDL 구현

VHDL은 하드웨어 설계 언어로서 FPGA와 함께 사용된다. VHDL은 high level 언어로서 하드웨어의 영향을 받지 않으며 설계 및 검증이 유리하다는 이점을 갖추고 있다. 또한 FPGA를 사용함으로써 제품 개발 기간을 단축시킬 수 있으며 VHDL과 연동하여 사용함으로써 성능 검증을 쉽게 할 수 있다는 이점을 얻을 수 있다. 이러한 이점으로 인하여 현재 VHDL과 FPGA를 이용한 시제품 개발이 일반화 되고 있는 추세이며 본 논문에서도 전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘을 VHDL로 구현하였으며 이후 FPGA를 이용하여 하드웨어로 구현하고자 한다.

### 2.2.1 디지털 계전기의 구조

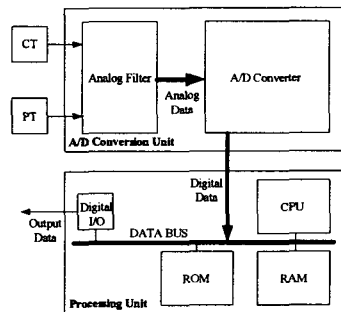


그림 5 디지털 계전기의 구조

그림 5는 디지털 계전기의 구조를 설명하고 있다 [1, 4]. CT와 PT에서 입력된 아날로그 신호를 A/D Conversion Unit에서 디지털 신호로 변환한다. 이를 Processing Unit에서 계전 알고리즘을 적용하여 동기탈조 상황을 검출하여 트립신호를 발생시킨다. 동기탈조 검출 알고리즘이 하드웨어로 구현되는 핵심부분은 Processing Unit으로써 다음 그림 6과 같다.

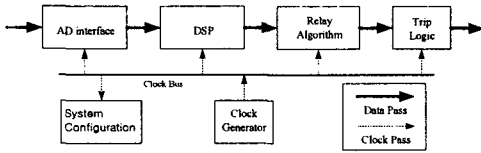


그림 6 Processing Unit의 데이터 흐름

그림 6는 Processing Unit에서 데이터가 처리되는 과정을 보여주고 있다 [4]. 샘플링 되어 입력된 아날로그 신호는 DSP를 거쳐 기본파 성분이 추출되며 계전 알고리즘을 거쳐 트립신호 발생여부를 판별한다. Processing Unit에서 사용되는 각 부분은 시스템 클럭에 의하여 동기화되어 동작하게 된다.

### 2.3 DFT(Discrete Fourier Transform)의 VHDL구현

본 논문에서는 DFT를 이용하여 기본파를 추출한 뒤, 페이저 위상각을 계산하여 발전기 각속도를 계산하였다. 기본파를 추출하기 위한 DFT는 다음 그림 7과 같다.

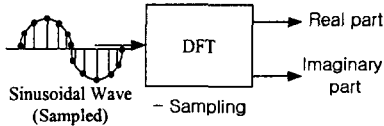


그림 7 DFT

DFT를 하드웨어로 구현하기 위하여 DFT 계수를 결정하며, 다음 식 (4)와 같다 [9].

$$X(n) = \sum_{k=0}^{N-1} x(k)W_N^{nk} \quad (n=0,1,2,\dots,N-1) \quad (4)$$

$$W_N = e^{-j(2\pi/N)}$$

여기서  $x(k)$ 는 샘플링 입력 값,  $N$ 은 샘플링 수이다. 식 (4)에서 기본파 성분( $n=1$ )만을 고려하면 식 (4)을 다음 식 (5)와 같이 변형할 수 있다 [9].

$$X(1) = \sum_{k=0}^{N-1} x_k \cos\left(\frac{2\pi k}{N}\right) - j \sum_{k=0}^{N-1} x_k \sin\left(\frac{2\pi k}{N}\right) \quad (5)$$

식 (5)의  $\cos\left(\frac{2\pi k}{N}\right)$ 과  $\sin\left(\frac{2\pi k}{N}\right)$ 을 이용하여 계수를 결정할 수 있다. 다음 그림 8은 식 (5)를 이용하여 결정된 계수를 이용한 DFT의 디지털 회로 블록도이다.

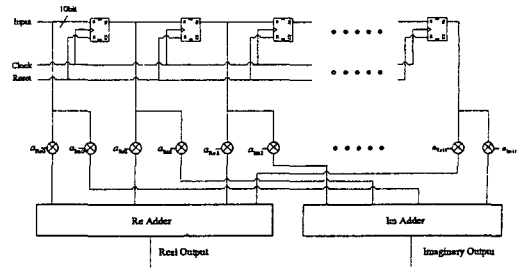


그림 8 DFT의 디지털 회로 블록도

## 3. 결 론

본 논문에서는 전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘을 소개하고 이를 하드웨어로 구현하기 위하여 VHDL을 이용하였다. 기본파를 추출한 뒤, 페이저 위상각을 계산하여 발전기 각속도를 계산하기 위한 DFT 부분을 VHDL을 이용하여 구현 하였다.

본 연구를 통하여 VHDL을 이용한 전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘 구현함으로써, 신속하고 정확하게 동기탈조 상황을 검출 할 수 있고 계통의 안정도와 신뢰성을 증대 시킬 수 있을 것으로 기대된다.

### 감사의 글

본 연구는 과학기술부 및 한국과학재단의 ERC 프로그램을 통한 지원으로 이루어졌으며 이에 감사를 드립니다

### [참 고 문 헌]

- [1] Feng Tao, Zhang Guiqing, Wang Jianhua, Geng Yingsan, Zhang Hang, "A FPGA based Implementation of Data Acquisition and Processing for Digital Protective Relays", Proceedings. 4th International Conference on ASIC 2001. 23-25 pp. 518-521, Oct. 2001.
- [2] M.A. Manzoul, "Multi function protective relay on FPGA", Microelectronics Reliability, Vol. 38, pp. 1963-1968, 1998.
- [3] M.A. Manzoul, Prasad Modali, "OVERCURRENT RELAY ON A FPGA CHIP", Microelectronics Reliability, Vol. 35, No. 7, pp. 1017-1022, 1995.
- [4] 서종완, "디지털 보호계전기를 위한 ASIC 설계", 성균관대학교 석사학위논문, 2000.
- [5] Arun G. Phadke, James S. Thorp. "A New Measurement Technique for Tracking Voltage Phasor, Local System Frequency, and Rate of Change of Frequency", IEEE Trans. on Power System, Vol. 102, No. 5, pp. 1025-1034, May. 1983.
- [6] Tadeusz Lobos, Jacek Rezmer, "Real-Time Determination of Power System Frequency", IEEE Trans. on Instrumentation and Measurement, Vol. 46, No. 4, pp. 877-881, August 1997.
- [7] Demetrios Tziouvaras, "Power system Stability and Relaying", IEEE PSRC Meeting, Jan. 2003.
- [8] 소광훈, 허정용, 김철환, "전압의 주파수 편의를 이용한 동기탈조 검출 알고리즘에 관한연구", 전기학회 논문지, Vol. 53A, No.3, pp. 175-181, March, 2004.
- [9] Sophocles J. Orfanidis, "Introduction to Signal Processing", PRENTICE HALL inc., 1996.