

고속 전류 테스트 구현을 위한 내장형 CMOS 전류 감지기 회로의 설계에 관한 연구

김후성, 박상원, 홍승우, 성만영*
고려대학교 전기공학과

A Study on the Design of Built-in Current Sensor for High-Speed Iddq Testing

Hoo Sung Kim, Sang Won Park, Seung Woo Hong, Man Young Sung*
Department of Electrical Engineering, KOREA University
*email : semicad@korea.ac.kr

Abstract

This paper presents a built-in current sensor(BICS) that can detect defects in CMOS integrated circuits through current testing technique - Iddq test. Current test has recently been known to a complementary testing method because traditional voltage test cannot cover all kinds of bridging defects. So BICS is widely used for current testing. but there are some critical issues - a performance degradation, low speed test, area overhead, etc. The proposed BICS has a two operating mode- normal mode and test mode. Those methods minimize the performance degradation in normal mode. We also used a current-mode differential amplifier that has a input as a current, so we can realize higher speed current testing. Furthermore, only using 10 MOSFETs and 3 inverters, area overhead can be reduced by 6.9%. The circuit is verified by HSPICE simulation with 0.25 um CMOS process parameter.

Key Words : current testing, BICS, Iddq testing

1. 서 론

현재 반도체의 공정기술과 설계 기술의 눈부신 발전으로 한 개의 VLSI칩 상에 수백만 개의 트랜지스터가 집적된 칩들이 제작되고 있다. 대부분의 칩들은 동작 시에 전력소모가 거의 없는 CMOS구조의 회로가 사용되며, 다층 금속 배선과 서브미이크론 레이아웃 등이 적용되어 집적도가 크게 증가하고 있다. 그러나 이러한 수백만 개의 트랜지스터가 집적된 칩들을 정확히 테스트 할 수 없다면 동작에 대한 보증이 어려워지며 쓸모가 없게 된다. 따라서 집적회로의 테스트에 대한 많은 노력이 요구되고 있다.

지금까지 디지털 논리회로를 테스트하는데 주로 사용되는 전압 테스트는 모든 불량이 고착결함과 같은 고전적인 결함에 기반을 두고 있는 테스트 방법이다. 점점 공정이 복잡해져 가고 다양한 양상의 결함이 발생하는 추세에 따라 전압테스트만으로는 부족하며 이것을 보완하는 방법이 모색되고 있다. 이러한 보완책 중 가장 널리 사용되는 것이 Iddq를 이용한 전류 테스트 방법이다.

본 논문에서는 고전적인 고장모델^[1]로 검출되지 않는 CMOS회로의 옥사이드 단락, 브리징 고장등 이러한 결함을 검출하기 위한 전류테스트를 구현할 수 있는 내장형 전류 감지기(built-in current sensor)를 제안한다. 설계된 회로는 전류 감지기

의 단점인 성능저하와 면적 증가를 개선하기 위해 전류 차동 증폭기를 이용하여 100MHz 이상 고속 측정이 가능하게 하였으며 단상 클럭 사용으로 면적 증가를 최대한 감소 시켰다. 시험 대상 회로는 0.25um급 8bit 전가산기를 사용하였으며 전류 감지기는 총 10개의 트랜지스터와 3개의 인버터, 1개의 내부 기준 전류원과 전압원을 사용하였다.

2. 본 론

2.1 Iddq Testing

CMOS회로는 구조적 특성상 정적 상태 (quiescent state)에서는 거의 전류가 흐르지 않는다. 전류 테스트(Iddq 테스트)^[2]은 이러한 CMOS회로의 특성을 이용하여 고장을 검출하는 방법이다. 물론 과도 상태에서는 외부 부하를 충, 방전 하는 과정에서 전류가 흐르게 되지만 이러한 전류가 아닌 출력이 변화가 없을 때 흐르는 전류를 말한다.

Iddq테스팅에는 크게 외부전류 테스트와 내장형 전류 테스트로 구분된다. 외부 전류 테스트는 출력단 회로를 통하여 전류를 측정하기 때문에 정확한 측정단자의 연결이나 외부부하의 크기에 따라 작은 양의 고장 전류를 측정할 수 없으며, 전류 측정 소자는 전압 측정에 비해 시간이 오래 걸리고 잡음에 민감하게 되어 고속 테스트가 불가능하다. 이러한 단점을 해결하기 위한 방법이 내장형 전류 테스트이다. 내장형 전류 테스트는 고장 전류를 칩의 내부에서 측정하기 위해서 전류 감지기를 칩속에 내장하여 사용하는 방법이다. 이 방법은 측정이 어려운 전류값의 변화를 이에 대응하는 전압값의 변화로 관찰 할 수 있도록 하므로 외부 전류 테스트에 비해 작은 양의 고장 전류를 검출할 수 있으며 고속 테스트가 가능하다. 회로내 위치상 전류 감지 회로는 시험 대상회로의 공급 전원 단자와 접지단자 사이에 직렬로 삽입되게 된다.

이러한 내장형 전류 감지기의 장점을 열거하면,

- ① 기존의 테스트 장비를 사용할 수 있고,
- ② 고속 테스트가 가능하며,
- ③ 전류 감지 해상도를 높일 수 있으며,
- ④ 입,출력단의 전류에 영향을 받지 않는다.

그러나 내장 전류기를 사용함으로써 얻는 장점 외에 여러 가지 단점이 발생된다.

- ① 칩속에 내장되므로 칩의 면적이 증가하며,
- ② 정상 동작에 성능 저하가 발생되며,
- ③ 커패시터 증가로 지연시간을 증가시킨다.

따라서 본 논문에서는 내장형 전류 감지기의 단점인 성능 저하와 면적 감소가 최소가 되도록 하였으며, 또한 고속 테스트가 가능하게 설계하였다.

2.2 . 내장형 전류 감지기 회로

Iddq테스팅을 위한 내장형 전류 감지기는 기존의 연구자들에 의해 많은 연구가 진행되었다. 대부분의 내장형 전류 감지기는 그림 1과 같이 고장전류를 입력으로 하여 내부에서 전압으로 변환시키고 그 변환된 전압을 기준 전압과 비교하여 결과를 외부 출력 단자로 내보냄으로써 고장 전류의 정보를 전압으로 바꾸어 내보내는 구조를 가지고 있다.

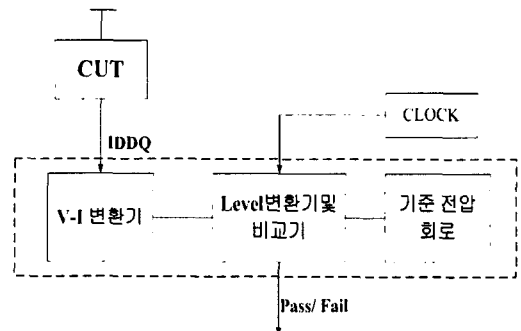


그림 1. 일반적인 내장형 전류 감지기의 블록 다이어그램

차동 전압 비교기와 BJT를 사용하여 공정상 비용증가가 요구되는 구조, 각 게이트마다 2개씩의 NOR형 구조를 연결하여 간단하지만 면적이 크게 증가하는 구조, V-I변환기와 레벨 변환기, 적분회로를 사용함으로써 빠르고 성능저하가 적지만 큰 커패시터와 저항 사용으로 점유 면적이 큰 구조, 성능저하를 일정값으로 제한하는 다이오드형 V-I 변환기를 사용한 구조등이 대표적인 전류 감지기 모델이다.

2.3 . 제안한 내장형 전류 감지기 회로

본 논문에서는 앞에 언급한 전류 감지기의 특성을 만족시키는 새로운 전류 감지기를 제시한다. 제안된 내장형 전류 감지 회로는 정상 동작 모드와

Iddq 테스트 모드의 두 가지 동작 모드^[3]를 갖는다. Test_in이라는 천이 입력신호에 따라 감지회로의 기능이 동작과 비동작을 수행하게 된다. 그림 2에서 보면 Test_in 신호가 High일 때는 Q0가 전도상태가 되어서 CUT(Circuit Under Test:시험 대상 회로)에서 흐르는 결합전류를 검출할 수 있게 감지 회로에 연결되게 되고, Test_in 신호가 LOW일 때는 Q0는 차단 상태, Q1은 전도 상태가 되어 시험 대상 회로는 정상적인 접지 단자로 연결되게 된다.

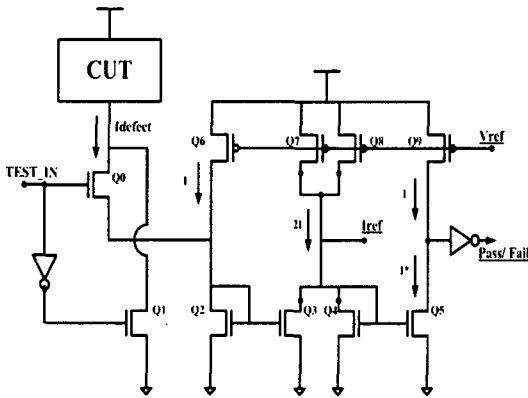


그림 2. 제안한 전류 감지 회로

본 회로는 고속의 Iddq 테스트를 위해 제안된 만큼 시험 대상 회로내 CLK 신호의 천이에 따라 과도 전류가 발생 되게 된다. 그렇지만 이런 과도 전류는 결합전류가 아니므로 최종 출력단에서 fail로 나타나서는 안된다. 그래서 과도 전류가 발생하는 Timing에서는 Test_in 신호가 항상 LOW를 유지하여 전류 감지 회로가 동작 하는 것을 차단시켜 주어야 한다.[그림 3.]

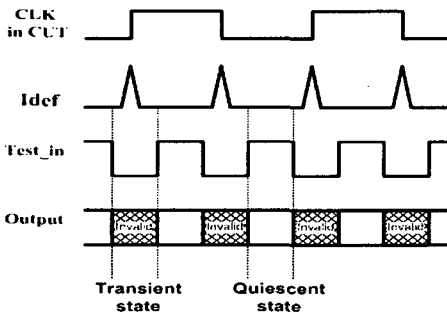


그림 3. Test를 위한 타이밍 다이어그램

그림 2의 전류 감지 회로 동작을 살펴 보면, 과대 전류 Idef(Idefect:결함 전류)가 시험 대상 회로에서 발생이 되면 전도상태인 Q0를 통해 전류 감지를 위한 전류형 차동 증폭기의 한쪽 입력 신호가 된다. Q6에서 흐르는 전류원 I와 합해져서 I+Idef가 Q3로 복제가 되고, 그 결과 Q4에는 $2I - (I + Idef) + Iref$ 인 전류가 흐르게 된다. Iref (Ireference:기준전류)는 전류 증폭기의 한쪽 입력이 되는 기준 전류이다. 이렇게 Q4에 흐르게 되는 $I + (Iref - Idef)$ 는 Q5에 복제 되어 Q9의 전류원 I와 비교되게 된다. 그 결과 Q5와 Q9의 접점 노드에서 Iref-Idef의 부호에 따라 약간의 전위 변동이 발생되고 인버터를 통해 pass/fail을 출력하게 된다. 본 회로는 기존에 적용되었던 V-I변환기와 전압 비교기를 사용하는 것과는 달리 결합 전류를 직접 입력 신호로 사용하기 위해 입력 저항이 작고 빠른 스위칭 특성을 가진 전류형 차동 증폭기를 삽입하였다.

2.4. 모의실험 결과 및 고찰

HSPICE를 이용한 시뮬레이션에 사용된 파라미터는 0.25um CMOS n-well공정으로 Vdd=2.5v, Tox=52Å, Vtn= 0.50v, Vtp= -0.55v 등이다. 먼저 결합 전류를 만들기 위해 8bit 전가산기를 사용한 시험 대상 회로 내에 특정 입력 조합에서만 결합 전류 전도 경로가 생기게 하는 25KΩ과 60KΩ 저항을 단락시켜주고 NMOS를 연결하여 게이트 신호에 따라 저항성 단락을 조절할 수 있게 만들었다.

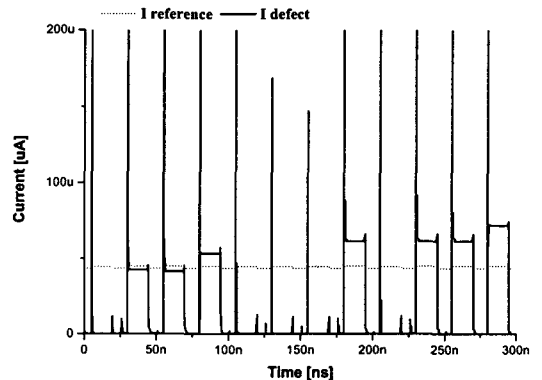


그림 4. 결합 전류(Idef)와 기준 전류(Iref)

위 그림 4 와 같이 50ns 부근 에서는 25KΩ

저항만이 MOS 스위치를 통해 연결되어 Idef은 41uA로 Iref인 45uA를 넘지 못하는 값을 가지고, 70ns 이후의 Idef는 60KΩ 저항이 추가로 병렬로 연결되면서 저항이 낮아져 Idef가 45uA이상인 값을 가지게 된다. 즉 결합 전류가 검출 되어야 할 구간이 되며 결과는 그림 5와 같다.

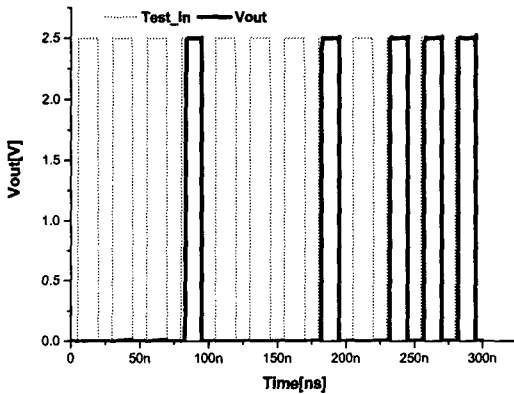


그림 5. 결합이 존재하는 시험대상회로의 모의 실험 결과 (Test_in:입력, Vout:출력)

제안한 회로는 위 그림 5와 같이 기준전류보다 큰 결합 전류에 대해서 pass/fail신호를 통해 결과를 출력하게 되고, Test_in 신호가 인가된 이후 3ns 이내에 결과를 출력하는 고속의 Test가 가능해진 회로이다. 과도 전류가 흐르는 구간인 Test_in 신호가 LOW인 구간이 7ns이하가 된다면 100MHz 이상에서도 고장 검출이 가능하게 된다. 또한 과도전류가 흐르는 구간은 Test_in신호가 LOW로 되면서 Q0가 off되고, Idef가 0이 되어 pass/fail신호는 항상 "0"을 유지한다. 그림 5에서도 나타나듯이 과도 전류가 전류 감지 회로의 오작동을 야기 시키지 않고 있음을 알 수 있다. 그 밖에 성능 저하 관점에서 전과 지연 시간과 전력 소모, 면적 오버헤드에 대해 측정하였다.

표 1에서 나타나듯이 BICS 삽입 유무에 따라 전과 지연시간은 0.16 ns, 평균 전력 소모는 0.01 mW, 면적 overhead는 약 6.9%의 근소한 차이만이 존재하였다. 즉 부가적인 회로인 전류 감지기를 삽입하더라도 정상 동작에 미치는 영향이 무시할 정도라고 생각할 수 있다.

표 1. 측정 파라미터 비교

parameter	BICS 삽입 전	BICS 삽입 후
t _{PHL}	1.37 ns	1.49 ns
t _{PLH}	0.36 ns	0.58 ns
t _{PD}	0.87 ns	1.03 ns
P _D	1.61 mW	1.62 mW
면적 오버헤드	-	6.9 %

단, 본 회로는 PMOS로 구성된 4개의 DC전류원을 가지고 있기 때문에 상시 전류가 흐르는 관계로 전류 감지기의 전압원은 시험대상 회로의 전압원과 다른 Vcc라는 전압원을 사용하여 Test 동작시 외에는 0V를 유지하게 했다. 그 이유로 Test_in 단자와 함께 2개의 추가적인 단자가 필요하게 된다.

3. 결론

본 논문에서는 CMOS 회로에서 종종 발생하는 합선, 게이트 옥사이드 단락 등에 대한 기존의 전압 테스트의 부족함을 보완하는 Iddq전류 테스트를 구현하는 BICS 회로를 제안 하였다. 종래의 BICS보다 고속의 검출능력을 확보하고자 전류형 차동증폭기를 삽입하였으며 시험 대상 회로의 성능 저하를 최대한 줄이고자 Test_in 모드를 사용하였다. 그 결과 3ns 이내의 검출 결과와 0.16 ns의 delay만을 유지 할 수 있었고, 면적 증가 역시 6.9%로 제한 할 수 있었다. 향후에는 가변적이면서도 균일한 기준 전류 생성에 대한 보완이 필요하다고 생각 된다.

참고 문헌

- [1] W. Maly. "Realistic fault modeling for VLSI testing ." Proc. Design Automation Conf., p173, 1987
- [2] 홍성제 외, "테스팅 및 테스트를 고려한 설계." 홍릉과학출판사, 1998
- [3] J.B.Kim, S.J.Hong and J.Kim, "Design of a built-in current sensor for IDDQ testing," IEEE J. Solid-State, vol.33, no. 8, p1266, 1998