

플라스틱 기판위의 buffer layer와 island density가 stress분포에 미치는 영향 분석

Jin-Woo Han, and Dae-Shik Seo

Department of Electrical & Electronic Engineering, College of Engineering, Yonsei University,
Seoul 120-749, Korea

Yong-Hoon Kim, Dae-Gyu Moon, Won-Keun Kim and Jeong-In Han

Information Display Research Center, Korea Electronics Technology Institute, Pyungtaek,
Kyunggi 442-860, Korea

Abstract

본 연구에서는 flexible 기판에 e-beam으로 sio₂를 증착 한 후 R.F 스퍼터링으로 ito 박막을 증착한 경우와 polyimide를 스핀 코팅한 후 ito를 증착한 경우로 나누어서 실험 하였다. SIO₂ 박막은 ITO증착을 위해 증착온도 100℃에서 증착 하였으며 ITO 박막은 투과율을 향상 시키기 위해서 Ar/O₂ 혼합가스를 이용하였다. SIO₂ 와 ITO 박막의 두께는 각각 500nm, 200nm로 증착하였다. Stress 분포는 bending test를 통해 발생하는 island의 crackt 수로 측정 하였다. 그 결과 crack 분포는 buffer layer의 young's modulus 크기와 island density 영향이 지배적임을 확인 하였다.

1. Introduction

최근 몇 년 동안 flexible display은 liquid crystal displays (LCD), organic light emitting displays (OLED).등을 비롯하여 놀랄만한 발전이 있었다. flexible display를 만드는데 는 일반적으로 고분자 기판을 이용한다. 고분자 기판위에 산소와 수분의 침투를 방지하는barrier coatings과 투명전극인indium-tin-oxide (ITO)를 증착해서 사용한다.

ITO와 같은 brittle coating은 임계값 이상의 strain이 가해졌을 때 conduction fail이 되는데, conductive layer(ex. ITO)에서 발생하는 crack은 저항에 영향을 미치고 barrier coating에서의 crack은 침투율을 증가시킨다. 이런 stress로 인해 발생한 기계적인 degradation은 직접적으로 소자특성과 관련되어 있기 때문에 지금까지 상당히 많은 연구가 진행되어 왔다. 즉, 이런 기능적인 코팅의 임계 strain과 failure mechanism을

이해하는 것이 flexible display의 신뢰할만한 모델링을 하는데 있어서 중요하다. 이 논문은 기존의 stress 분석을 통한 연구에 ITO layer위의 island density 영향을 분석 연구하였다.

2. Fabrication

우리는 5가지의 서로 다른 패턴 밀도를 가진 마스크로 테스트를 하였다. Figure 1 은 테스트에 사용된 2가지 형태의 서로 다른 buffer의 구조를 나타낸다.우리는 28 mm × 10 mm크기를 가진 기판 위에 25 × 35 , 25 × 40, 25 × 45, 25 × 50의 ITO island-arrays를 만들었다.

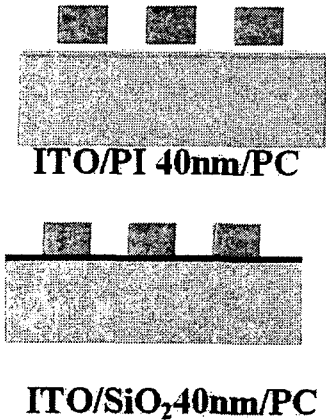


Fig. 1. Two different sandwich structures :
 i) Type 1 : ITO (200 nm) / PI (40 nm) / PC
 ii) Type 2 : ITO (200 nm) / SiO2 (40 nm) / PC
 iii) Type 3 : ITO (200 nm) / PC

3. Theoretical mechanical stress of structure incorporated with buffer layer

RF-magnetron 스퍼터링 시스템이 PC기판위의 ITO 필름의 증착에 사용되었다. residual stress에 의한 영향을 최소화하기 위해 이미 상용화된 ITO가 코팅된 PC기판(200 μ m)을 사용하였다. ITO를 제거한 PC기판은 기판 아랫부분의 열팽창계수(CTE)가 작은 barrier층에 의해 약간 위쪽으로 휘게(위로볼록하게)된다. 이 PC기판에 두께가 200nm정도인 ITO를 증착함으로써 ITO를 증착하기 전의 평평한 상태를 어느정도 유지할 수 있다. 즉, residual stress로 인한 bending moment를 최소화함으로써 bending moment에 의해서만 영향받는 stress분포를 측정할 수 있다. 증착된 ITO의 면 저항은 약 35 Ω /□로 측정되었다. 각각의 위치에 따른 stress의 분포를 알아보기 위해 그림 1과 같은 패턴을 사용하여 520*780 μ m²의 크기를 가진 25개의 섬모양의 배열로 이루어진 ITO film을 제작하였다. 또, 패턴이 없는 샘플을 만드는 과정에서 생기는 샘플 끝부분의 스트레스의 영향을 덜 받게하기 위해서도 패턴을 사용하였다. 기계적 stress에

buffer 구조가 미치는 영향을 분석하기 위하여서는 elastic deformation 과 multi-layer 에 residual stress 와 external bending stress. 로 인해 발생하는 기계적인 stress를 계산하여야 한다. 우리는 아래와 같은 식을 유도하였다.

$$\epsilon_{total} = c - \left(\frac{1}{r} \pm \frac{1}{R}\right) |z - t_b|$$

여기서 c 는 uniform strain component을 나타내고, t_b 는 bending axis의 위치를 가르킨다. r 은 안쪽의 곡률반경이고 R 은 외부 bending의 반경이다.

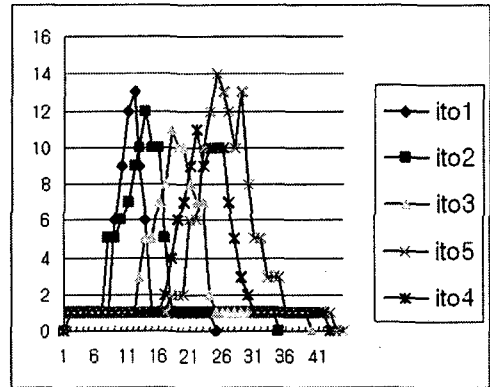


Fig. 2. 패턴의 밀도에 따른 crack수.

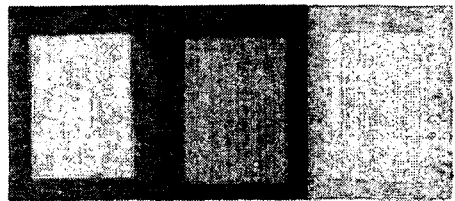


Fig. 3. buffer에 따른 crack모양(PI buffer, SiO2 buffer, non-buffer).

Fig. 3, 의 결과는 buffer층이 기계적인 stress 감소에 영향을 미침을 알 수 있다. 단 기판과의 접착력은 crack발생에 중요한 요소이나 고려하지 않았다. 또 같은 두께에서 PI는 SiO2보다 stress감소에 더 큰 영향을 미치는 것을 알 수

있었다. 그러나 투과율 측면에서는 SiO₂가 좋은 값을 가진다. 두께가 증가 할수록 PI는 지속적으로 stress를 감소 시키지만 SiO₂같은 산화물은 오히려 두께가 증가하면 stress또한 증가한다.

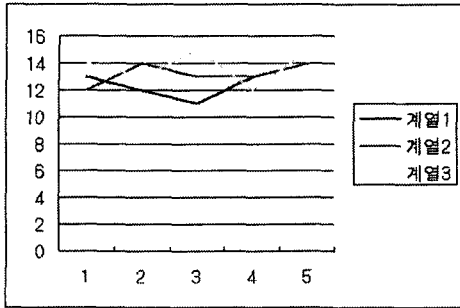


Fig. 4. 패턴 밀도에 따른 각 기판의 crack수.

4. Conclusion

요약하면 적은 Youngs modulus 를 가지는 buffer층은 기계적인 stress를 감소시켰으며 island density가 적을수록 crack수가 감소하였다. 또 이와 유사하게 중앙 부분에서 저항 변화 값이 가장 크고 가장자리 부분에서 그 값이 가장 작다는 것을 알 수 있었다.

감사의 글

본 연구는 정보통신부 대학 IT 육성 지원 사업의 결과로 수행되었습니다.

References

- [1] Z. Suo et al., Appl. Phys. Lett., 74, 1177 (1999).
- [2] S. K Park et al., Trans. on EEM, 3, 244 (2002).
- [3] C. H. Hsueh, J. Appl. Phys., 91, 9652 (2002).
- [4] G. Rochat et al., Thin Solid Films, 437, 204 (2003).