

고압용 적층 세라믹 캐패시터 설계 및 제작

윤중락, 김민기, 이현용*, 이석원**

삼화콘덴서 연구소, 명지대학교 전기전자공학부*, 호서대학교 전기정보제어공학부**

The Design and Fabrication of High Voltage Multilayer Ceramic Capacitors.

Jung-Rag Yoon, Min-Ki Kim, Heun-Young Lee*, and Serk-Won Han**

SAMWHA Capacitor co. Ltd, Myoung Ji Uni*, Hoseo Uni.**

Abstract

Ni 내부전극을 적용한 X7R의 온도특성을 가지는 고압용 적층 칩 캐패시터를 설계, 제작하였으며 제작된 캐패시터 신뢰성을 검토하였다. 고압용 캐패시터 설계시 절연파괴전압과 유전체 두께간의 최적의 두께가 있음을 볼 수 있으며 그린시트 두께 24 um의 경우 weibull 계수는 13.58, 단위 절연파괴전압은 70 [V/um] 을 얻을 수 있었다. X7R 3216, 100 [nF] 정격전압 250[V] 캐패시터를 설계하여 절연파괴전압은 최고 1.29 [KV]인 고압용 칩 캐패시터를 제작하였다. 적층 칩 캐패시터 절연파괴 모드는 유전체 층간의 절연파괴와 더불어 내부전극과 외부 전극 또는 세라믹 소체와의 절연파괴 모드가 나타남을 볼 수 있다.

Key Words : 고압용 적층 칩 캐패시터, 절연파괴전압, weibull 계수, 외부전극, X7R

1. 서 론

전자기기의 소형화 요구에 따라 전원회로를 구성하는 부품의 고압화, 소형화, 고성능화가 요구되고 있다. 특히, 수동 부품의 하나인 캐패시터는 소형화 및 고 신뢰성과 더불어 고압화에 대한 요구가 증가되고 있다. 캐패시터의 경우 소형화 및 고용량 특성을 얻기 위하여 유전체 세라믹을 이용한 그림 1과 같은 적층형 구조를 적용하여야 한다.

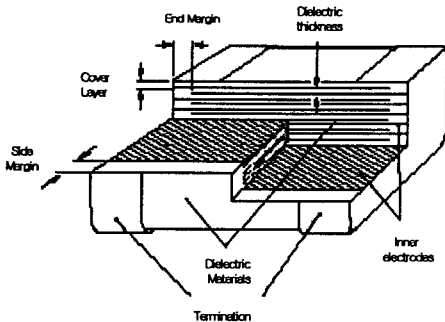


그림 1. 적층 칩 캐패시터 구조

그림 1은 적층 세라믹 캐패시터 (Multilayer Ceramic Capacitor)로서 유전체를 적층하여 제작한 것으로서 용량은 적층 수, 유전율, 전극 대향 면적에 비례하고 전극간의 유전체 두께에 반비례한다. 따라서 고용량을 얻기 위해서는 유전체 두께를 얇게하거나 적층수를 증가시켜야한다. 적층 칩 캐패시터의 절연파괴 메카니즘으로는 유전파괴 (dielectric breakdown), 전기-열적 절연파괴 (electro-thermal breakdown), 전기-기계적 절연파괴 (electro-mechanical breakdown)가 있다. 고압용 캐패시터 설계시 위에 열거한 인자를 고려하여야 한다, 실제 고압용 캐패시터 설계시 고용량 캐패시터 설계시 고려할 사항을 포함하여 내부 전극의 두께, 유전체 재료, 적절한 유전체 두께, 내부전극과 세라믹간의 두께(side margin, end margin, cover layer)등이 고려되어야한다. 특히, 내부전극과 세라믹간의 두께에 따라 절연파괴모드가 다르게 나타남을 볼 수 있으며 실제 PCB 실장시 절연파괴 모드가 다르게 나타나거나 절연파괴전압 특성이 낮게 나타나는 경우를 볼 수 있다. 본 논문

서는 DC-DC 인버터 많이 사용되는 X7R 온도특성(EIA 기준)을 가진 적층 칩 캐패시터의 설계 및 제작을 통해 고압용 캐패시터의 설계 인자와 절연 파괴전압과의 관계, 신뢰성등을 고찰하고 절연 파괴 모드를 해석을 통해 고압용 캐패시터 설계시 고려할 인자를 연구하고자 한다.

세구조로서 그린시트의 두께에 따른 소결성이나 기공의 변화는 크게 나타나지 않음을 볼 수 있다. 하지만 절연파괴 특성에 영향을 끼치는 것으로 알려진 기공이 다소 존재함을 볼 수 있다.



그림 2. 그린시트별 미세구조 (30um, 24um, 18 um)

2. 실험

BaTiO₃가 주성분인 X7R 원료와 PVB 바인더, 톨루엔, 에탄올을 이용하여 슬러리를 제작한 후 닥터 블레이드법으로 18, 24, 30, 36 um의 그린시트를 제작하였다. 제작된 그린시트에 Ni 전극을 인쇄한 후 적층, 압착하여 그린 칩을 제작하였다. 그린 칩을 280℃에서 4 시간 바인더 탈지 후 1320℃ 환원 분위기에서 소성하였다. 제작된 적층 칩 캐패시터의 크기는 3.2 X 1.6 mm이고 용량 100nF, 정격전압은 250[V]이다. 제작된 칩 절연파괴전압의 공정능력 분석을 MINITAB 프로그램을 적용하여 weibull 함수 식 (1)로 해석하였으며 절연파괴 현상을 광학현미경 및 SEM을 이용하여 분석하였다

Weibull Plot-Modulus(m) -- 식 1

$$\ln \left\{ \frac{1}{(1-P_f)} \right\} = m \ln \delta - m/n \delta_0 + constant$$

$$P_f = \frac{n}{(N+1)}$$

임의 전압 δ 에서 파괴된 n 번째 시편 파괴 확률

3. 결과 및 고찰

그림 2는 그린시트의 두께에 따른 소결 후 미

표 1은 그린시트 두께에 따른 절연파괴전압 및 weibull 계수로서 두께가 증가할수록 절연파괴전압이 저하되고 weibull 계수도 작아짐을 볼 수 있다. 일반적으로 세라믹스의 절연파괴특성은 유전체 두께가 증가할수록 단위두께 절연파괴전압은 감소하는 경향은 보이지만 두께가 증가할수록 절연파괴전압은 증가하는 것으로 알려져 있다.

하지만 적층 칩 캐패시터의 경우 제조 공정상 결함이 많이 발생할 수 있으므로 해서 일반적인 고압용 캐패시터의 설계와는 다른 현상을 보인다. 이와같은 결과는 적층 칩 캐패시터의 설계에 있어 동일 용량을 얻기 위해 유전체의 두께가 두꺼운 경우 적층수가 증가되므로 결함을 가질 확률이 높아 절연파괴전압이 감소되는 것으로 예상된다.

	30 um	24 um	18 um
시그마 수준	3.5	4	3.9
Weibull 계수	9.94	13.58	11.48
BDV(kv)	1.109	1.281	1.249

표 1. 그린시트 두께에 따른 절연파괴전압 및 weibull 계수

그림 3은 그린시트의 소결후 유전체 두께에 따른 절연파괴전압과 단위 두께당 전압을 나타내었다. 그림 3을 보면 소성 후 두께가 19 μm (그린시트 24 μm)까지 절연파괴전압이 증가함을 볼 수 있으나 수성후 두께가 23.5 μm (그린시트 30 μm) 인 경우는 예상과는 달리 절연파괴전압이 감소함을 나타낸다. 이와 같은 결과는 고압용 적층 칩 캐패시터 설계시 의미있는 데이터로서 절연체의 두께에 임계치가 있음을 나타내고 있다. 단위 두께당 전압은 유전체 두께가 얇아질수록 증가하는 경향을 보이고 있으며 이는 일반적인 세라믹스 절연파괴전압과 유사한 특성을 볼 수 있다. 두께증가에 따라 절연파괴전압의 임계치가 나타나는 결과는 절연파괴전압 메카니즘에서 외인성파괴(물리적 결합)와 진성파괴(전자적 파괴)차이에 의해 나타나는 것으로 공정개선(기공감소, binder 탈지등) 및 유전재료의 개발을 통해 임계치값을 개선 할 수 있음을 보여준다.

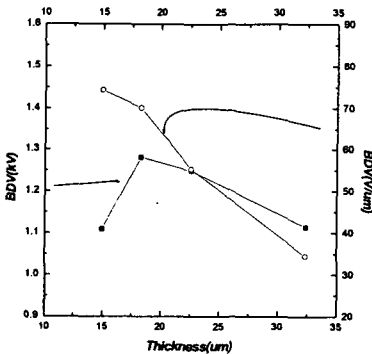
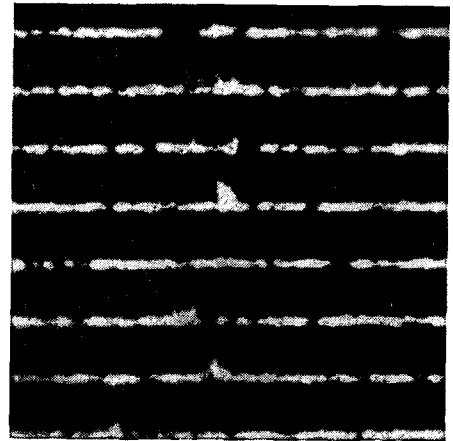


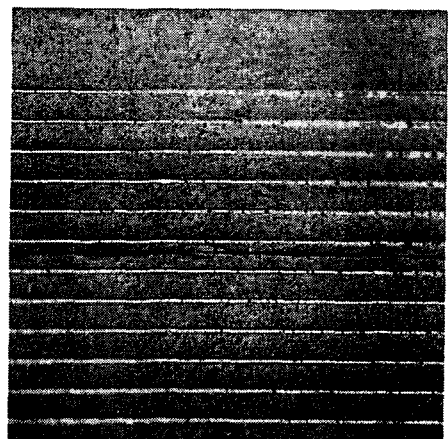
그림 3. 소성 후 두께에 전극간 유전체 두께 따른 절연파괴전압 및 단위 두께당 절연파괴전압

그림 4는 절연파괴 모드로서 전극과 전극 층간의 유전체 절연 파괴 (a), (b), 내부전극과 외부전극 간의 절연파괴 (c), 외부전극과 세라믹 표면과의 절연파괴 (d)로 나타남을 볼 수 있다. 그림 (a)의 경우는 유전체 자체의 절연 파괴특성으로서 외인성 파괴보다는 전자적 파괴가 시발점이 된 열적파괴에 의한 영향이 더 큼을 볼 수 있다. 그림 (b)는 유전체 층간파괴로서 그림 (a)와 동일한 현상을 보이나 전자적 파괴에 의한 시발점보다는 적

층 칩 캐패시터 제작시 바인더 탈지나 적층 압력 불균일에 의한 공정 결함에 의해 발생하는 delamination에 의한 경우로 볼 수 있다. 그림 (c)는 그림 (a)의 현상과 동일한 절연파괴 현상이나 외부전극인 금속과 절연체인 세라믹간의 열팽창 계수도 무시할 수 없는 인자임을 보여주고 있으며 또한 설계 외부 전극과 전극간에 거리(end margin)를 충분히 유지하여야 함을 보여주고 있다. 그림 (d)는 세라믹과 내부전극간의 절연파괴 현상으로 적층 칩 캐패시터 설계시 최소의 cover layer를 확보하여 표면 플레시오버에 의한 절연파괴를 줄여야함을 보여 주고 있다.



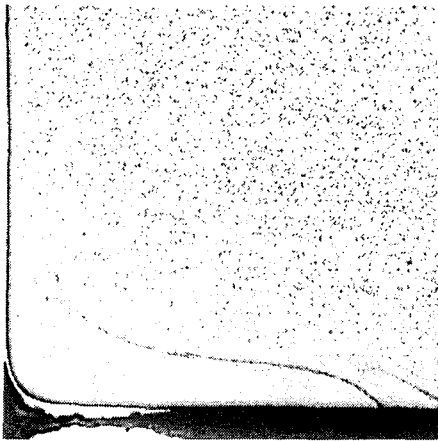
(a)



(b)



(c)



(d)

그림 4. 고압용 적층 칩 캐패시터 절연파괴 모드

4. 결 론

고압용 적층 칩 캐패시터 설계 및 제작 결과 다음과 같은 결과를 얻을 수 있었다.

- (1) 적층 칩 캐패시터 설계시 적층공정에 따른 절연파괴 전압 임계점이 있으며 이를 고려하여 설계하여야 한다.
- (2) 신뢰성 측면을 고려시 유전체 두께의 최적값이 있음을 확인 할 수 있었다.
- (3) 고압용 적층 칩 캐패시터 설계시 유전체 두께와 내부 전극과 세라믹간의 두께(side margin, end

margin, cover layer)을 고려한 설계가 필요하다.

(4) 절연파괴모드는 전극과 전극사이의 유전체를 관통하는 절연파괴는 전자적 절연파괴를 시발점으로 하여 열적파괴가 일어나는 형태로 나타남을 볼 수 있다.

(5) 세라믹과 내부전극간의 절연파괴는 오버플러시로 나타남을 볼 수 있으며 고압용 설계시 cover layer의 두께가 주요함을 확인하였다.

이상의 결과로부터 X7R 3216 100nF, 250[V]용 고압용 적층 칩 캐패시터를 제작할 수 있었다.

참고 문헌

- [1] 이석원, 윤중락, "X7R용 적층 칩 세라믹 캐패시터 조성의 희토류 첨가에 따른 유전 특성", 전기전자재료학회논문지, 16권, 12호, p. 1080, 2003.
- [2] "DC, AC and pulse load of multilayer ceramic capacitors", KOA speer electronics, INC.
- [3] Hwan Moon, Jung Rag Yoon, and Tak-Serk Chung, "Effect of additives on dielectrc properties and microstructure of MLCC X7R composition," J.Kor.Ceram. Soc., Vol. 40, No.7. p.644, 2003