

## 배치식 플라즈마 세정 설비를 이용한 자연산화막 제거 공정

박재영, 이욱열, 형용우, 남석우, 이현덕, 송창룡, 강호규, 노용한\*

삼성전자 DS 총괄 DT기술그룹, 성균관대학교\*

### A Study on Batch-Type Remote Plasma Dry Cleaning Process for Native Oxide Removal

Jae-Young Park, Wook-Yeol Yi, Yong-Woo Hyung, Seok-Woo Nam, Hyeon-Deok Lee, Chang-Lyong Song, Ho-Kyu Kang, Yong-Han Roh\*  
Samsung Electronics, Sungkyunkwan Uni.\*

반도체 소자의 제조에 있어 실리콘 표면에 성장한 자연산화막을 제거하기 위해 일반적으로 습식 세정 기술이 이용되어 왔다. 하지만 소자의 최소 선폭(design rule)이 nano급으로 고집적화 됨에 따라 contact hole 바닥의 자연산화막을 깨끗이 제거하는데 있어서 그 한계를 나타나고 있다. 이에 대한 효과적인 대안 공정으로 가스 건식 세정 기술이 연구되고 있다. 본 논문에서는 한 번에 50매 이상의 웨이퍼를 처리함으로써 생산성 측면에서 월등한 배치식 설비에서 원거리 플라즈마(remote plasma) 장치에서 2.45GHz의 마이크로웨이브( $\mu$ -wave)에 의해 형성시킨 수소라디칼과  $\text{NF}_3$  가스를 이용하여 실리콘에 결함을 주지 않고 자연산화막을 선택적으로 제거하는 공정에 대해 고찰하였다. AFM을 이용한 표면분석, TEM을 이용한 물성분석, 그리고 ToF-SIMS 및 XPS를 이용한 화학 분석을 습식 및 건식 세정을 비교 평가한 결과, 건식 세정 공정이 실리콘 표면에 결함을 주지 않고 자연산화막을 제거 할 수 있음을 확인하였다. 산화막( $\text{SiO}_2$ ), 질화막( $\text{Si}_3\text{N}_4$ ), 그리고 다결정 실리콘(Poly-Si) 등의 각 막질별 식각 특성을 고찰하였으며,  $\text{NH}_3$ 의 캐리어 가스인  $\text{N}_2$ 의 주입량을 조절함으로써 수소라디칼 형성 효율의 개선이 가능하였으며, 이로부터 게이트와 소스/드레인 사이를 절연하기 위해 이용되는 질화막의 식각 선택비를 2배 정도 개선할 수 있었다. nano급 소자에 실장하여 평가한 결과에서 불산(HF)에 의한 습식 세정 방식에 비하여 약 20 ~ 50% 정도의 contact 저항 감소 효과가 있음이 확인되었다.

**Key Words** : contact hole, 자연산화막, 건식 세정, contact 저항

#### 1. 서 론

반도체 소자가 nano급 이하로 최소 선폭(design rule)이 고집적화됨에 따라 contact hole의 aspect ratio가 세밀해지고 깊어지면서 습식 세정 기술은 다음과 같은 한계에 직면하게 되었다. 첫째, contact hole의 바닥까지 세정제(wet chemical)가 도달하기 어렵게 되고, 자연산화막(native oxide)을 충분히 제거하기 위해 세정 시간을 증가시키게 되면 contact hole의 형태(profile)에 손상을 주어 단차를 유발시키게 된다. 또한 일단 세정제가 contact hole 바닥까지 침투되었다고 하더라도 모세관 현상에 의해 빠져나오기도 어렵고,[1] 건조 또한 어려워져 그림. 1에서와 같은 물반점(water

mark)이 발생하는 문제가 있다. 둘째, contact hole 바닥의 실리콘 계면에 성장한 자연산화막이 깨끗이 제거되지 못해서 잔존하거나 재산화가 쉽게 일어나게 되면, MOS-FET의 트랜지스터 특성을 열화시켜 정보(data)의 쓰기와 읽기(read and write) 속도를 저하시키는 문제를 일으키게 된다.[2] 이와 같이 소자의 고집적화에 따라 발생하는 습식 세정 기술의 문제를 극복하기 위한 대안 기술으로써 가스 건식 세정 기술이 연구되고 있다.

본 논문에서는 50매 이상의 웨이퍼를 한 번에 처리함으로써 생산성 측면에서 매우 효율적인 배치형 설비를 이용하여 실리콘 표면에 결함을 주지

않고 자연산화막을 제거할 수 있는 원거리 플라즈마(remote plasma) 장치에 의해 발생된 수소라디칼(hydrogen radical)과  $NF_3$  가스를 이용한 건식 세정 공정의 특성을 고찰하고자 하였다.

## 2. 실험

### 2.1. 실험장치

그림. 2는 자연산화막을 제거하기 위한 배치식 건식 식각 장치의 개략도이다. 구성은 2.45GHz의 마이크로웨이브( $\mu$ -wave)를 이용하여 수소라디칼(hydrogen radical)을 발생시키는 원거리 플라즈마(remote plasma) 장치, 다량의 웨이퍼를 장착할 수 있는 수직형 반응실(vertical reactor)과 보트(boat), 반응실에  $NF_3$ 를 고르게 주입시킬 수 있는  $NF_3$  가스 분사 노즐(nozzle), 수소 라디칼을 반응실의 상부와 하부에 고르게 분산시켜 반응실 위치에 따른 식각 산포를 개선하기 위한 확산기(diffuser)와 슬릿 slit, 그리고 반응실 벽(wall)에는 식각 과정에서 형성된 반응 부산물을 기화시키기 위한 열원으로 이용되는 텅스텐 할로겐 램프 모듈 등으로 구성되어 있다.

### 2.2. 실험방법

본 실험에 이용된 가스는 수소라디칼 형성을 위한  $NH_3$ 와 그 캐리어 가스인  $N_2$ , 그리고 산화막( $SiO_2$ ), 질화막( $Si_3N_4$ ), 다결정 실리콘(Poly-Si)의 세가지 막에 대해 유사한 식각 선택비를 갖는  $NF_3$ 이다. 한 번에 50매 이상의 많은 웨이퍼를 처리하는 배치식 설비이므로 배치 내의 식각 산포를 개선하기 위하여 기본적으로 각 가스는 수 slm 정도로 다량 이용하였고, 수소 라디칼 발생 효율을 높이기 위해 마이크로웨이브 파워( $\mu$ -wave power)는 3kW 정도로 높게 적용하였다. 각 막질에 대한 식각 특성을 평가하기 위하여 준비된 시료는 열산화막(Thermal  $SiO_2$ ), BPSG, 저압 기상 증착 질화막(LP-CVD  $Si_3N_4$ ), 그리고 저압 기상 증착 다결정 실리콘(LP-CVD Poly-Si)이었으며, 건식 식각의 반응 메커니즘을 이해하고 그 효과를 확인하고자 AFM(Atomic Force Microscopy)을 이용한 표면 분석, ToF-SIMS (Time of Flight Secondary Ion Mass Spectroscopy)와 XPS(X-ray Photoelectron Spectroscopy)를 이용

한 화학분석, 그리고 TEM (Transmission Electron Microscopy)을 이용한 물질분석을 진행하였다. 최종적으로 전기적 특성을 확인하고자 nano급 반도체 소자에서 습식 세정과 건식 세정 적용하여 그에 따른 계면 저항 특성을 확인하였다.

## 3. 결과 및 고찰

### 3.1. 수소라디칼과 $NF_3$ 가스를 이용한 건식 식각 공정의 특성 및 반응 메커니즘

수소라디칼과  $NF_3$  가스를 이용한 자연산화막 건식 세정의 반응 메커니즘은 크게 식각 단계와 기화 단계로 나누어 진다. 첫 단계인 식각 단계에서는 수소라디칼과  $NF_3$  가스가 반응하여 양(positive)과 음(negative)로 charge된 식각 가스(etchant)를 형성한다. 또한 실리콘 표면에 성장된 자연산화막에서 산소 원소(O)는 전기음성도(electronegativity)가 커서 음(negative)으로 charge되고 실리콘원소(Si)는 양(positive)으로 charge된다. Coulomb force에 의해 식각 가스와 자연산화막의 화학 반응이 일어나고 이로부터 분해된 자연산화막의 산소 라디칼이 물분자( $H_2O$ )를 형성하며 식각 가스인  $NF_4F$ 와  $NH_4F:HF$ 는 실리콘 원자와 반응하여  $(NH_4)_2SiF_2$ 의 반응부산물을 형성한다. 두 번째 단계인 기화 단계에서는 텅스텐 할로겐 램프 히터와 같은 열원을 이용하여 반응부산물인  $(NH_4)_2SiF_2$ 를 100 °C 이상의 끓는점 이상으로 가열하여 증발(vaporization)시킴으로써 자연산화막을 제거하고 최종으로 수소(H) 및 불소(F)로 마감처리 된 실리콘 표면을 형성하게 된다.[3]

그림. 3은 열산화막(thermal  $SiO_2$ ), BPSG, 다결정 실리콘, 그리고 질화막 등의 막질별로 식각시간에 따른 식각량의 변화를 나타낸 것이다. 열산화막과 BPSG 산화막은 식각시간이 적을 때는 선형으로 식각량이 증가하다가 점차 포화되는 self-limiting의 공정 특성을 나타낸다. 이와 같은 특성은 극성이 있는(polar) 산화막과 음(negative)과 양(positive)으로 charge된 식각가스(etchant)가 Coulomb force에 의해 서로 끌어 당기는 힘이 반응생성물이 형성되는 초기에는 강하지만 반응시간이 지속되어 반응생성물의 두께가 증가하게 되면서 식각 가스와 반응생성물 하층의 산화막이 서로 멀어져 끌어 당기는 힘이 약해지고 분산력이

증가하여 식각가스가 반응생성물을 통과하여 확산되어 들어가기 힘들기 때문인 것으로 생각된다. 또한 각종 산화막에 대해 식각량이 서로 다른 불산(HF) 습식 세정을 전세정으로 진행한 경우에는 그림 4.(a)와 같이 contact profile에 손상을 주지만, 건식 세정의 경우는 각종 산화막에 대한 식각 선택비가 비슷하므로 그림 4.(b)와 같이 contact profile에 거의 손상을 주지 않는다. 또한 다결정 실리콘 막질은 극성이 없으므로 식각시간에 따른 식각량은 약 10 Å 정도로 거의 변화가 없는 것으로 나타났었다. 실리콘 표면에 성장한 자연산화막 두께 정도만 식각 되는 것이다. 이로부터 수소라디칼과 NF<sub>3</sub> 가스를 이용하는 건식 세정에 의한 실리콘 손상 주지 않음을 알 수 있다. 질화막(Si<sub>3</sub>N<sub>4</sub>)의 경우는 산화막 보다 식각에 대한 선택비는 높지만 시각시간에 따라 점차 지속적으로 식각량이 증가하는 것으로 나타났다. 이는 표. 1에 나타낸 바와 같이 질화막을 구성하고 있는 질소(N)가 산화막을 구성하는 산소(O)의 전기음성도 3.5 보다는 낮지만, 전기음성도가 3.0이기 때문에 산화막 보다 약하기는 하지만 질화막도 또한 극성(weakly polar)을 갖는 막질이므로 식각시간에 따라 막질의 식각량이 증가하는 특성을 보이는 것으로 생각된다.

표. 1. 각 원소별 전기음성도

전기음성도	Li	Be	B	C	N	O	F
	1.0	1.5	2.0	2.5	3.0	3.5	4.0

그림. 5는 플라즈마에 의한 실리콘 기판 손상이 있는지를 확인하기 위해 습식 및 건식 세정 이후의 실리콘 기판의 표면 거칠기를 AFM(Atomic Force Microscopy)으로 분석한 결과이다. 건식 세정의 경우, 첫 단계인 식각 단계 직후에는 반응 부산물인(NH<sub>4</sub>)<sub>2</sub>SiF<sub>2</sub>가 형성됨으로써 평균 표면 거칠기(RMS)가 약 3.0nm 정도이나, 기화 단계 이후에는 0.15nm정도로 습식 세정과 차이가 없었다.

그림. 6은 건식 및 불산(HF) 습식 세정 후의 표면의 화학 성분을 조사하기 위해 ToF-SIMS(Time of Flight Secondary Ion Mass Spectrometry) 분석을 진행한 결과이다. 습식 보다는 건식 세정 후의 시료 표면에 F 량은 더 많고, SiO량은 더 적은 것으로 나타났다. 또한 그림. 7은 XPS(X-ray Photoelectron

Spectroscopy)를 분석한 결과로써, 결합에너지(binding energy) 102.5 eV에서 습식 세정의 경우에는 산화막이 존재하지만 건식 세정 이후에는 산화막이 존재하지 않는 것이 확인됨으로써, 습식 세정 보다 건식 세정의 산화막 제거력이 우수함을 알 수 있었다.

### 3.2. 질화막(Si<sub>3</sub>N<sub>4</sub>)에 대한 식각 선택비 개선

그림 8.은 MOS-FET를 나타낸 것이다. 게이트(Gate)의 전극과 소스(Source)/드레인(Drain)의 전극 사이를 절연시키기 위한 물질로 주로 질화막이 이용되고 있다. 따라서 소스/드레인의 전극 증착 전세정에 의해 질화막이 필요 이상으로 식각되면, 게이트와 소스/드레인 사이의 누설 전류가 증가하여 이로 인해 소자 특성이 열화 될 수 있다. contact hole 바닥의 자연산화막을 충분히 제거하기 위해서는 열산화막 ~수 십Å을 식각하는 조건으로 건식 세정을 진행해야 하는데, 그렇게 되면, 그림 3.에서 나타난 바와 같이 질화막 또한 상당량 식각하게 된다. 이에 따라 질화막의 식각 선택비를 개선하기 위한 방법으로 수소라디칼 효율을 증대시켜 식각 가스 형성 효율을 증가시키고 열산화막의 식각비(etch rate)을 높여 상대적으로 질화막의 식각비를 감소시키는 방법을 생각할 수 있다. 이를 위해 NH<sub>3</sub> 가스와 캐리어 가스 N<sub>2</sub>의 혼합 정도에 따른 열산화막의 식각 특성을 확인하였다. 그 결과, NH<sub>3</sub> 뿐 아니라 캐리어인 N<sub>2</sub> 가스를 과도하게 적용할 경우에 식각비(etch rate)가 급격히 감소하였다. 즉, 플라즈마가 방전되는 applicator quartz discharge tube에 과도한 가스량을 공급하게 되면, 플라즈마 방전을 일으키는 전자의 평균 자유 행정 길이가 감소하여 전자 온도(Te)가 감소함으로써 종국에는 수소라디칼 형성이 방해 되어 식각 가스 발생 효율이 감소하는 것으로 생각된다. 그림 9.는 이런 실험 결과로부터 기존의 NH<sub>3</sub>/N<sub>2</sub> 가스비가 0.5인 조건과 NH<sub>3</sub> 가스량을 줄임으로써 NH<sub>3</sub>/N<sub>2</sub> 가스비를 1.0로 만든, 두 가지 조건으로 열산화막 및 질화막에 대해 시각시간에 따른 식각량을 변화를 확인한 것이다. NH<sub>3</sub>의 가스량을 감소시켜 NH<sub>3</sub>/N<sub>2</sub> 가스비가 1.0인 새로운 조건이 기존 조건인 0.5의 경우보다 시각시간에 따른 열산화막의 식각량 변화가 증가하는 것으로 나타났다. 반면, 질화막의 경우에는 두 가지 조건 변화에 따른 식

각 특성 변화가 없는 것으로 나타나, 이 방법을 통하여 질화막의 선택비를 2배 정도 개선할 수 있는 가능성을 확인하였다. 이렇게 새롭게 확보된  $NH_3/N_2$  가스비가 1.0조건으로 50배치에 걸쳐 웨이퍼 내 식각량 산포를 확인한 결과에서도 웨이퍼 내 식각량 산포, 배치내 웨이퍼 간 식각량 산포, 그리고 배치간 식각량 산포 모두 5% 이내로 양호한 결과를 확인할 수 있었다.

그림 10.은 nano급 소자를 이용하여 직형 Hot wall 장치에서 전극용 저압 기상 실리콘 증착 전 세정으로 불산 습식 및 건식 세정에 따른 contact 저항을 비교 평가한 것이다. 습식 세정을 적용한 경우 보다 건식 세정을 적용한 경우에 contact 저항이 약 20~50% 정도 개선되는 것을 확인할 수 있었다. 또한 그림 11.은 이렇게 진행된 시료를 TEM 분석을 통하여 실리콘과 실리콘 계면의 자연산화막으로 추정되는 이물질의 두께를 확인한 것이다. 전세정을 불산 습식 공정으로 적용한 경우에는 그림 10.(a)에 나타낸 바와 같이 계면의 자연산화막 두께는 약 10Å으로 나타났으나, 건식 공정의 경우에는 약 3Å 이하로 나타나 재산화 억제에 있어 건식 세정이 습식 세정 보다 우수함을 확인할 수 있었다.

#### 4. 결론

Contact hole 바닥에 성장한 자연산화막을 효과적으로 제거하고 재산화를 억제하기 위해 수소라디칼과  $NF_3$  가스를 이용한 가스 건식 세정 공정이 불산을 이용한 습식 세정 보다 효과적임을 표면분석, 화학분석, 그리고 물성분석을 통하여 확인하였다. 또한 nano급 소자에서 contact 저항을 비교 평가한 결과에서도 건식 세정이 습식 세정의 경우보다 20~50% 개선되었다.

배치식 설비에서 건식 세정 공정을 진행할 경우에 산화막 뿐 아니라 질화막도 또한 건식 세정의 식각시간 증가에 따라 식각량이 지속적으로 증가하는 것으로 나타났는데, 이는 질화막을 구성하는 질소원소(N)가 산화막을 구성하는 산소원소(O) 보다 적기는 하지만 전기음성도를 갖고 있기 때문인 것으로 생각되며,  $NH_3$ 의 캐리어 가스인  $N_2$ 의 주입량을 줄이는 방식으로 산화막에 대한 식각량을 증가시키는 방법을 이용하여 질화막의 식각 선택비를 개선할 수 있었다.

#### 감사의 글

논문 지도에 많은 도움을 주신 성균관 대학교 마이크로 소자 연구실의 노용한 교수님께 진심으로 감사드립니다. 또한 힘든 가운데에서도 실험에 도움을 주신 회사 동료 선후배님께도 감사드립니다.

#### 참고 문헌

- [1] C.M.Tipton et al, Proc. of 1st Symp. on Cleaning Technol. in Semicon. Dev. Manufact. 90-9, 33 (1990)
- [2] J.Y.Dai, et al, Physical and Failure Analysis of Integrated Circuit, 2001. p.130~133, 9-13 July 2001.
- [3] N.Nishno, et al, J. Appl. Phys. 74(1993) 1345

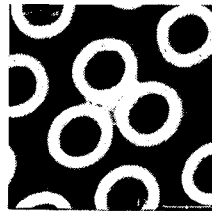


그림 1. 물반점(water mark)

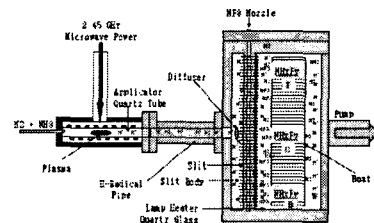


그림 2. 배치식 건식 세정 장치의 개략도

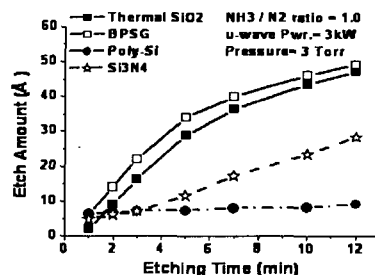


그림 3. 막질별 식각 시간에 따른 식각량 변화

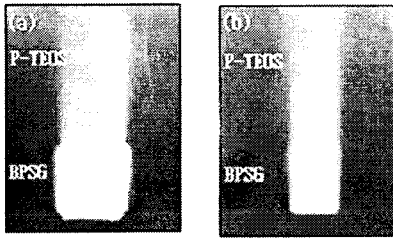


그림 4. (a) HF 습식 세정 후 contact profile  
(b) 건식 세정 후 contact profile

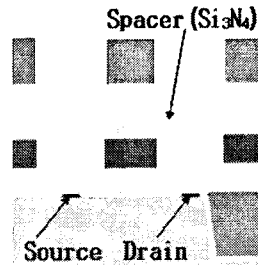


그림 8. MOS-FET 측면 개략도

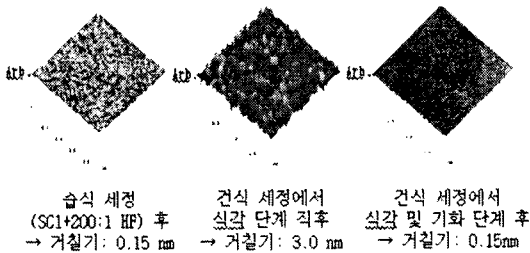


그림 5. 습식 및 건식 세정 후의 표면 거칠기 정도에 대한 분석(AFM)

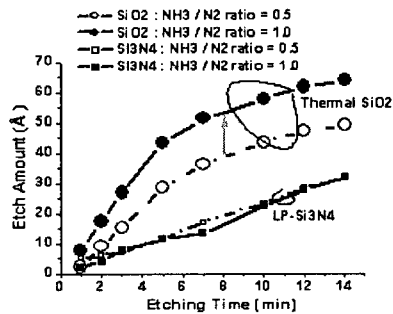


그림 9. NH3/N2 가스비에 따른 열산화막과 질화막의 식각시간에 따른 식각량 변화

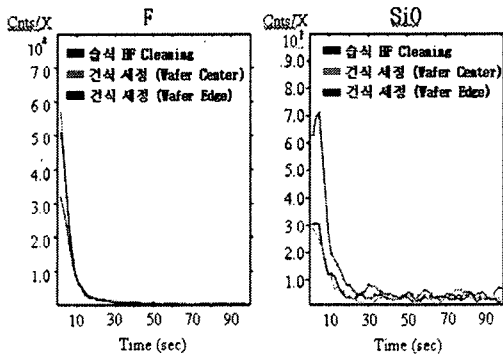


그림 6. 습식 및 건식 세정에 따른 실리콘 표면의 F 및 SiO에 대한 화학 분석(Tof-SIMS)

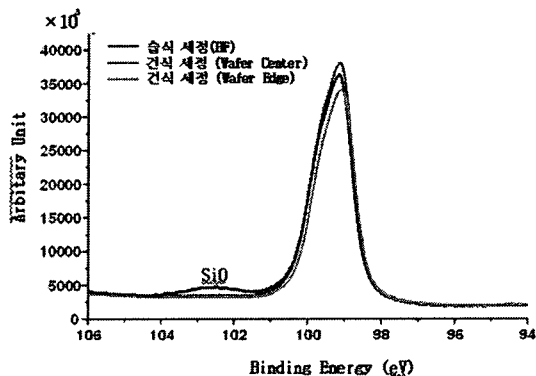


그림 7. 습식 및 건식 세정에 따른 실리콘 표면의 SiO에 대한 화학 분석(XPS)

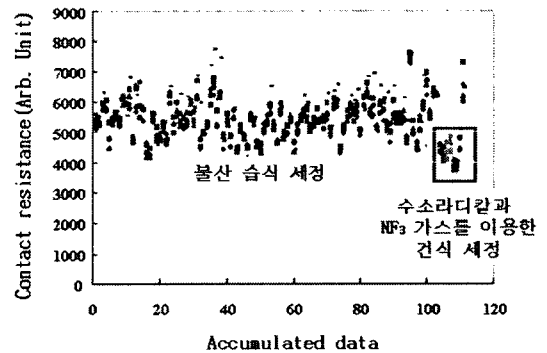


그림 10. nano급 소자를 이용한 불산 습식 세정과 건식 세정 적용에 따른 contact 저항 변화

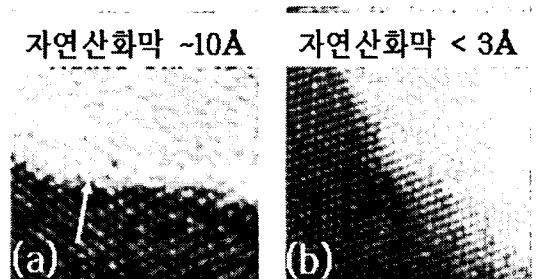


그림 11. (a) 습식 세정 적용시 실리콘 계면(TEM)  
(b) 건식 세정 적용시 실리콘 계면(TEM)