

## Pseudo-MOSFET을 이용한 SOI wafer 특성 분석

권경욱, 이종현, 유인식\*, 우형주\*\*, 배영호\*\*\*

경북대학교 전자전기컴퓨터학부, 경동정보대학 모바일정보통신과\*, 한국지질자원연구원 이온빔응용팀\*\*,  
위덕대학교 정보통신공학부\*\*\*.

### Characterization of the SOI wafer by Pseudo-MOS transistor

Kyung-Wook Kwon, Jong-Hyun Lee, In-Sik Yu\*, Hyung-Joo Woo\*\* and Young-Ho Bae\*\*\*

Department of Electronics, Kyungpook National University, Kyungdong college of Techno-Information\*,  
Korean Institute of Geoscience and Mineral Resources\*\*,  
Division of Information and Communication Engineering, Uiduk University\*\*\*.

#### Abstract

Pseudo-MOSFET의 제작을 위해서는 표면 실리콘 층의 식각 공정이 필요하며, 공정의 간편성으로 인해 주로 RIE(Reactive Ion Etching)를 사용하고 있다. 하지만, RIE 공정 도중 발생하는 Plasma에 의해서 SOI 층이 손상을 받게 되고 이 영향으로 소자의 특성이 열화 될 가능성이 있다. 이러한 특성의 열화를 확인하기 위하여 소자 제작을 위한 표면 실리콘 층의 식각을 RIE 공정과 TMAH 용액을 이용한 습식 식각을 각각 행하여 그 특성을 비교한 결과, 건식 식각된 시편에서 계면상태 밀도의 증가, 이동도의 감소 등 특성 열화 현상이 현저히 나타났다. 이러한 RIE 공정 중 발생하는 손상을 제거하기 위하여 저온 열처리를 하였으며 그 결과 400 °C N<sub>2</sub> 분위기에서 4시간 동안 열처리를 하여 습식 식각된 시편과 동일한 특성을 가지게 할 수 있었다.

**Key Words** : Pseudo-MOS, SOI, RIE, TMAH, 플라즈마 손상

### 1. 서 론

새로운 기술에 대한 도전이 계속되고 있고, 디바이스 성능(저전력 소비, 고속동작, 발열제어 등)을 위한 신재료에 대한 관심이 증대됨에 따라 SOI가 핵심 요소로 떠오르고 있다. 이러한 SOI(Silicon On Insulator) Wafer의 특성을 분석함에 있어서, Pseudo-MOSFET<sup>[1-3]</sup> 분석법이 현재 가장 일반적으로 사용되고 있다. 이러한 Pseudo-MOSFET을 제작하기 위해서 다양한 방법으로 표면 실리콘 층을 식각할 수 있으나, 공정의 간편성으로 인해서 건식 식각법인 RIE(Reactive Ion Etching)<sup>[4]</sup>를 주로 사용하고 있다. 하지만, RIE 공정 도중에 발생하는 Plasma에 의해서 SOI층이 손상을 받게 되고, 이 영향으로 소자의 특성이 열화 될 가능성이 있다. 본 논문에서는 이러한 특성의 열화를 확인하기

위하여, RIE 식각 공정과 TMAH 용액을 이용한 습식 식각 공정을 각각 진행하여 표면 실리콘 층을 식각하였고, Pseudo-MOSFET특성 분석법을 통하여, 그 특성을 비교한 결과, 건식 식각된 시편에서 계면상태 밀도의 증가, 이동도의 감소 등 특성 열화 현상이 현저히 나타났다. 이러한 RIE 공정 중 발생하는 Pseudo-MOSFET 소자의 손상을 제거하기 위하여 저온 열처리를 하였으며 그 결과 400°C N<sub>2</sub> 분위기에서 4시간 동안 열처리를 하여 습식 식각된 시편과 동일한 특성을 가지게 할 수 있었다.

### 2. 실험

#### 2.1 TMAH 식각 공정

RIE 식각과 같은 건식 식각 공정 시 발생하는

Plasma 손상에 의해서 손상된 Pseudo-MOSFET의 특성과 비교하기 위해서, TMAH<sup>[5]</sup> 식각법을 사용하였다. TMAH 식각법은 소자에 어떠한 손상도 주지 않는 공정이며, KOH와 같이 이동성 이온의 오염이 없으며, 4000:1 이라는 Si와 SiO<sub>2</sub>의 높은 선택적 식각비를 나타낸다. 하지만, PR을 masking layer로써 사용할 수 없기 때문에 SiO<sub>2</sub>와 같은 masking layer를 필요로 한다는 것과 습식 식각에 따른 다량의 폐액 발생이 단점으로 지적되고 있다.

P-type(100) Unibond SOI wafer를 사용하여 실험을 시작하였으며, Photo 공정을 하여 자연 산화막을 제거하였고, PR을 제거 한 이후에 TMAH 식각을 수행하였다. 이후에 다시 자연 산화막을 식각하여, Pseudo-MOSFET을 완성하였다. 그리고 Pseudo-MOSFET 특성 분석을 실시하였다. 자세한 공정순서를 그림 1에 나타내었다.

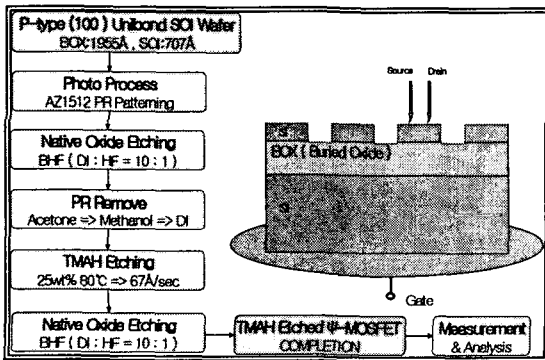


그림 1. TMAH 식각 공정.

## 2.2 RIE 식각 공정

RIE는 어떠한 구조를 제작함에 있어서 습식 공정에 비해 아주 간단히 사용할 수 있는 방법이고, 높은 중형비를 가지는 비등방성 식각이 가능하며, PR을 masking layer로 사용할 수 있다는 장점이 있으나, high energy particle에 의한 손상이 발생할 수 있다는 것이 단점이다.

모든 공정 과정은 TMAH 식각 공정과 동일하나 식각을 RIE로 했다는 것만이 다른 차이점이다. 이렇게 제작된 소자를 이용하여 Pseudo-MOSFET 특성을 분석하였다. 자세한 공정순서를 그림 2에 나타내었다.

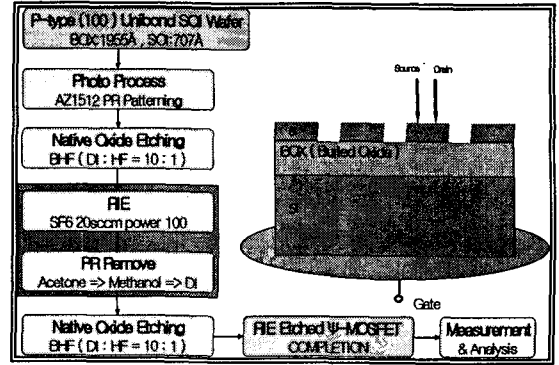


그림 2. RIE 식각 공정.

## 2.3 열처리 공정

TMAH와 RIE 공정을 통해 제작된 소자를 각각 측정 한 이후 소자의 Plasma 손상을 제거하기 위해서, 각각의 소자를 같은 Annealing Furnace에서 400 °C N<sub>2</sub> 분위기로 4시간 동안 열처리 하였고, 다시 측정을 하였다.

## 3. 결과 및 고찰

### 3.1 TMAH와 RIE 식각된 소자의 I-V curve

그림 3에 TMAH와 RIE 식각된 소자의 Pseudo-MOSFET I-V curve를 나타내었다. 각각 소자의 측정 결과가 현저하게 차이 나는 것을 정성적으로 확인할 수 있었다.

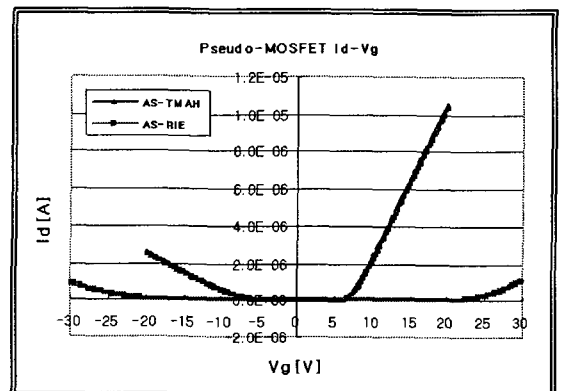


그림 3. TMAH와 RIE 식각된 소자의 I-V curve.

이동도 저하 계수와 직렬 저항 효과를 제거하기 위해서 Id를 식(1)과 같이 처리하여 분석을 하였다<sup>[1]</sup>.

$$\frac{Id}{\sqrt{9_m}} = \sqrt{\mu_0 f_g C_{ox} V_D} (V_G - V_T) \quad (1)$$

I-V curve에 외삽법을 통하여  $V_t$ 와  $V_{fb}$ 를 추출하였고, 이 점선의 기울기로부터 식(2),(3)을 통해 이동을 추출하였다.

$$A = \frac{d(I_D/\sqrt{g_m})}{dV_G} = \sqrt{\mu_0 f_g C_{ox} V_D} \quad (2)$$

$$\mu_0 = \frac{A^2}{f_g C_{ox} V_D} \quad (3)$$

또한,  $I_d$ - $V_g$  curve의 Sub-threshold 특성을 이용하여 S-파라미터를 추출하였으며, 식(4)로부터  $D_{it}$ 를 추출하였다.

$$D_{it} = C_i \left( \frac{S}{2.3kT} - 1 \right) - C_d \quad (4)$$

TMAH와 RIE로 식각된 소자의 Pseudo-MOSFET 특성 분석 결과를 표 1에서 비교하였다.

표 1. Pseudo-MOSFET 특성 분석 결과.

Sample	$D_{it}$ [cm <sup>2</sup> eV]	$V_{fb}$ [V]	$V_t$ [V]	$\mu_p$ [cm <sup>2</sup> /vs]	$\mu_n$ [cm <sup>2</sup> /vs]
As-TMAH	1.11E+12	-6.19	7.366	54.54	331.19
As-RIE	5.19E+12	-20.95	22.66	28.75	32.66

RIE 식각된 소자에서  $D_{it}$ 가 증가한 것을 확인할 수 있다. 이것은 RIE 식각 과정에서 발생하는 High Energy Particle에 의해, Pseudo-MOSFET 계면에 Interface Trap이 많이 발생하였다는 것을 의미한다. 또한, TMAH 식각된 소자에 비해 RIE 식각된 소자에서  $V_t$ 와  $V_{fb}$ 가 크게 증가하는 것을 확인할 수 있다. 이것은 RIE 공정도중 발생하는 강한 자외선에 의해서, 산화막내의 원자 결합이 파괴되어 전자 및 정공 트랩으로 작용하기 때문에 생각된다. 이동도 또한 RIE 식각된 소자에서 크게 감소하였는데, 이는  $D_{it}$ 의 증가로부터 기인한 것이다.

### 3.2 열처리된 소자의 I-V curve

그림 4는 열처리된 소자의 I-V 측정 결과를 비교한 그래프이다. 이 그래프에서 RIE 식각된 소자의 특성이 열처리 이후에 TMAH 식각된 소자의 특성과 일치하는 것을 정성적으로 확인할 수 있다.

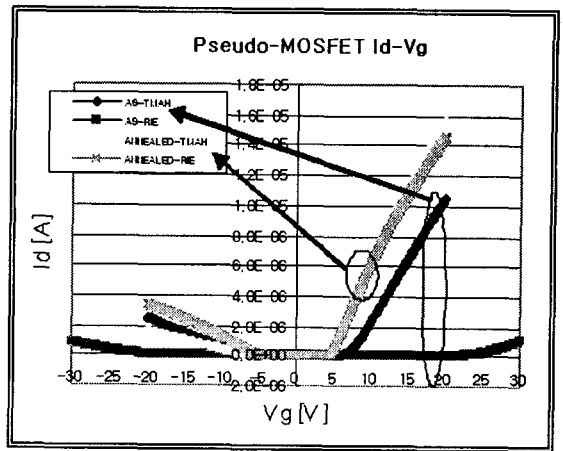
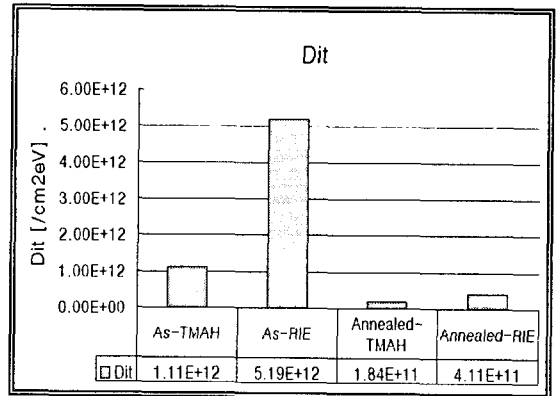
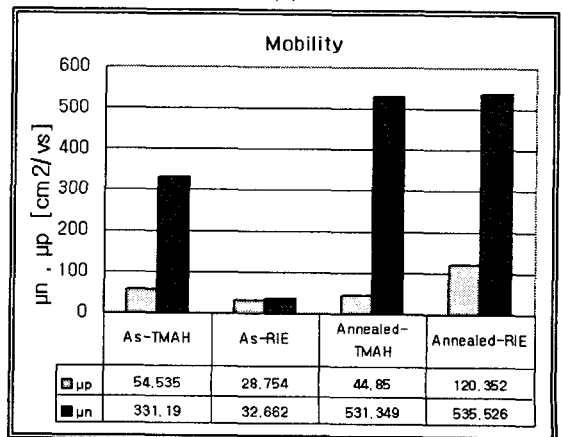


그림 4. 열처리 전후의 소자 I-V curve 비교.

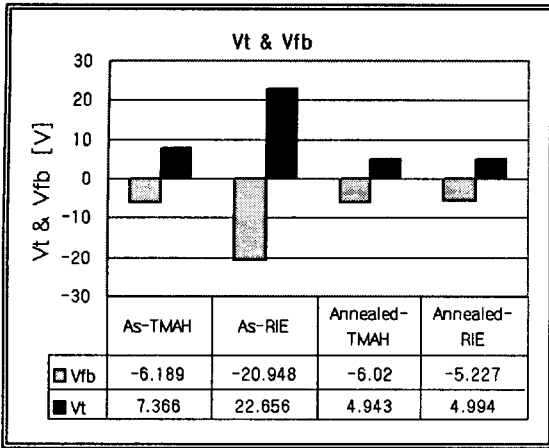
열처리한 이후에 측정된 소자의 Pseudo-MOS 특성 분석 결과를 그림 5에 나타내었다.



(a)



(b)



(c)

그림 5. 열처리 전후의 Pseudo-MOSFET 특성 분석 결과 비교.

(a) Interface Trap 추출 결과 비교

(b) 이동도 추출 결과 비교

(c) Vt & Vfb 추출 결과 비교

그림 5.(a)에서 RIE 식각된 소자의 Dit가 감소하여 TMAH 식각된 소자와 같은 크기로 감소하는 것을 확인 할 수 있다. 이것은 열처리 과정을 통해서 RIE 식각 공정 도중 발생되었던 High Energy Particle에 의한 소자의 손상이 제거 되었음을 의미한다. 그림 5.(b)에서는 열처리를 통한 Dit의 감소로 인해서 RIE 식각된 소자의 이동도가 TMAH 식각된 소자와 동일하게 증가하였음을 확인 할 수 있다. 그림 5.(c)의 Vt 와 Vfb 또한 열처리 이후에 TMAH 식각한 소자와 같은 크기로 감소하였는데, 이것은 RIE 공정 도중 BOX에 형성되었던 Oxide Trap이 저온의 열처리를 통해서 간단히 제거되었음을 의미한다.

#### 4. 결론

본 연구에서는 TMAH 식각과 RIE 식각을 통해서 각각 Pseudo-MOSFET을 제작 하였고, 각각의 Pseudo-MOSFET 특성을 비교하여, RIE 식각된 Pseudo-MOSFET 소자에 Plasma damage가 존재함을 확인하였다. 또한 이러한 플라즈마 손상을 저온의 열처리 과정을 통해서 쉽게 제거 할 수 있음을 확인 하였다.

#### 감사의 글

본 연구는 과학기술부의 원자력연구개발사업 및 21세기 프론티어연구개발사업으로 시행한 양성자 기반공학기술개발사업의 지원을 받아 수행되었음.

#### 참고 문헌

- [1] Cristoloveanu, S.; Munteanu, D.; Liu, M.S.T.; "A review of the pseudo-MOS transistor in SOI wafers: operation, parameter extraction, and applications", Electron Devices, IEEE Transactions on , Volume: 47 , Issue: 5 , May 2000 pp:1018 - 1027
- [2] D. Munteanu, S. Cristoloveanu and E. Guichard, "Numerical simulation of the pseudo-MOSFET characterization technique", Solid-State Electronics, Volume 43, Issue 3, March 1999, pp:547-554
- [3] N. Bresson and S. Cristoloveanu, "Innovating SOI films: impact of thickness and temperature.", Microelectronic Engineering, Volume 72, Issues 1-4, April 2004, pp:357-361
- [4] Y. X. Li, M. R. Wolffenbuttel, P. J. French, M. Laros, P. M. Sarro and R. F. Wolffenbuttel, "Reactive ion etching (RIE) techniques for micromachining applications." Sensors and Actuators A: Physical, Volume 41, Issues 1-3, 1 April 1994, pp:317-323
- [5] O. Tabata, R. Asahi, H. Funabashi, K. Shimaoka and S. Sugiyama, "Anisotropic etching of silicon in TMAH solutions." Sensors and Actuators A34 (1992), pp:51 - 57