

SiC SBD의 역회복 특성 분석을 위한 T_{rr} 측정회로의 검토

서길수, 김형우, 김상철, 방욱, 김남균, 김은동

한국전기연구원 전력반도체연구그룹

A Test Circuit for Characterization and Modelling of the Reverse Recovery Power High-Speed Rectifier

Kil-Soo Seo, Hyeng-Woo Kim, Snag-Chul Kim, Wook Bahng, Nam-Kyun Kim, Eun-Dong Kim

Abstract

전력전자 회로의 고속화에 따라 정류기의 역할은 점차 중요해지고 있다. 전원장치의 compact화 및 초소형화에 따라 스위칭 주파수는 높아지고 있다. 최근 전원장치의 on-line 뿐만 아니라 off-line에서의 효율을 향상시키려면 도통손실 및 스위칭 손실을 최소화할 요구받고 있다. 스위칭 주파수가 증가함에 따라 power rectifier는 도전 및 스위칭 손실의 최소화를 위해서는 스위칭 손실의 주된 원인인 역회복 특성을 잘 파악해야 한다. 이를 위해 본 고에서는 최근 제작된 SiC SBD의 역회복 특성을 분석을 위한 t_{rr} , 측정을 위한 t_{rr} Tester를 MIL-STD-750-4031.4에 참고하여 제작하였으며, 제작된 t_{rr} Tester를 이용하여 SiC SBD의 t_{rr} 의 측정결과에 대해 기술하였다.

Key Words : SiC, reverse recovery time, test circuit

1. 서론

전력전자 회로의 고속화에 따라 정류기의 역할은 점차 중요해지고 있다. 스위칭 주파수가 증가함에 따라 power rectifier는 도통손, 스위칭 손실의 최소화할 요구받고 있다. 많은 응용의 경우 스위칭 손실의 주는 역회복 특성에 기인한 것으로 보고되고 있다.

따라서 이미 제작된 Ultra fast recovery SiC SBD의 역회복 특성을 분석하기 위해 MIL-STD-750 및 JEDEC의 규격을 검토하고 근거하여 t_{rr} 측정장치를 제작하였으며, 제작된 장치의 성능평가를 실시하여 그 결과에 대해서 기술하였

다.

t_{rr} , Q_{rr} 을 측정에 대해 다루고 있는 규격은 MIL-STD-750 4026.1, 4031.3 및 JEDEC JESD 24-10등이 있다. MIL-STD-750의 method 4026.1은 T_f (forward recovery time), method 4031.3은 T_{rr} (reverse recovery time)의 시험회로에 대해서 기술하고 있다. I_f 에 따라서 A, B, C 및 D 조건으로 나누어져 있으며, Test condition A는 reverse recovery time이 6ns, B 50 ~ 3,000ns, 350ns이고 대전류인 경우 C에 해당한다.

그림 1은 SiC SBD의 t_{rr} 을 설명하는 전류파형이며, Q_{rr} 은 전류파형을 시간 t_{rr} 동안 적분한 값으로

전류 0점을 지난 후 다이오드에 남아 있는 전하량으로 t_{rr} 시간동안 방전하게 된다.

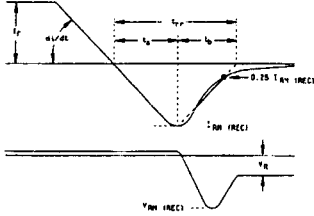
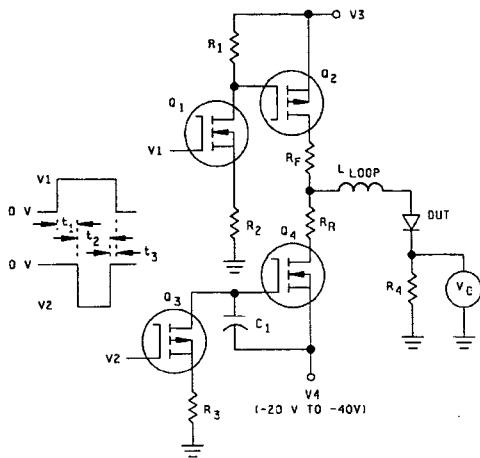


그림 1 Reverse Recovery waveform

2. Reverse-Recovery Circuit

2.1 실험장치

그림 2는 MIL-STD-750에서 제안하고 있는 T_{rr} 측정회로이다. 여기서 R_4 는 전류파형측정을 위한 무유도 shunt 저항이고, V_3 , R_F 는 순방향 전류 I_F 를 조절, V_3 , R_R 은 역방향 전류 I_{RM} 을 조절한다.



V_3 and R_F control forward current I_F .
 V_4 and R_R control reverse current I_{RM} .
 $t_1(max)$ is the longest to be measured.
 $t_3(max)$ is the shortest expected.

$t_1 > 5 t_{rr(max)}$
 $t_2 > t_{rr}$
 $t_3 > 0$
 $L_1/R_4 < t_{rr(max)}/10$.
 $(L_1$ is the self inductance of R_4)

그림 2 MIL-STD-750 B, D 조건을 위한 T_{rr} 시험회로

여기서 $t_1 > 5t_{rr(max)}$, $t_2 > t_{rr}$, $t_3 > 0$, $L_1/R_4 < t_{rr(min)}$, L_1 은 R_4 의 self inductance이다.

그림 3은 DUT(Device Under Test)의 board layout이며, 그림의 1번이 current waveform을 측정하기 위한 shunt 저항이며 3번은 접지이다. 조건

을 B를 적용할 때 $L_1/R_4 < t_{rr(min)}$ 를 얻기 위해 그림 3의 1에 10개의 저항을 상단부 5개, 하단부 5개를 서로 병렬로 결선하여 전류의 경로에 의한 자계의 영향을 최소화 시키는 작용한다.

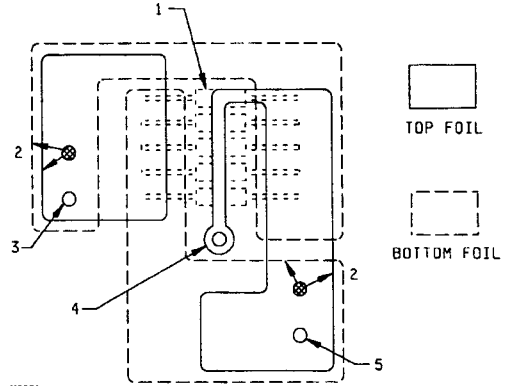


그림 3 MIL-STD-750 4031.4 board layout

측정하고자 하는 SiC SBD가 들어가는 부분은 DUT이며, DUT에 흐르는 전류를 측정하는 장치는 shunt 저항 R_4 를 통해 전압을 측정해 전류로 환산한다. 본 실험에서는 board layout 형태의 Shunt 저항 대신 Pearson Current Monitor 2877을 사용하였으며, 사양은 출력 저항 50ohm, 측정가능 peak 전류 100A, 최대 실효전류 2.5A, 사용가능한 상승시간 2nsec, 3dB 저주파 차단 주파수는 300Hz, 3dB 고주파 차단 주파수는 200MHz이며 sensitivity 1V/A이다.

Reverse recovery waveform를 측정하기 위한 오실로스코프는 Bandwidth 500MHz, sampling rate 5Gs/sec인 DPO(Digital Phosphors Oscilloscope)를 사용하였다.

그림 4는 Spice상에서 SiC SBD의 behavior model을 나타낸 것으로 저항 R, 캐패시턴스 C가 직병렬로 구성되며, 저항은 온도에 종속되어 변동한다.

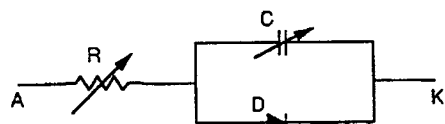


그림 4 고속 전력 다이오드의 behavior circuit simulation model의 schematic

그림 5는 실제 제작된 t_{rr} 측정장치의 내부 블록도이며 충전전압 표시용 LCD display, pulse generation, gate driver block과 test jig로 구성하였다.

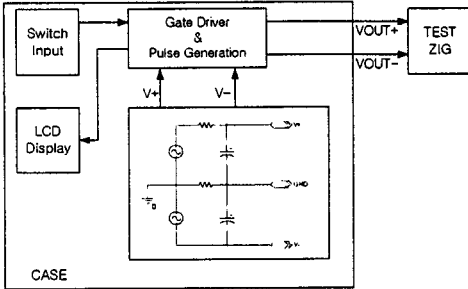


그림 5 Trr 측정용 펄스 발생회로 내부 블록도

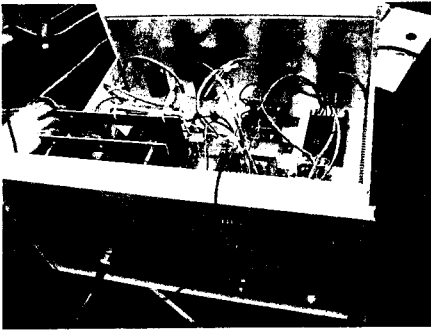


그림 (a)

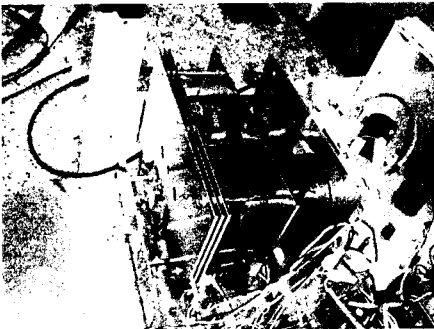


그림 (b)

그림 6 실제 제작된 Trr 측정을 위한 펄스발생 장치

그림 6의 (a)는 t_{rr} 측정을 위한 펄스발생장치의 실험모습이며, 그림 (b)는 Ultra fast 펄스발생을 위하여 커패시터와 지그 부분을 최대한 거리로 설계하였다.

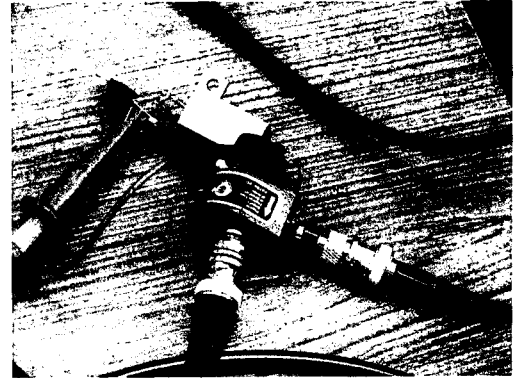


그림 7 CT를 이용한 DUT

그림 6은 실제 제작된 t_{rr} 측정장치의 내부 사진이며 그림 7은 SiC SBD의 t_{rr} 를 측정하기 위해 전류 제어용 저항과 CT로 구성하였다.

3. 결과 및 고찰

그림 4의 SiC SBD의 등가회로를 이용하여 Spice simulator로 line inductance $3\mu\text{H}$, 저항 47ohm , $R=0.1\text{ohm}$, $C=50\text{pF}$ 및 ideal diode를 병렬로 연결하였고, 펄스전원으로 $V1=40\text{V}$, $V2=-75\text{V}$, $TF=80\text{ns}$ 로 가정하였다.

Spice로 계산한 파형은 그림 8과 같으며, 그림은 상단은 SiC SBD에 흐르는 전류파형이며 하단은 펄스전원과 SiC SBD에 걸린 전압을 나타낸 것이다.

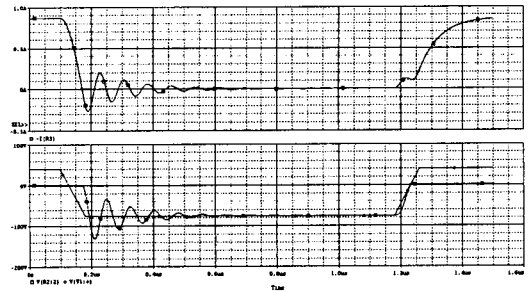


그림 8 Spice simulation에 의한 t_{rr} 전압, 전류 파형

그림 9는 제작된 장치를 이용하여 측정된 SiC SBD에 흐르는 전압, 전류파형으로서 순방향 충전

전압 40V, 역방향은 -75V를 인가하였다.

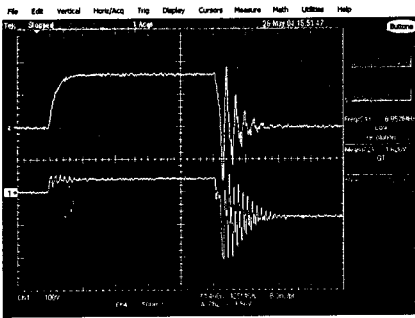


그림 9 전체 t_f, t_{rr} 의 전압(CH1), 전류(CH4)파형

그림 10은 t_p 부분을 확대한 것으로 전류의 rise time은 $3.3A/\mu s$ 인 것을 볼 수 있다.

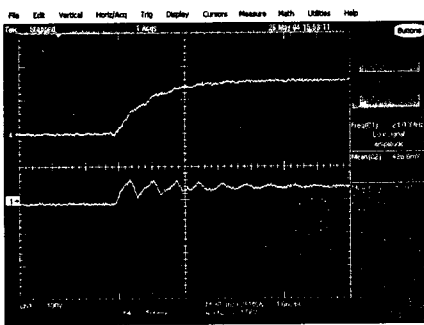


그림 10 t_p 의 전압, 전류파형을 확대

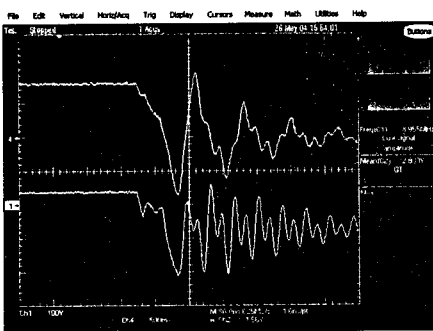


그림 11 t_{rr} 의 전압, 전류를 확대

그림 11은 t_{rr} 부분의 전압, 전류파형을 확대한 그림으로서 loop inductance에 의해 반주기 60ns로 진동 감쇠하고 있는 것을 볼 수 있으며, 이것은 Spice simulation으로 line inductance 3μH, 저항

47ohm, R=0.1ohm, C=50pF 및 ideal diode를 병렬로 연결하였고, 펄스전원으로 V1=40V, V2=-75V, TF=80ns로 가정한 것과 거의 일치한다.

이는 제작한 t_{rr} 측정장치의 기본회로도의 Q4의 loop inductance가 높은 것이라는 것을 Spice simulation으로 확인할 수 있었다.

4. 결론

본고에서는 Ultra fast recovery SiC SBD의 t_{rr} 특성을 분석하기 위해 MIL-STD-750, 4031.4에 근거하여 t_{rr} 측정장치는 Ultra fast 펄스 발생기, low inductance 시험용 지그 및 측정을 위한 Wide band CT로 구성하였다.

제작된 t_{rr} 측정장치의 특성을 평가하기 위해 SiC SBD 샘플을 이용하여 측정된 결과와 Spice 등가 회로로 simulation한 결과를 통하여 펄스발생기의 인덕턴스가 높다는 것을 알 수 있다.

향후 di/dt 크기의 향상, 진동의 최소화를 통해 ultra fast SiC SBD의 t_{rr} 특성을 분석하고자 한다.

감사의 글

본 논문은 산업자원부 차세대연구개발사업인 "SiC 반도체 기술개발 사업(SiCDDP)"의 지원으로 이루어진 것입니다.

참고 문헌

- [1] MIL-STD-750D, method 4026.3, 4031.3 forward recovery voltage and time, reverse recovery characteristics
- [2] Pearson Current Monitor Model 2877 manual
- [3] C. Winterhalter, S. Pendharkar, "A Novel Circuit for Accurate Characterization and Modeling of the Reverse Recovery of High-Power High-Speed Rectifiers" IEEE Transactions on Power Electronics, Vol. 13, No. 5, September 1998