고전압 4H-SiC DiMOSFET 제작을 위한 최적화 simulation

김상철, 방 욱, 김남균, 김은동
한국전기연구원 전력반도체연구그룹

Optimization simulation for High Voltage 4H-SiC DiMOSFET fabrication

Kim Sang Cheol, Bahng Wook, Kim Nam Kyun, Kim Eun Dong
Power Semiconductor Group, KERI

Abstract

This paper discribes the analysis of the I-V characteristics of 4H-SiC DiMOSFET with single epi-layer. Silicon Carbide has been around for over a century. However, only in the past two to three decades has its semiconducting properties been sufficently studied and applied, especially for high-power and high frequency devices. We present a numerical simulation-based optimization of DiMOSFET using the general-purpose device simulator MINIMIS-NT.

For simulation, a 10㎛ thick drift layer with doping concentration of $5\times10^{15}/㎤$ was chosen for 1000V blocking voltage design. The simulation results were used to calculate Baliga's figure of Merit (BFOM) as the criterion structure optimization and comparison.

Key Words : DiMOSFET, 4H-SiC, Baliga Figure of Merit

1. 서 론

고전압 응용분야에서 SiC는 매우 매력적인 소재이다. SiC는 100여년 이상 계속 연구가 되고있는 재료이나 반도체 특히 고전압이나 고주파수에 응용하기 위한 연구는 지난 20여년 동안 진행되고 있다.

높은 임계전계(~2MV/cm)와 벌크내의 비교적 높은 전자이동도(~800$cm^2/V\cdot cm$)로 4H-SiC는 고주파소자 및 고전압소자응 응용범위에서 매력적인 소재로 인정받고 있다[1], [2]. 이러한 고전압 응용분야에서 실리콘은 표동영역(drift region)에서 전도도변조(conductivity modulation)를 이용하기 때문에 스위칭속도가 느리게 된다.

2001년부터 SiC를 이용한 schottky diode가 Infineon Technologies AG 및 Microsemi에 의해 상용소자로 제작되었다. 상용소자의 전기적 정격은 300V/10A와 600V/4~12A 정도이며 PFC 및 DC/AC 컨버터에 응용되고 있다. 그러나 아직 MOSFET는 연구단계에 있으며 실험실 단계에서 실리콘 전력 MOSFET인 CoolMOS™에 비해서 좋은 특성의 MOSFET가 제작되고 있다.

최근에는 채널영역에서의 전자의 이동도를 향상시키기 위한 연구가 진행되고 있으며, 소자의 구조를 변형시켜 채널영역에 축적층을 형성시켜 전자의 이동도를 키운 accumulation-mode MOSFET(ACCUFET)가 제안되기도 한다.

본 연구에서는 4H-SiC DiMOSFET 소자의 전기적 특성을 simulation하였으며 simulation을 위해 실리콘 MOSFET 전용 simulator인 MINIMOS-NT에 SiC의 물질변수 및 특성변수를 도입하였다. 물질변수 및 특성변수는 논문지에 발표된 수치 및 실험적으로 얻은 값을 사용하였다.

2. 본론

2.1 소자의 구조

그림 1에 제안된 SiC DiMOSFET소자의 구조를 나타내었다. 1000V급 소자의 simulation을 위해 10 ㎛의 드리프트층에 5×10^{15}/㎤의 불순물을 도핑한 SiC 웨이퍼를 기본 출발물질로 사용하였다. P-type well은 알루미늄의 주입에너지를 변화시키며 implant한 실험적인 결과를 사용하였으며 이온주입에너지는 각각 30keV, 80keV, 150keV 및 260keV 이다. 그림 2에 알루미늄 이온주입의 실험 및 simulation 결과를 나타내었다. 그림에서 Trim을 이용한 simulation 결과와 SIMS 분석결과는 매우 잘 일치하고 있다. 본 연구에서는 이온 주입농도를 조절하여 약 0.6㎛의 pn 접합깊이를 얻을 수 있었다. P^+ 영역의 오믹접촉을 얻기 위해 고농도의 보론을 0.2㎛의 깊이로 이온주입하였다.

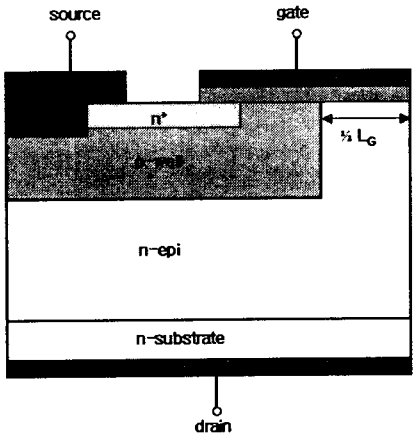

그림 1. Basic cell structure of simulated DiMOSFET.

N^+ source 영역은 질소를 사용하여 표면농도 5×10^{19}/㎤, 접합깊이 0.15㎛로 형성하였고 게이트산화막은 50㎚ 두께로 형성하였다. 아래의 표 1에 simulation 사용된 물질변수를 나타내었다. 전자의 이동도는 SiC 웨이퍼의 결정방향에 따라 달라지는데 c-축에 수직한 방향으로의 이동도가 c-축에 평행한 방향에 비해 다소 높다. 또한 이동도는 소자의 온도에 따라 많이 변하게 된다. 123℃의 온도에서는 상온에 비해 30% 이상 낮은 값을 보인다. 전자의 포화속도는 4H-SiC의 경우 6H-SiC에 비해 15% 정도 높다.

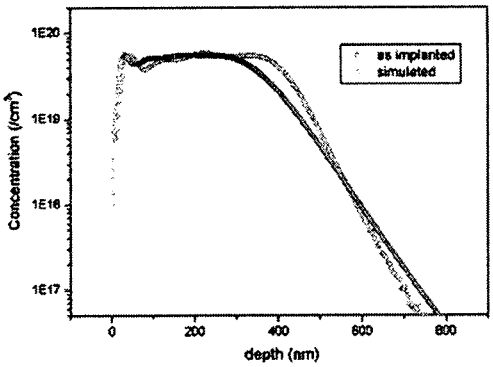

그림 2. Ion implantation result with multiple implant energy.

표 1. Model parameter used for simulating 4H-SiC DIMOSFE

Electron mobility n $N_D = 10^{16}$ cm^{-3}	Hole mobility p $N_A = 10^{16}$ cm^{-3}	Donors & Ionization Energy (meV)	Acceptors & Ionization Energy (meV)	Saturated Electron Velocity υ [10^7cm /s]
∥c-axis : 900 ⊥c axis : 80	115	N : 50, 92 P : 54, 9	Al : 200 B : 28	2yung Ryu, Anant Agarwal,

2.2 Simulation 결과 및 분석

그림 3에 DiMOSFET 소자의 I-V 특성을 나타내었다. 게이트 전압을 6V부터 1V씩 증가시키며 드레인 전류특성을 simulation 하였다. Simulation 소자의 specific-on 저항은 상온에서 게이트전압 V_{GS}=10V, 드레인전압 V_{DS}=1V의 조건에서 22.76mΩ㎠이다. 소자의 specific-on 저항은 게이트전압의 함수이다. 이것은 소자를 완전히 턴-온 시키기 위해서는 큰 게이트전압이 필요함을 의미하고 소자의 온-저항은 상온에서 채널에서의 이동도와 깊은 연관이 있음을 의미한다[3]. 따라서 소자의 온-저항을 줄이기 위해서는 채널영역에서 전자의 이동도를 높여주는 것이 중요하다. 본 simulation에서 얻은 채널 이동도는 비교적 높은 84㎠/Vs이었다.

이 값은 소자의 벌크영역에서의 이동도에 비해 약 10%에 해당한다.

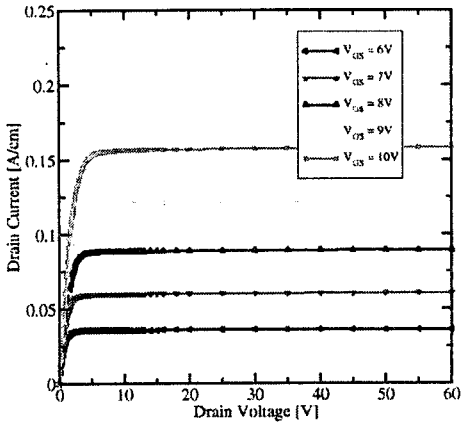

그림 3. Drain current characteristics of simulated DiMOSFET devices.

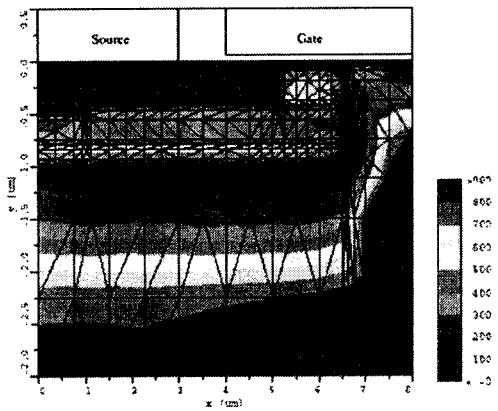

그림 4. The electron mobility profile at 300K for vertical DiMOSFET in 4H-SiC.

그림 4 및 5에 상온 및 500K에서의 소자 전체에서의 이동도를 나타내었다. 그림에서 채널영역에서의 이동도가 벌크에서의 이동도에 비해 매우 낮음을 알수 있는데, 이는 열처리 과정에서 표면의 step-bunching 등에 의해 이동도가 많이 저하됨을 보여주고 있다.

아래의 그림 6에 300K의 온도에서의 소자의 transfer 특성을 나타내었다. 그림에서 문턱전압은 3.5V정도의 값을 얻었다. 주어진 게이트전압에서

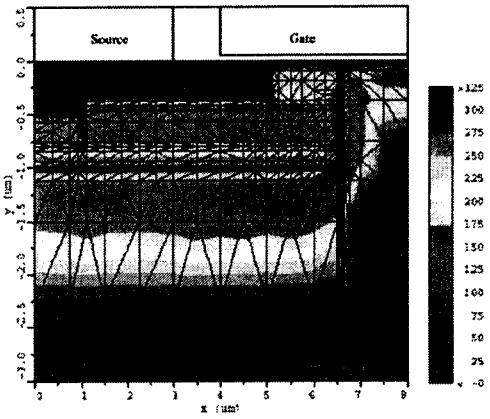

그림 5. The electron mobility profile at 500K for vertical DiMOSFET in 4H-SiC.

온-상태 전류와 트랜지스터 이득은 온도가 낮을수록 좋은 특성을 얻을 수 있는데 이것은 전자의 이동도가 온도가 증가함에 따라 감소하기 때문이다.

그림 7에 4H-SiC DiMOSFET의 transfer 특성을 온도의 변화에 따라 나타내었다. 온도가 올라갈수록 transfer 특성이 감소한다. 이것은 역시 채널영역에서의 전자의 이동도가 온도가 증가함에 따라 감소하기 때문이다.

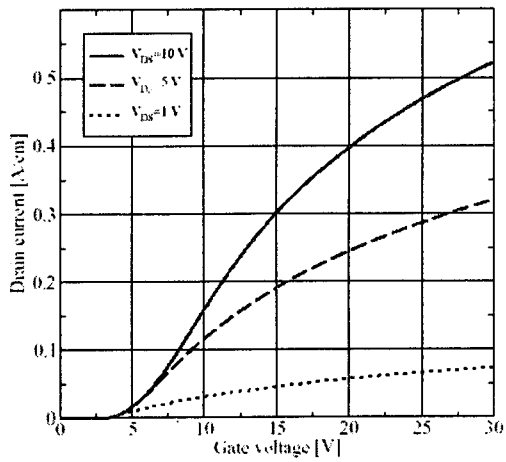

그림 6. Transfer characteristics of DiMOSFET at 300K for 4H-SiC.

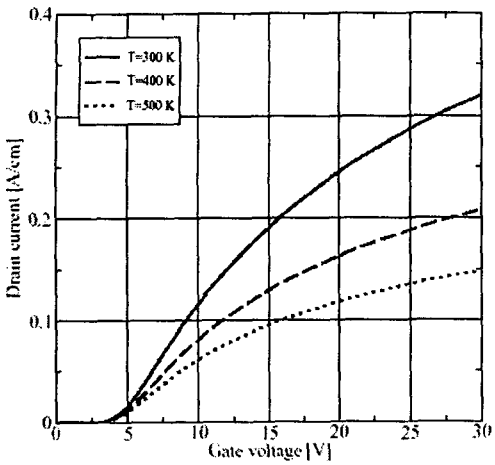

그림 7. Influence of temperature on the transfer characteristics of DiMOSFET in 4H-SiC

3. 결 론

본 논문에서는 4H-SiC DiMOSFET의 제작을 위해 최적화 simulation을 수행하여 전기적 특성을 알아보았다. 본 연구에서 고려한 DiMOSFET 소자의 온-전항은 22.76mΩ㎠이고 채널영역의 전자 이동도는 비교적 높은 84㎠/Vs이었다. 전력반도체소자의 가장 중요한 특성인 성능지수(FOM)는 Baliga가 제안한 BFOM을 따라서 계산하였다[4]. BFOM은 항복전압과 온-저항과의 관계를 나타낸 값으로, 본 연구에서 simulation을 수행한 소자의 BFOM은 채널길이가 5㎛에서 제일 높은 값으로 나타났다.

감사의 글

본 논문은 산업자원부 차세대신기술개발사업의 SiC 반도체 기술개발 사업의 일환으로 수행되었으며, 이에 감사드립니다.

참고 문헌

[1] P.G. Neudeck, "Progress in silicon carbide semiconductor electrons technology", J. Electrron. Mat., vol. 24, p. 283, 1995

[2] M. Bhatnagar and B. J. Baliga, "Comparison of 6H-SiC, 3C-SiC, and Si for power devices", IEEE Trans. Electron Devices, vol. 40, p. 645, Mar. 1993

[3] Sei-Hyung Ryu, Anant Agarwal, James Richmond, John Palmour, Nelson Saks, and John Williams, IEEE Electron Device Letters, Vol. 23, No. 6, p. 321, June, 2002

[4] B. J. Baliga, "Power Semiconductor Devices", Boston, MS: PWS-Kent, 1995

[5] J. Wang and B. W. Williams, "Evaluation of high-voltage 4H-SiC switching devices", IEEE Trans. Electron Devices, vol. 46, pp. 589-597, 1999

[6] J. N. Shenoy, J. A. Cooper, Jr., and M. R. Melloch, "High-voltage double-implanted power MOSFETs in 6H-SiC", IEEE Electron Device Lett., vol. 18, pp. 93-95, 1997