

집적회로 응용을 위한 빗살형 캐패시터의 특성연구

김길한, 이규복*, 김종규*, 윤일구
연세대학교 전기전자공학과, 한국전자부품연구원*

Characterization of Interdigitated Capacitors for Integrated Circuit Application

Kilhan Kim, Kyubok Lee*, Jongkyu Kim*, and Ilgu Yun
Department of Electrical and Electronic Engineering Yonsei University,
Korean Electronics Technology Institute*

Abstract

The characterization of interdigitated capacitors was investigated. The test structures are manufactured by low temperature co-fired ceramic (LTCC) process and their s-parameters were measured. The optimized equivalent circuit models for test structures were obtained using the partial element equivalent circuit (PEEC) method. Predictive modeling was performed on different test structures using optimized parameters to verify the circuit models. From this result, the manufacturability on the process can be improved through the predictive modeling for the characteristics of interdigitated capacitors.

KeyWords : Interdigitated capacitors, Circuit model, PEEC, LTCC

1. 서 론

이동 통신 기술의 급격한 발달로 인하여, 많은 무선 부품들의 소형화와 낮은 전력 소모가 요구되고 있다. 이를 위해, 다수의 집적회로를 함께 패키징(packaging)하는 multichip modules (MCMs), radio frequency integrated circuit (RF ICs)를 사용하고 있다[1]. 특히 수동 소자는 일반적으로 회로에서 80%의 비중을 차지하며, 면적으로는 50%의 비중을 차지하므로, 시스템의 집적화 측면에서 굉장히 중요한 요소이다. 여러 수동 소자 중에서도 캐패시터는 주파수 선택적 통과 특성 때문에 여파기, 공진기, 발진기 등의 회로에 있어서 필수적인

요소이다. 성공적인 캐패시터의 제작을 위해서는 캐패시터의 구조에 따른 정확한 특성 모델(model)이 필요하다. 최근의 연구들은 소자의 특성을 모델링(modeling) 하는 방법으로 크게 응집 회로 모델(lumped circuit model)과 부분 등가 회로 모델(partial equivalent circuit model: PEEC)를 이용하고 있다[2]. 그 중에서 PEEC 방법은 구조에 따른 소자의 특성을 정확히 예측할 수 있고, 이것을 또한 다른 구조의 소자에도 쉽게 적용시킬 수 있는 장점이 있다.

최근, 매립형 수동소자의 성능 분석을 위한 모델링 방법들이 많은 연구자들에 의해 진행되고 있다. 매립형 수동소자의 전기적, 기계적 특성 분석이

Rao et al.에 의해 수행되었다[3]. 또한, Poddar et al.은 MCM에 적용될 수 있는 집적형 수동 소자에 대한 고속 모델링 방법을 연구 하였다[4].

이 논문에서는 여러 빗살 개수를 가진 빗살형 캐패시터를 PEEC 방법으로 HSPICE simulation tool을 이용하여 정확히 모델링 하고자 한다. 그 후, 최적화된 파라미터 값을 추출하고 이의 검증을 위하여, 다른 빗살 개수를 가진 빗살형 캐패시터에 대한 예측 모델링을 수행하고자 한다.

2. 공정 및 측정

2.1 공정

테스트 구조는 저온 소성 세라믹 기법 (Low Temperature co-fired ceramic: LTCC)을 이용하여 제작되었다. LTCC 공정으로 소자를 제작하게 되면 기판에 수많은 소자를 집적할 수 있다는 것 외에도 높은 신뢰성, 가격절감, 부피 감소 등의 장점이 있다[5]. 테스트 구조는 96% alumina 기판 위에 Ti/Au를 적층하여 제작되었다. Electron beam evaporation system을 이용하여 0.04 μm 의 티타늄을 적층한 후에 0.2 μm 두께로 금을 적층하였다. 티타늄 층은 기판에 대한 금의 점착을 향상시키기 위해 사용되었다. 적층 후에, standard photolithography와 etch back 기술을 이용하여 캐패시터의 패턴을 형성하였다. 에칭 전에 photoresist를 안정화시키기 위해 125 $^{\circ}\text{C}$ 의 온도로 5분 동안 가열하였다. 금은 KCN solution으로 1분 동안 가열한 후 제거 되었고, buffered oxide etch 방법에 의해 티타늄을 제거 하였다. 기판 두께의 불규칙성 때문에 (약 +/-1.5 μm), 캐패시터의 모서리는 들쭉날쭉 하지만, 패턴은 끊김없이 형성되었다. 제작된 테스트 구조의 도식이 그림1에 나타나 있다. 6개의 빗살을 갖는 테스트 구조를 test structure 1, 10개의 빗살을 갖는 구조를 test structure 2 라고 명명하였다. test structure 1은 최적화된 parameter 추출을 위해 사용되었고, test structure 2는 최적화된 parameter를 사용하여, 예측 모델링을 하는데 이용되었다.

2.2 테스트 구조 측정

테스트 구조는 고주파 측정을 위하여 HP 8510C network analyzer에 Cascade Microtech probe station과 grond-signal-ground configuration

coplanar probe를 연결하여 측정하였다. Calibration은 측정 전에, line-reflect-match 방법을 이용하여 이루어 졌다. 각각의 테스트 구조에 대해 45 MHz부터 20 GHz까지 200 포인트의 scattering parameter (S-parameter)를 측정하였다.

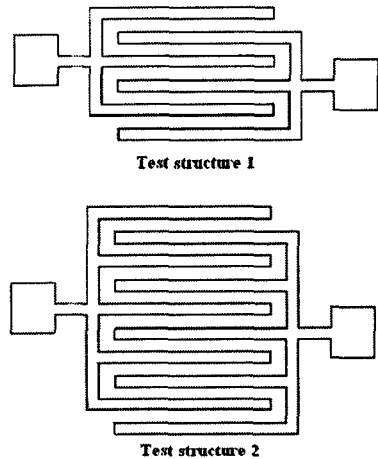


그림 1. 제작된 테스트 구조의 2차원 모형

3. 모델링

PEEC 방법에 기초하여 빗살형 캐패시터를 모델링하였다. 이를 위하여, 테스트 구조를 그림 2와 같이 6개의 기본적인 빌딩 블록 (building block)으로 나누었다. 빌딩 블록은 캐패시터의 특성에 대한 각각의 전기적 영향을 고려하여 결정되었다. 또한, 빌딩 블록 사이에 발생할 수 있는 상호 자기 유도 와 정전 용량도 고려하였다. 이들 각각의 빌딩 블록을 이용하여 전체 캐패시터에 대한 등가회로를 구현할 수 있다.

각각 빌딩 블록의 등가회로는 대칭적인 구조이며, 일반적인 캐패시터 등가회로를 사용하였다. 이는 그림 3에 나타나 있다. 빌딩 블록 아래쪽의 C_{gnd}와 R_{gnd}는 테스트 구조와 기판사이의 정전 용량과 저항을 고려한 것이다.

빌딩 블록을 이용하여 등가회로로 구성된 캐패시터는 HSPICE circuit simulator를 이용하여 최적화되었다. HSPICE를 이용한 simulation은 기존의 Electro Magnetic/ Radio Frequency 방법보다 상

대적으로 적은 resource를 사용하여 보다 적은 시간 안에 정확한 결과를 제공해 준다.

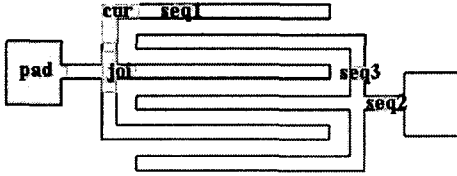


그림 2. 기본적인 빌딩 블록 정의

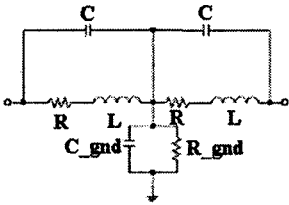


그림 3. 기본적인 빌딩 블록 등가 회로

측정된 S-parameter를 이용하여 test structure 1을 구성하는 빌딩 블록의 각각의 parameter를 최적화하였다. 캐패시터에 있어서, S-parameter 보다는 입력 어드미턴스 (Y11-parameter)가 더욱 유용하기 때문에 모든 결과는 Y11-parameter를 이용하여 비교하였다. Y11-parameter는 측정된 S-parameter를 이용하여 다음의 변환 공식을 이용하여 구하였다[6].

$$Y_{11} = \frac{1}{Z_0} \left[\frac{(1 + s_{22})(1 - s_{11}) + s_{12}s_{21}}{(1 + s_{11})(1 + s_{22}) - s_{12}s_{21}} \right]$$

여기서, Z_0 는 특성 임피던스 (characteristic impedance)로서 일반적으로, 50 Ω 을 사용한다. 빌딩 블록 등가 회로를 최적화한 후에 추출된 parameter들을 검증하기 위해 test structure 2에 대하여 예측 모델링을 수행하였다.

4. 결과 및 토의

그림4는 test structure 1에 대해 최적화된 S-parameter 결과를 통해서 변환된 Y-parameter의 크기와 위상을 측정된 결과와 비교한 것이다. 그림에서 볼 수 있듯이 최적화된 결과는 측정된 결과와 유사한 것을 관찰할 수 있다. 또한 제작된 test structure는 Y11-parameter의 위상을 통해 알 수 있듯이 20 GHz까지 캐패시터의 특성을 유지하는 것을 관찰할 수 있다.

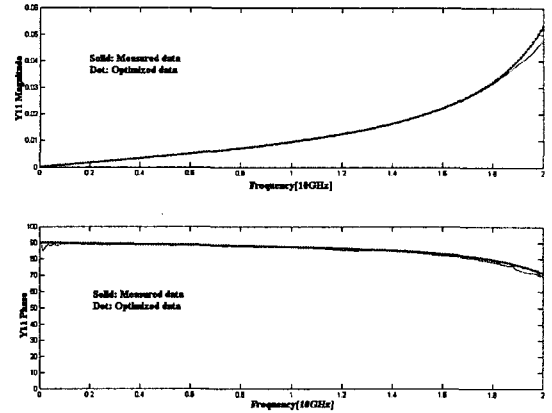


그림 4. Test structure 1의 측정된 Y11과 최적화된 Y11

위 모델링 결과를 바탕으로 각각의 빌딩 블록에 대하여 최적화된 parameter를 추출하였다. 하지만, 단지 하나의 test structure에 대하여 최적화를 통해 parameter를 추출했기 때문에, 이 parameter가 캐패시터의 특성을 나타낸다고 말할 수는 없다. 따라서 이의 검증을 위하여 다른 형태를 가지는 test structure 2를 이용하여 예측 모델링을 수행하였다.

그림 3에 주어진 빌딩 블록 등가 회로를 가지고, 그림 2에 정의되어진 데로 test structure 2에 대하여 등가 회로를 구성하였다. 이후, test structure 1에서 추출된 최적화된 parameter를 이용하여 10-GHz까지 예측 모델링을 수행하였다. 예측한 데이터와 측정된 데이터의 Y11-parameter의 크기와 위상이 그림 5에 나타나 있다. 그림을 통해 알 수 있듯이 예측된 데이터는 측정된 데이터와 유사한 경향을 보이고 있으므로 최적화된 parameter가 신뢰성이 있음을 알 수 있다. 이를 통해, 다른 구조에 대해서도 소자를 직접 제작하지 않고도 특성에 대한 예측이 가능하다고 할 수 있다.

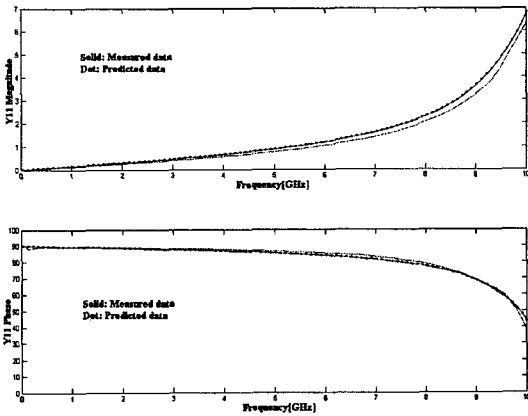


그림 5. Test structure 2의 측정된 Y11과 예측된 Y11.

5. 결론

본 논문에서는 집적회로에 응용할 수 있는 LTCC 공정으로 제작된 빗살형 캐패시터에 대한 모델링을 수행하였고, 최적화된 parameter를 추출하였다. 그 후, 이의 검증용 위하여 다른 구조를 갖는 캐패시터의 특성을 예측 모델링하였고, parameter의 신뢰성을 확인할 수 있었다. 이를 통해 다른 구조를 가지는 소자를 직접 제작하지 않고도 소자의 특성을 예측할 수 있다. 따라서, 소자를 제작하는데 있어서 시간과 비용을 절감할 수 있을 뿐만 아니라, 수율을 향상시키는데 있어서 큰 기여를 할 수 있다.

참고 문헌

- [1] L. J. Golonka, K. K. Wolter, A. Dziedzic, J. Kita, and L. Rubenklau, "Embedded passive components for MCM", 24th International Spring Seminar on Electronic Technology, p.73, 2001.
- [2] A. Ruehli, "Equivalent Circuit Models for Three Dimensional Multiconductor Systems", IEEE Trans. Microwave Theory Tech., vol. MTT-22, March. 1974.
- [3] Y. Rao, J. Qu, and C. P. Wong, "Electrical and Mechanical Modeling of Embedded

Capacitors", Proc. Elec. Comp. Tech. Conf., p.506-509, June. 1999.

- [4] R. Poddar and M. Brooke, "Accurate, High Speed Modeling of Integrated Passive Devices in Multichip Modules," Proc. Electrical Performance of Electronic Packaging, p. 184-186, Oct. 1996.
- [5] 신동욱, 오창훈, 이규복, 김종규, 윤일구, "부분등가회로모델을 이용한 매립형 인덕터의 특성 연구", 전기전자재료학회 논문지 5권 16호, p.404-408, May. 2003.
- [6] D. M. Pozar, "Microwave Engineering", John Wiley & Sons, p. 211, 1998.