

형광등용 전자식 안정기의 설계

(The Design of Fluorescent Lamp Electronic Ballast)

이은학 · 장준영 · 박창훈* · 송요창*

(한리대학교 · 현일*)

Eun-Hak Lee · Jun-Young Jang · Chang-Hoon Park* · Yo-Chang Song*

(Halla University · HYUNIL*)

Abstract

Fluorescent lamp operated at high frequency by the electronic ballast provide benefits like unnoticed flicker effect and higher luminous efficiency. This paper presents analysis of Half-Bridge type resonant inverter for Fluorescent lamp drive for stable characteristic and life improvement of lamp operated at high frequency. Also, it has described an electronic ballast design with the capability of high PF (Power Factor) and low THD (Total Harmonic Distortion). The validity of designed electronic ballast circuit is confirmed by simulation and experimental results. The Designed electronic ballast is implemented successfully on 32W Fluorescent lamp system.

1. 서 론

현재, 우리나라 총 발전량의 18% 가량이 조명에 사용되고 있으며, 조명용 전력의 80% 이상이 형광등에 사용되고 있다. 형광램프는 부성저항 특성을 가지며 높은 시동전압을 필요로 하고 점등 후 정격전류를 유지하기 위해 안정기가 필요하게 된다. 조명용 형광램프의 점등 회로에 사용되는 전자식 안정기에 있어서는 형광램프에 인가하는 수십 kHz의 정현파 교류전압을 발생하기 위해 공진형의 고주파 인버터가 폭넓게 이용되고 있다. 이 방식은 상용교류 주파수에서 형광램프를 점등시키는 경우에 비해 발광효율이 증가하며, 깜박거림이 없는 특징을 가지고 있기 때문이다. 또한, 전자식 안정기의 소형·경량화·고 효율화에 있어서도 유리하다. 이와 같은 이유로 전자식 안정기의 필요성은 더욱 커지고 있다. 일반적으로 수동식 안정기와 비교할 때 전자식 안정기는 관형 형광 램프에서 15~20% 정도의 전력 소모를 저감할 수 있다. 최근, 대부분의 전자식 안정기 설계와 연구는 램프 구동을 위한 전원회로로 그림 2(c)와 같은 공진형 인버터를 사용한다. 기본 개념은 일반적으로 25~50kHz의 고주파 발생을 위한 램프 방전(arc)을 만들기 위해 병렬공진 커패시터에서의 공진 전압을 이용한다. 고주파 전압으로 인해 램프는 지속적인 ON 상태를 유지하므로 플리커 현상을 배제한 고품질의 조도를 제공할 수 있다.

전자식 안정기의 고주파 인버터에 매끄러운 직류 링 커패시터를 제공하기 위해서는 상당히 큰 커패시터와 합

계 다이오드 브리지 정류기가 필요하다. 이러한 정류회로는 낮은 역률과 심각한 고조파 왜곡을 야기하는 높은 입력전류가 불가피하게 생성된다. 이러한 문제를 해결하기 위해 역률개선회로를 브리지 정류기와 전자식 안정기의 공진 인버터 사이에 삽입시킨다. 역률개선회로는 크게 수동 역률개선방식과 능동 역률개선방식으로 구분된다. 수동역률개선방식은 크게 L과 C를 이용한 저역통과 필터회로와 DC link 전압형태의 최고치의 1/2까지 떨어지는 개선된 밸리필 역률개선회로 등이 있으며, 능동 역률개선방식은 단일 전력단 방식과 이(2)단 전력단 방식으로 구분할 수가 있다.

본 연구에서는 Half-Bridge 공진형 인버터의 설계과정을 제시하였다. 입력 역률개선을 위하여 개선된 밸리필 수동역률개선회로와 부스트방식 능동역률개선회로를 적용하였다. 시뮬레이션을 수행하여 최적의 회로 상수 값을 산출하였다. 또한 산출된 회로소자 값을 이용하여 전자식 안정기를 제작하였으며 실험용 시스템으로 32W 형광램프에 적용하였다.

2. 본 론

2.1. 회로 구성

국내외에서 개발 중인 전자식 안정기는 적용램프의 종류, 용도 및 출력 크기, 필요기능 등에 따라 다양하고 이에 따른 회로 구성 또한 차이가 있으나, 전자식 안정기를 설계하는데 필요한 기본 구성은 대체로 다음과 같다.

상용의 AC 전원으로부터 DC 전원을 만들기 위한 정류기, 고조파 성분을 제거하기 위한 필터, 전송손실 절감을 위해 필수적인 역률 개선 회로, DC 전원에서 램프에 전력을 공급하는 공진형 인버터, 전체 시스템을 적절히 제어할 수 있는 제어회로와 같이 분류할 수 있으며, 이는 그림 1과 같다.

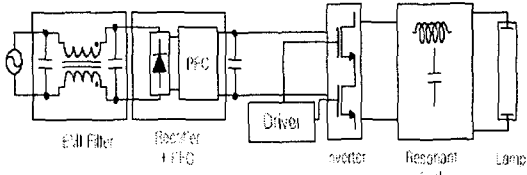


그림 1. 전자식 안정기 구성도
Fig 1. The organization of electronic ballast

전자식 안정기용으로는 저 비용의 개선된 밸리필 역률개선회로가 주로 사용되어 왔다. 하지만 저 역률 및 전고조파 함유율이 높아 전압왜곡이 발생하여 전력계통 설비를 비롯해 접속되는 기기의 동작에 악영향을 주는 외에 전력용 커패시터·변압기의 발열, 화재, 이상 음의 발생, 제어기기의 오동작, 또는 수명의 단축 등의 장애 현상으로 나타나게 된다. 고조파는 IEC 61000-3-2등에서 고조파 규제를 엄격히 하고 있으며, 전력선의 경우는 수동 저역필터를 사용해 고조파 성분을 제한해 왔으나 능동 역률 보정이 보다 효과적인 대책이라 할 수 있다. 비선형 부하의 경우는 수동 역률보정 방안으로 제거할 수 없는 전원계통의 전류파형 왜곡현상과 고조파 문제가 존재한다. 에너지 절감 차원에서 역률개선은 매우 중요하며 관련 연구도 활발하게 이루어지고 있다. 대부분의 능동역률개선방식에서는 부스트방식 역률개선 회로를 사용하는데 이는 높은 역률과 동시에 높은 효율을 얻을 수 있는 장점 때문이다. 제어방식에 따른 인덕터 전류의 모양이 달라질 수 있으며 불연속도동모드(DCM : Discontinuous Conduction Mode)와 연속도동모드(CCM : Continuous Conduction Mode)로 분류할 수 있다. DCM 방식은 고정 주파수 및 가변 주파수 방식으로 제어가 가능하며, 인덕터 전류는 불연속적이고 최대치가 커서 EMI 및 소자의 전류 스트레스가 커진다. CCM 방식은 최대전류제어, 평균전류제어 및 이력제어 등의 방식으로 제어가 가능하며 연속적인 인덕터 전류 모양을 만들 수 있어 DCM 방식에 비해 작은 EMI가 발생하므로 필터의 크기가 작아지고 전류 스트레스도 작다는 장점이 있으나 복잡한 제어회로를 구성해야 하는 단점이 있다. 부스트 역률개선방식은 역률 개선 면에서 우수한 성능을 나타내지만 생산 가격을 상당히 높이는 역률개선통제 IC, 전력 스위치, 인덕터 등이 필요하므로 일반적인 보급형 전자식 안정기에는 부적절하

다. 역률개선방식을 채택할 시에는 성능, 가격, 전력레벨, 사용용도 등의 모든 것을 고려하여 선정하여야 한다. 표 1은 역률개선방식에 따른 성능 비교를 나타내고 있다.[4]

표 1. 역률개선방식에 따른 성능 비교
Table 1. Relative comparisons of key performance factors three PFC Approaches

	수동	능동 이단 전력단	능동 단일 전력단
전고조파 왜곡(THD)	High	Low	Medium
역률(PF) 효율	Low	High	Medium
효율	High	Medium	Low
사이즈 (Volume)	Medium	Large	Small
무게	Medium	Low	Low
벌크 커패시터	Varies	Constant	Varies
제어방식	Simple	Complex	Simple
부품 수	Very Low	High	Medium
전력 레벨	≤200~300W	Any	≤200~300W
설계 난이도	Low	Medium	High
비용	Low	High	Low

그림 2(a),(b)는 각각 개선된 밸리필 수동역률개선회로와 부스트방식 능동역률개선회로를 나타내고 있다.

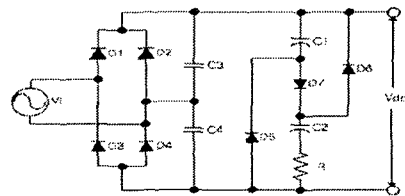


그림 2(a). 개선된 밸리필 역률개선회로
Fig. 2(a). The Improved valley fill power factor correctin circuit

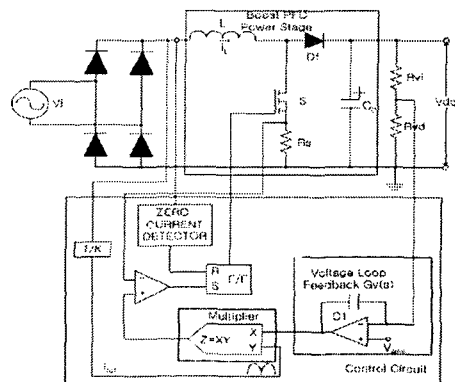


그림 2(b). 부스트방식 역률개선회로
Fig. 2(b). Boost type PFC circuit

Half-bridge 인버터(그림 2(c))에서의 부하전력 제어를 위한 가장 간단한 방법은 스위치 S1과 S2에 의한 듀티비(d) 제어 방식이며, 이상적인 최대 듀티비는 0.5이다. 실제로, 최대의 d값은 0.5보다 약간 작게 된다. 따라서 일시적인 데드타임(S1과 S2의 오프시간)설정으로 S1과 S2를 동시에 도통하는 것을 피할 수 있게 된다.

인덕터 전류가 연속적이고 Half-bridge 전압이 지연되면 스위치는 영전압 상태에서 ON 될 수 있게 된다. 턴-오프 변환에서 ZCS에 가깝게 동작되며, 스너버 커패시터에 의해 파형이 완만하게 되고 영전압 스위칭 방식의 적용으로 인해 장점을 갖는다. 따라서, 스위치 소자에서의 EMI 문제와 스위칭 스트레스가 실제로 감소될 수 있다. 그러나 듀티비가 너무 작으면 인덕터 전류는 불연속적으로 되고, 영전압 스위칭 조건이 성립되지 않아 dc 링크 전압이 매우 높아지므로 스위치는 높은 스위칭 스트레스를 받게 된다. 이러한 불연속적인 전류 동작은 신뢰성을 저감시키고 EMI를 증가시킨다. (커패시터 C는 충분히 커서 전압이 Vdc/2되는 것으로 가정한다.)

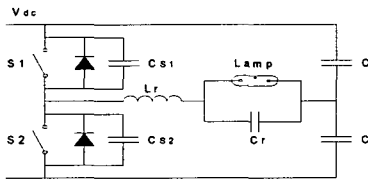


그림 2(c) Half-Bridge 공진형 인버터 회로
Fig. 2(c) Half-Bridge resonant inverter circuit

그림 2(c)는 Half-Bridge 공진형 인버터 회로를 보여주고 있다. 전자식 안정기는 역률개선단과 램프구동 공진형 인버터 단으로 나누어 해석할 수 있다.

2.2. 회로해석 I (역률개선단)

개선된 밸리필 역률개선회로의 동작은 그림 3과 같이 Mode 1~ Mode 4로 나눌 수가 있다. Mode 1,3과 Mode 2,4가 같은 동작을 하는 것을 알 수 있으며, Mode 1과 Mode 2의 동작만을 나타내었다. 그림 3은 개선된 밸리필 역률개선회로의 출력전압을 나타내고 있다.

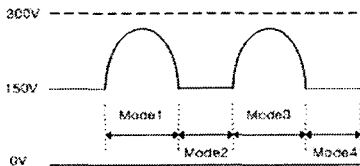
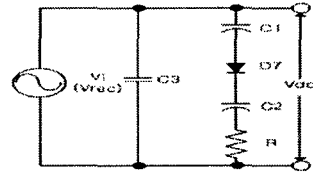
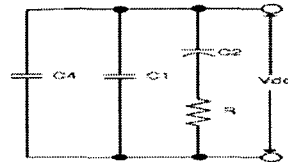


그림 3. 개선된 밸리필 역률개선회로의 출력전압 (Mode1~Mode4)
Fig. 3. Output voltage of improved valley-fill PFC circuit

Mode 1 : 입력전압(정류된 전압:Vrec)이 밸리필 출력 전압보다 클 때, 충전시에 정류다이오드 D1과 D4의 다이오드가 도통된다. C3는 입력에 의해 충·방전하며 전압이 $V_i/2$ 보다 작아지는 구간(전류가 흐르지 않는 구간)의 crossover-distortion을 줄이기 위해 사용한 voltage doubler용 커패시터이다. 입력전압에 따라 전해 커패시터인 C1과 C2에 각각 $V_i/2$ 이 충전된다. D7은 입력전압이 C1과 C2보다 큰 경우에 도통이 됨으로 입력 전류가 갑자기 많이 흐르게 되어 돌입전류가 발생하게 된다.

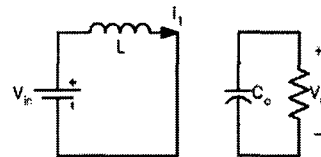


Mode 2 : 밸리필 출력전압이 정류된 전압보다 클 때, 입력전압의 방향이 바뀌어 충전되어진 C3, C4가 입력 전류가 흐르지 않는 구간에서 전하를 방출하게 된다. 따라서 전류가 연속적이 된다. C1과 C2에 충전되어진 전압(각각 $V_i/2$)이 입력전압의 크기보다 커 입력 전류가 흐르지 못하지만, 커패시터에 충전된 전압이 일정하게 유지되어 $V_i/2$ 의 일정한 출력전압을 얻게 된다.

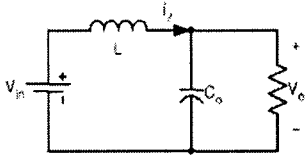


부스트 컨버터의 스위치 S가 ON, OFF시 Mode 1, Mode 2의 각 상태를 나타내는 등가회로이다.

Mode 1 : 스위치 S가 도통일 때 인덕터 전류에 의해 인덕터 L에 에너지가 축적되고 다이오드 Df는 차단된다. 이때 출력측에서는 출력필터 C의 전하가 부하 저항을 통하여 방전된다.



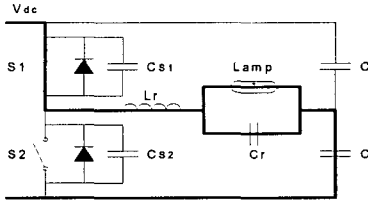
Mode 2 : 스위치 S가 차단되면 L에 축적되었던 에너지는 환류 다이오드 Df를 통하여 출력측으로 방출된다.



2.3. 회로해석 II (공진형 인버터단)

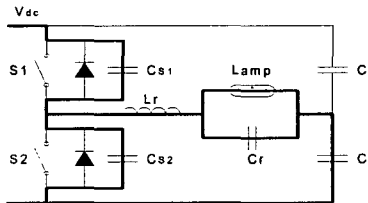
Mode 1 : S1-ON, S2-OFF

S1은 턴-온, S2는 턴-오프 상태이므로 전류의 흐름은 다음 등가회로와 같다.



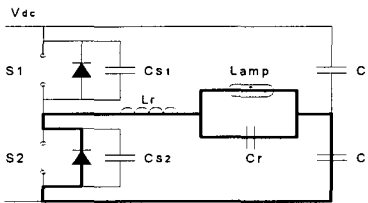
Mode 2 : S1-OFF, S2-OFF

S2는 아직 오프상태이며, S1은 턴-오프 상태로 Cs1은 충전, Cs2는 방전되므로 아래 등가회로와 같다. 이 구간에서, Cs2는 방전되고 Cs1은 Vdc값으로 충전된다. Cs2가 방전되었을 때, S2의 역 병렬 다이오드가 도통하기 시작한다.



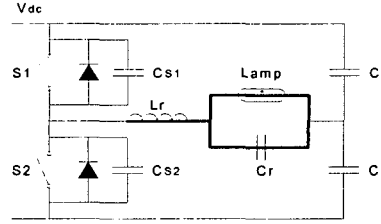
Mode 3A : S1과 S2가 OFF이면 S2의 역 병렬 다이오드는 ON.

듀티비가 너무 작지 않으면 인덕터 전류는 연속적이 되며, S2의 역 병렬 다이오드는 도통하고, S2양단의 전압은 0V에 가깝게 제한된다. 이후에 S2는 영전압 상태에서 턴-온 된다. 연속적인 인덕터 전류 동작 상태에서는 Mode 3B는 존재하지 않는다.



Mode 3B : (불연속 전류 모드, DCM) S1과 S2

는 OFF, i_{Lr} 은 0으로 감소.



2.4. 회로 설계

그림 2(b)에서 스위치 S, 인덕터 L, 다이오드 Df는 부스트 컨버터의 주 구성 소자이며, Co는 리플 전압을 완만하게 하는 용량이 큰 커패시터이다.

다음의 해석은 정격부하 상태에서 동작하는 컨버터를 설계하는 방법을 나타낸다. 최대입력전류는 다음 식과 같다.

$$I_{ipk} = \frac{\sqrt{2} \times P_i}{V_{imin}} \quad (1)$$

다음 식은 컨버터의 전압비와 듀티비를 나타낸다.

$$\frac{V_o}{V_{in}} = \frac{1}{(1-D)} \quad D = \frac{V_o - \sqrt{2} V_{in}}{V_o} \quad (2)$$

인덕터 전압과 인덕터의 크기는 다음 식으로 구할 수 있으며

$$v_L = L_s \frac{di_{in}}{dt} \quad L_s = \frac{\sqrt{2} V_{in} D}{\Delta I_{in} f_s} \quad (3)$$

다음 식으로 커패시터 C2를 선정한다.

$$I_{dis, peak} = \frac{P_o}{V_o} \quad C_{dc} = \frac{I_{dis, peak}}{2\pi \times 120 \times \Delta V_{dc}} \quad (4)$$

여기서, $I_{dis, peak}$ 는 커패시터의 최대 방전전류, C_{dc} 는 출력전압의 리플을 나타낸다.

인버터단에서의 주된 설계 파라미터는 램프 구동부의 공진 성분이다.

점등 전에는 램프의 등가저항이 매우 크기 때문에 개방회로라고 가정하면 Cs와 Cp가 직렬로 이루어진 병렬 공진회로 특성을 가지게 된다. 그러므로 이때의 공진 주파수와 Quality factor는 아래와 같다.

$$\text{공진주파수(점등전): } f_r = \frac{1}{2\pi \sqrt{L_r \cdot \left(\frac{C_s \cdot C_p}{C_s + C_p} \right)}} \quad (5)$$

$$\text{Quality factor(점등전): } Q_s \approx 0 \quad (6)$$

점등 후에는 램프의 등가저항이 낮아지므로 병렬 커패시터 Cp의 영향이 상대적으로 줄게 되며 부하가 커질수록 직렬공진회로의 특성을 가지게 된다. 이때의 공진

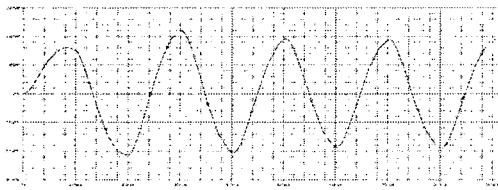
주파수와 Quality factor는 아래 식과 같다.

$$\text{공진주파수(점등후): } f_r = \frac{1}{2\pi\sqrt{L_r \cdot C_s}} \quad (7)$$

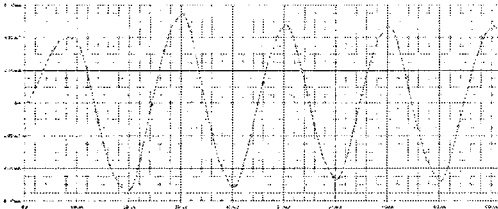
$$\text{Quality factor(점등후): } Q_s = \frac{\omega_r L_r}{R_{lamp}} \quad (8)$$

인버터 스위칭 주파수는 식(5), (7)에 표시한 공진 주파수보다 큰 스위칭 주파수 일 때 스위치의 턴-온 시 영전압 스위칭이 보증된다. 또한, 공진 커패시터 C_s 와 C_p 는 식(5)와 (7)을 이용하여 구할 수 있으며, 공진 인덕터 L_r 은 점등 후의 식 (7)을 이용하여 구할 수 있다.

그림 4는 PSPICE TOOL을 이용한 램프전압 및 전류의 시뮬레이션 파형을 나타내고 있다.



(a) 전압 파형

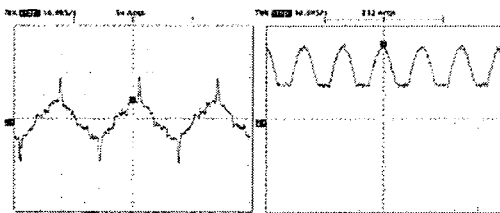


(b) 전류 파형

그림 4. 램프 전압 및 전류의 시뮬레이션 파형
Fig. 4. Simulation waveform of lamp voltage and current

2.4. 회로 실험

그림 5,6,7는 기존의 밸리필 역률개선회로, 개선된 밸리필 역률개선회로, 부스트방식 역률개선회로의 입력전류 및 출력전압의 실험파형을 나타내고 있다.



(a)입력전류(200mA/div)(b)출력전압(100V/div)

그림 5. 기존의 밸리필 역률개선회로의 실험파형
Fig. 5. Experiment waveform of the existing valley-fill PFC circuit

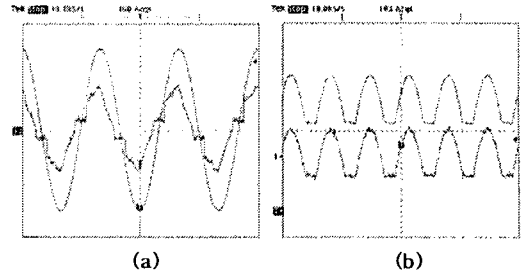
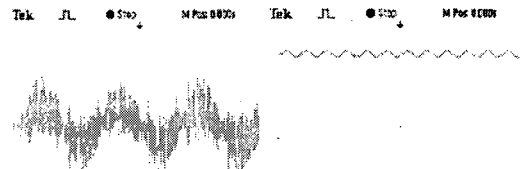


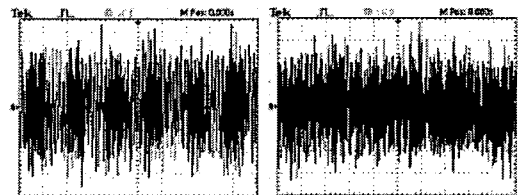
그림 6. 개선된 밸리필 역률개선회로의 실험파형
(a)입력전압(100V/div),입력전류(100mA/div)
(b)출력전압(100V/div),출력전류(50mA/div)
Fig. 6. Experiment waveform of the improved valley-fill PFC circuit



(a) 입력전류(200mA/div) (b) 출력전압(50V/div)

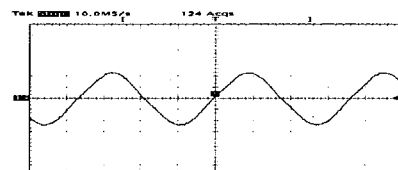
그림 7. 부스트방식 역률개선회로의 실험파형
Fig. 7. Experiment waveform of boost type PFC circuit

그림 8은 밸리필 수동역률개선회로와 부스트방식 능동역률개선회로에 따른 램프 전류의 실험파형을 나타내고 있다.

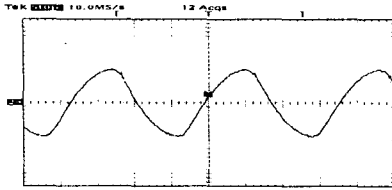


(a)밸리필 역률개선회로 (b)부스트 방식 역률개선회로

그림 8. 램프전류의 실험파형
Fig. 8. Experiment waveform of lamp current



(a) 전압 (200V/div)



(b) 전류 (200mA/div)

그림 9. 램프 전압과 전류의 실험파형

Fig. 9. Experiment waveform of Lamp voltage and current

그림 9는 100% 정격 램프 전력에서의 램프 전압과 전류 파형을 나타낸 것으로 램프 전류와 램프 전압은 동상이나, 형광램프의 V-I 특성은 비선형적이다.

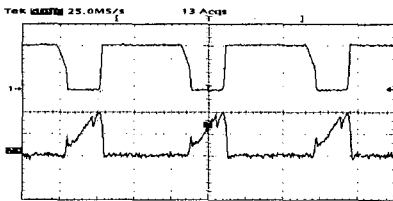


그림 10. 부스트방식 역률개선회로의 MOSFET 스위칭 파형(ch1: 200V/div, ch2: 2A/div)

Fig. 10. MOSFET switching waveform of Boost type PFC circuit.

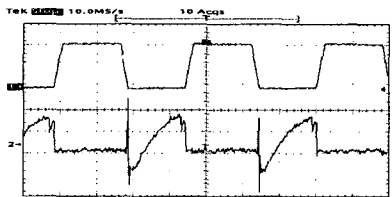


그림 11. Half-bridge 인버터의 MOSFET 스위칭 파형(ch1: 200V/div, ch2: 2A/div)

Fig. 11. MOSFET switching waveform of Half-Bridge inverter

그림 10은 입력 AC 전압 파형의 최대치 부근의 부스트방식 역률개선회로에 사용된 MOSFET의 스위칭 파형을 나타내며, 거의 영전류 스위칭(ZCS)상태에서 턴-온 된다. 부스트 컨버터에서의 턴-오프시 스위칭 스트레스를 줄이기 위해, MOSFET 주위에 RC스너버 회로를 부가할 수 있으며, 스너버 회로에 의해 제안된 시스템에서는 손실이 나타난다. 이 스너버 커패시터의 용량이 일반적으로 220pF 정도로 매우 작을 경우, 턴-오프 손실은 영향이 미소하게 된다.

그림 11는 Half-bridge 인버터에서 사용된 MOSFET의 스위칭 파형으로, 스위칭 전압은 현저한 스위칭 노

이즈 없이 깨끗하게 나타난다. 스위칭 전류가 부(-)이므로 턴-온 상태에서 영전압 스위칭(ZVS)현상을 나타내며 FET가 턴-온 하기 전에 내부 다이오드를 통해 에너지가 전달된다. 턴-오프 동작도 스너버 커패시터에 의해 영향을 받아 소프트 변환이 이루어진다.

3. 결 론

본 연구에서는 Half-Bridge 공진형 인버터의 설계과정을 제시하였으며, 입력 역률개선을 위하여 기준/개선된 밸리필 수동역률개선회로, 부스트방식 능동역률개선회로를 적용하였다.

등가회로를 이용하여 수식과 시뮬레이션 그리고 실험을 통한 실측 파형의 비교로 설계과정에 의한 등가회로와 실제 회로도에 대한 소자의 적절한 값과 설계과정의 타당성을 확인하였다.

실험 결과로부터 고 역률과 낮은 THD와 CF를 얻었다. 또한 소프트 스위칭 동작을 확인 하였으며, 이는 소프트 스위칭 기술이 EMI를 상당히 줄일 수 있다는 것이 입증되었다.

참 고 문 헌

- [1] 서철식, 박재욱, 김해준, 노채균, 김동희, "전단일전력 단을 갖는 고역률 형광등용 전자식 안정기 구현", 한국조명·전기설비학회 학술대회 논문집, pp.123~127, 2001.11.
- [2] 류태하, 조규형, "고성능, 저가격의 전자식 안정기 구조 및 제어 IC의 설계", 한국과학기술원 기술자료
- [3] 송명석, 박종연, "수동역률 개선회로의 특성비교", 강원대학교 정보통신 논문지 제7호, 2003.
- [4] Bahman Sharifipour, J.S.Huang, and Peter Liao, "Manufacturing and Cost Anlysis of Power-Factor-Correction Circuits", IEEE, pp.490~494, 1999.
- [5] SEBASTIAN, J, JAUREGUIZAR M, UCEDA, J, "An overview of power factor correction in single-phase off-line power supply system", Proceeding of the IEEE Industrial Electronics conference, pp. 1688-1693, 1994.
- [6] G. Gambirasio, W. Kaiser, and L. Matakas Jr, "High frequency power converter for fluorescent lamps", in Proc. EPE Conf., Aachen, pp. 337~339, 1989.