

Set-top box용 an 8-bit 40MS/s Folding A/D Converter의 설계

An 8-bit 40 Ms/s Folding A/D Converter for Set-top box

장진혁*, 이주상**, 유상대***
 Jang Jin Hyuk*, Lee Ju Sang**, Yu Sang Dae***

Abstract - This paper describes an 8-bit CMOS folding A/D converter for set-top box. Modular low-power, high-speed CMOS A/D converter for embedded systems aims at design techniques for low-power, high-speed A/D converter processed by the standard CMOS technology. The time-interleaved A/D converter or flash A/D converter are not suitable for the low-power applications. The two-step or multi-step flash A/D converters need a high-speed SHA, which represents a tough task in high-speed analog circuit design. On the other hand, the folding A/D converter is suitable for the low-power, high-speed applications(Embedded system). The simulation results illustrate a conversion rate of 40MSamples/s and a power dissipation of 80mW(only analog block) at 2.5V supply voltage.

Key Words : Folding A/D converter, Embedded system, Time-interleaved A/D converter, Flash A/D converter

1. 장 서론

최근 멀티미디어나 통신 시스템들의 고속화와 더불어 고속 A/D 변환기의 필요성이 한층 증대되고 있다. 특히 고속, 저전력과 높은 해상도를 갖는 A/D 변환기는 광범위한 응용분야를 갖는다. 그 중 가장 널리 연구되고 있는 구조는 플래쉬 구조와 파이프라인 구조, 그리고 F&I 구조이다.

F&I(Folding & Interpolation) 구조는 플래쉬 구조에 비해 비교기 수가 적어 면적, 전력 면에서 우수하고, 비료기 오프셋 보상이 필요 없는 장점이 있다. Interpolator에 의해 오프셋이 감소하여 DNL이 향상되며, 입력에 연결되는 소자 수가 적어 입력 커패시터가 적다. 또한 파이프라인과 달리 latency가 0이므로 안정도가 중요한 feedback 시스템에 적합하다. 그리고 F&I구조는 zero-crossing을 검출하는 방법으로 변환을 수행하는데 이는 전압 레벨을 검출하는 방법보다 잡음에 강한 장점이 있다.

본 논문에서는 Hynix 0.25um CMOS model 공정으로 고속의 F&I ADC를 설계하여 Hspice로써 simulation해 보았다.

2. 장 본론

2.1 Folding and Interpolation ADC의 구조

저자 소개

- * 張 眞 赫 : 慶北大學 電子工學科 碩士課程
- ** 李 周 相 : 慶北大學 電子工學科 博士課程
- *** 柳 相 大 : 慶北大學 電子工學科 教授 · 工博

F&I Type의 ADC는 Flash Type ADC처럼 모든 비트가 한 클럭에 동시에 결정되기 때문에 S/H가 필요 없고, 입력된 아날로그 신호를 원하는 특성을 갖도록 미리 처리하여 상위 비트와 하위비트가 결정되는 경로를 달리함으로써 비교기의 개수를 상당히 줄일 수 있는 장점을 가진다. 이 원리를 좀더 설명하기 위해 Folding ADC의 간단한 블록도를 그림 2.1에 나타내었다.

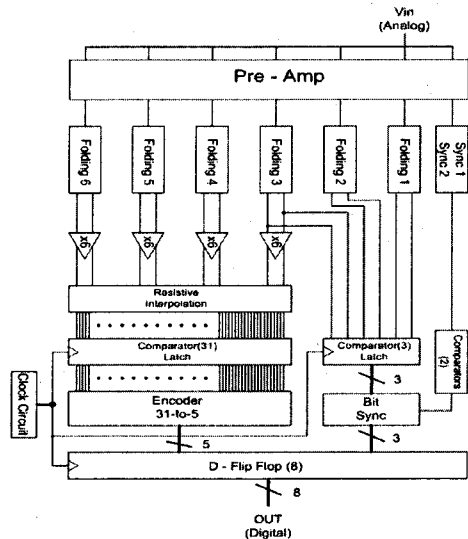


그림 2.1. Folding ADC의 간단한 블록도

2.1.1 Preamplifier 회로

Preamplifier(이하 preamp)는 differential 입력 신호와 differential 기준 전압을 비교하여 그 차이를 증폭시키는 역할을 한다. 그런데 preamp 출력에는 cascaded averaging을 위해 직접적으로 연결된 averaging 회로가 없으므로 이득을 크게 주어 신호를 증폭하려 하면 preamp의 offset 오차도 함께 증폭될 수 있다. 따라서 이 앰프는 큰 이득을 주기보다는 matching 특성에 의하여 folding 앰프의 입력단에 offset 전압을 최소화 한 상태로 약간의 이득을 가해 신호를 전달하는 역할을 수행하도록 설계하였다.

2.1.2 Folding 앰프 회로

Folding 신호를 만들기 위해서는 그림 2.2와 같은 구조의 회로를 사용하는 것이 일반적이다. 이 그림은 $2n+1$ 개의 동일한 differential pair가 두 출력단에 엇갈리게 연결되어 있는 $2n+1$ 의 folding factor를 가지는 folding 앰프이다. 이 differential pair들은 기준 전류원 만큼의 전류를 어느 쪽 출력단에서 빼낼 것인가를 결정하는 전류 스위치의 역할을 한다. 이 회로에서는 입력과 기준 전압의 범위에 따라 한쪽 출력단에서는 n 개 전류원 만큼의 전류가 흐르고 다른 쪽은 $n+1$ 개 전류원 만큼의 전류가 흐르는데, differential pair의 출력이 서로 엇갈려 연결되어 있으므로 입력 신호가 증가 혹은 감소함에 따라 차동 출력 신호는 음과 양이 반복해서 나타나게 된다.

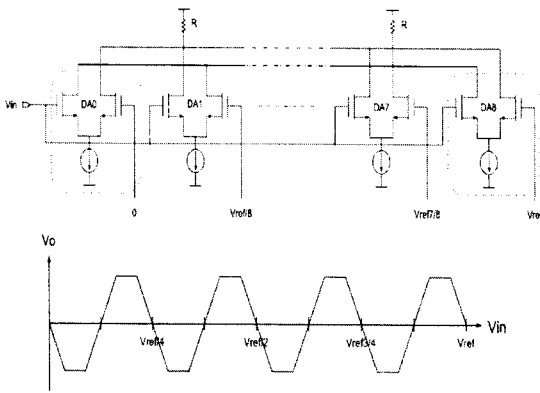


그림 2.2. Folding 회로와 입출력의 전달 특성 곡선

본 논문의 설계에서는 전형적인 구조인 Folding Factor=8, Folding Block Number=4, Interpolation Factor=8인 Folding Block 구조를 이용한다.

Folding 앰프 회로는 그림 2.1.2에서 보인 회로와 같으나, 양 끝에 위치한 차동증폭기는 가운데에 있는 것들과 조건이 다르므로 정확히 원하는 입력에서 영전압을 지나지 않는다. 따라서 여분으로 양 끝에 두 개의 차동 입력단을 더 두면 원하는 동작을 하게 된다.

2.1.3 Comparator 회로

ADC에 사용되는 비교기 회로는 아날로그 신호를 디지털 신호로 바꾸는 경계에 있는 회로이다. 그림 2.3은 본 논문의 Folding ADC에 사용한 비교기의 회로도이다.

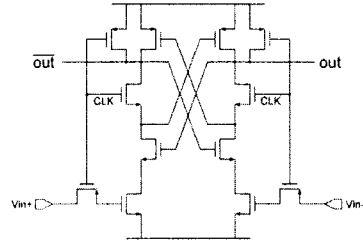


그림 2.3. Comparator 회로

비교기 회로는 cross-coupled inverter를 사용한 다이내믹 회로로서 정적인 전류 소모가 없어서 소모 전력이 작고 cross-coupled inverter로 신호의 regeneration이 일어남으로 인해 BER을 낮출 수 있다. 이 비교기는 CLK 신호에 따라 2가지의 동작 상태를 가진다. CLK 신호가 0일 때는 precharge 상태로 comparator의 출력단 전압은 Vdd가 되는 한편, PMOS 스위치가 켜져서 preamp 출력을 비교기의 NMOS pair 입력으로 전달해 주게 된다. CLK 신호가 1이 되면 evaluation 상태가 되면서 cross-coupled inverter가 동작하여 두 입력 신호의 차이를 양의 되먹임을 통해서 증폭하여 상보 출력 신호를 만들게 되고 이 신호는 다음 단의 풀립플롭에 연결되어 디지털 회로로 전달된다.

2.1.4 Interpolation 회로

Interpolation 기법은 Folding 구조뿐만 아니라 Flash A/D 변환기에서도 많이 사용되는 방법이다.

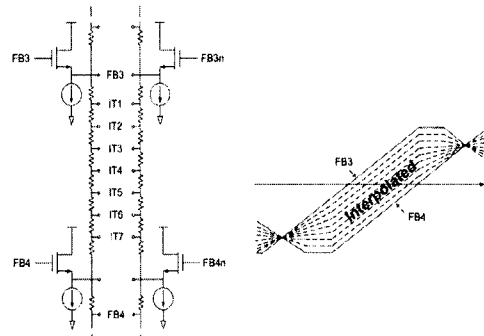


그림 2.4. Interpolation 회로

Pipeline이나 Two-step 구조에서도 작은 비트수의 Flash A/D 변환기가 사용되므로 실제로는 대부분의 A/D 변환기에서 널리 사용되는 방법이라 할 수 있다. 인접한 앰프 출력들

간에 interpolation 을 하면 원하는 개수의 신호를 만들어 내는데 필요한 앰프의 수를 interpolation 횟수만큼 줄일 수 있다. Interpolation 은 저항이나 캐패시터로 하는 방법도 있고 전류로 하는 방법도 있는데 여기서는 가장 일반적인 저항으로 하는 방식을 이용하였다.

2.1.5 Encoder 회로

이 논문의 경우 32개의 비트가 Cyclic Thermometer Code 를 형성한다. FB3의 출력(b5)이 1인 때는 모든 비트가 1로 시작해서 0이 될 때까지 변화하는 것이고, b5 가 0인 때는 그 반대의 형태인 코드가 나타나게 되어 Cyclic Thermometer Code를 형성한다. 따라서 b5(FB3의 출력)가 1인 경우는 32개의 각 코드를 인버터를 거쳐 역으로 바꾸어 Thermometer Code에서처럼 Encoding하면 된다. PMOS Load를 이용한 ROM의 경우 출력 코드가 0일 때 전력 소모가 크게 나타난다. 이 영향을 줄이기 위해 저항값을 키우면 속도가 느려지는 단점이 있다. 그래서 CMOS로 구성된 ROM을 설계한다.

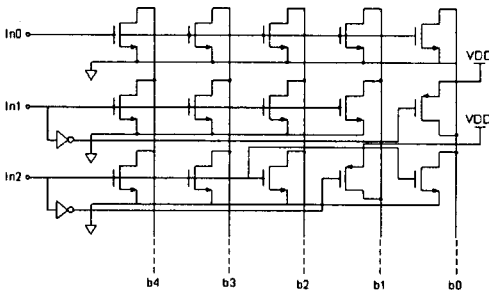


그림 2.5. CMOS 를 이용한 ROM

2.1.5 Bit Sync 회로

b7 과 b6의 판별에 오류가 생기기 쉬운 부분에서는 b5 를 기준으로 이들의 값을 정하고 그렇지 않은 부분에서는 b7 과 b6의 값을 그대로 쓰게 된다. 아래 그림에 회로도 를 나타내었다.

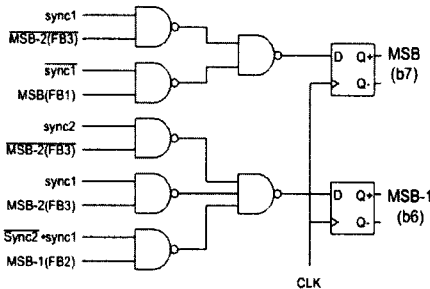


그림 2.6. Bit Synchronization 을 위한 회로

3. 장 결론

이 논문에서는 Set-top box 용 A/D 변환기를 설계하였다. 한 칩 내에 여러 개의 A/D 변환기가 집적화하기 위해서 저전력을 목표로 하였다. 이 논문에서 제안된 A/D 변환기의 구조는 전형적인 Folding&Interpolation A/D 변환기의 구조를 거의 그대로 이용하였다. 트랜지스터는 Hynix 0.25um CMOS model을 이용해서 설계했다. 저전력화를 구현하기 위해서 기존의 구조보다 Pre-amp 의 수를 절반으로 줄였다. 이 결과로 입력 캐패시턴스가 상당히 줄어드는 결과도 얻었다. 예상되는 입력 캐패시턴스는 0.5pF 정도이다.

설계된 A/D 변환기는 모의실험 결과 10Mhz의 입력 신호까지 충분히 A/D 변환하였다. 샘플링 주파수도 80Mhz까지의 실험했는데, 120Mhz까지는 가능하리라 보인다. 전력 소모는 아날로그 블록만 고려해서 80mW를 소모한다. Folding A/D 변환기의 특성상 입력 신호가 칩 내부에서는 Folding Factor 이상의 주파수를 가지므로 10Mhz 이상의 고주파를 처리하기는 어렵다. Sample and Hoder를 추가함으로써 이 문제는 개선이 가능하다.

참 고 문 헌

- [1] Keh-La Lin, Armin Kemna, "Modular Low-Power, High-Speed CMOS Analog-To-Digital Converter for Embedded Systems", Kluwer Academic Publishers, 2003.
- [2] T. Cho, P. Gray, "A 10-bit, 20-MS/s, 35mW Pipeline A/D Converter", Proc. Custom Intergrated Circuits Conference, pp. 499-502, 1994.
- [3] M.-J. Choe and B.-S. Song, "An 8b 100MSample/s CMOS Pipelined Folding ADC", Dig.Tech. Papers, Symposium on VLSI Circuits, pp. 81-82, 1999.
- [4] R. Van de Grift and R. Van de Plassche, "A monolithic 8-bit video A/D converter", IEEE J. Solid-State Circuits, vol. SC-14, no.6, pp. 374--378, June, 1984.