

플라즈마 디스플레이용 500W급 AC-DC 컨버터

강원석*, 안태영**

청주대학교 대학원*, 청주대학교 정보통신공학부**

AC-DC Converter with 500W class for Plasma display panel

Won-Suck Kang*, Tae-Yuong Ahn**

Graduate school Cheongju University*, Dept. Information and Communication Engineering Cheongju

Abstract - Recently the PDP is the most remarkable media for a next generation display device. In this paper, we proposed the PDP dedicated AC-DC converter using quasi resonant method because the PDP has a lot of power dissipation so we need to develop. The proposed converter using one transformer has soft switching and a advantage to lower voltage stress in switch and also is predicted to have high power efficiency. we proposed the principles and theory using the zero voltage switching and verified the validity through a experiment.

1. 서 론

최근 세계 각국의 본격적인 디지털 방송 서비스를 앞두고 고급의 화질 및 다양한 채널과 각종 데이터 방송을 구현할 수 있는 디스플레이의 필요성이 대두되고 있다.^[1-2] 대표적인 표시 장치로는 TFT LCD, ELD, PDP 등이 있으며, 그 중에서 차세대 디스플레이용으로 대형 화면에서 가장 주목을 받고 있는 PDP(Plasma display panel)는 고전압 방전을 이용한 평면 표시 장치로 넓은 시야각을 가지고 있으며, 박형 제작과 대형화, 고화질의 화면을 가능하게 하고, 다양한 멀티미디어 환경에 빠르게 대응 할 수 있는 차세대 디스플레이 조건을 가지고 있다.^[3-5]

그러나 PDP 제품의 제조가격이 다른 제품군에 비해서 상대적으로 높고, 패널의 특성 상 소비전력이 높아서 42인치 기준으로 500W급 이상의 전원장치를 사용하는 것이 일반적이다. 이러한 문제를 해결하기 위해서는 전원장치의 제조가격을 낮추고, 전력변환효율을 높일 필요가 있다.^[6-8]

본 논문에서는 차세대 디스플레이 중에서 넓은 시야각과 우수한 색감, 큰 명암비 등의 장점을 갖추고 있는 AC PDP용 전원장치에 공진형 플라이백 회로를 적용하여 그 결과를 보고한 것이다. 기본 회로로 사용된 공진형 플라이백 회로방식은 구성 소자수가 적고 제조가격을 낮출 수 있으며 기본적으로 주스위칭 소자가 소프트 스위칭을 하고 있기 때문에 스위칭 손실이 낮아서 전력변환 효율을 높일 수 있다는 장점이 있다.

특히, 본 논문에서 적용한 공진형 플라이백 컨버터는 스위칭 손실이 가장 작은 지점에서 스위칭 시키는 소위 '밸리 스위칭' 기법을 사용하였으며, 그 결과 550W급 시제품에서 최대 95% 이상의 높은 전력변환 효율을 달성할 수 있었다. 또한, 기존의 하드 스위칭 플라이백 회로 방식에 비해서 전압과 전류의 서지가 상대적으로 작아지기 때문에 낮은 전압, 전류 경계의 소자를 사용할 수 있었으며 전원장치의 EMI에서도 유리할 것으로 판단된다.

2. PFC용 Boost Converter

그림 1은 ACM PFC 회로의 기본 동작 원리를 나타내고 있다. ACM PFC 회로의 기본 동작 원리는 Feed forward 제어에 의해 입력 전류의 파형을 입력 전압의 파형에 추종하게끔 제어함으로써 입력 전류의 파형을 정현파 형태로 해주어 역률을 개선하게끔 하는 것이다. PFC 회로는 인덕터 필터가 입력측에 있는 승압형 컨버터(Boost converter)가 주로 이용된다.

역률개선 회로에는 기존의 스위칭 전원의 정류부분 대신 승압형컨버터를 이용한 역률개선 회로로 대체하는 이단 역률개선 회로(Two-stage PFC techniques)와 기존의 컨버터 부분에 역률을 개선시키는 회로로 변환하는 일단 역률개선 회로(Single-stage PFC techniques)가 있다. 전자는 비교적 대용량이거나 분산형전원에 적합하고, 후자는 비교적 중소용량이며서 제조 단가가 작은 경우에 적합하다.

본 논문에서는 중·대용량이므로 이단 역률개선 회로를 적용하였는데 입력전류를 연속 전류 모드로 제어하는 방법으로서 입력전류가 정현파가 되도록 스위치의 시비율을 시간에 따라서 가변 제어하는 방식이다. 입력전류 및 전압을 검출하여 입력전류가 입력전압을 추종하는 제어루프를 두어야 하고 출력전압을 조정을 위한 전압제어 루프를 두어야 하는 등 제어가 다소 복잡하지만 입력전류의 파형이 정밀하게 정현파가 되도록 제어하기 때문에 높은 역률의 효과를 볼 수 있어서 중·대용량에서 사용 하고 있다.

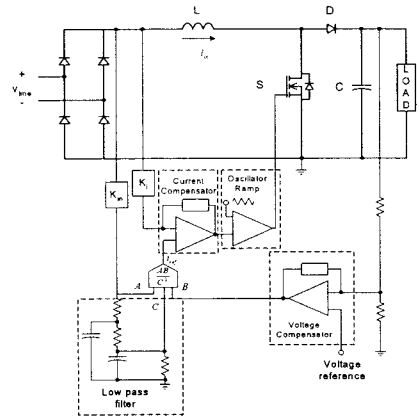


그림 1. ACM PFC 회로의 동작 원리

3. 공진형 플라이백 DC-DC 컨버터

그림 2는 플라이백 DC-DC 컨버터의 기본회로를 나타내었다. 그림 2에서 알 수 있듯이 플라이백 컨버터는

한 개의 스위치와 한 개의 다이오드, 한 개의 변압기로 구성할 수 있기 때문에 하프브릿지 형태나, 포워드 형태의 회로방식에 비해서 구성 부품이 적다는 장점이 있다.

그림 3에서는 플라이백 DC-DC 컨버터의 내부의 기생 요소를 고려한 등가회로를 나타내었고, 그림 4에서는 그림 3의 등가회로가 외부의 제어 신호에 의해서 스위칭하는 경우, 스위치와 다이오드의 상태에 따른 상태별 등가회로를 나타낸 것이다. 그림 5는 각 상태별 이론파형을 나타내었다. 그림 4와 그림 5로부터 각 상태별 동작 설명은 다음과 같이 간단하게 설명된다.

우선, 그림 4(a)에서 주스위치 Q가 제어 신호에 의해서 온 되면 변압기 1차측은 $V_s + V_0(N_1/N_2)$ 로 전압이 제한되고, 변압기 2차측은 $(-N_2/N_1)V_1$ 의 전압이 유기되어, 아래의 수식(1), (2)와 같이 변압기에서 유도된 전류와 전압을 구할 수 있다.

$$I_L(t) = \frac{V_s}{L_p}(t-t_0) + I_L(t_0) \quad (1)$$

$$V_D(t) = I_L(t)(R_{sense} + R_{DCM}) \quad (2)$$

그림 4(b)에서 주스위치 Q는 오프 되면서 전도를 멈추고 주스위치 Q를 통하여 흐르던 전류 i_m 은 주스위치 Q의 기생커패시터 C_s 로 흐르면서 에너지를 충전하고, 공진회로를 구성한다. 따라서 수식 (3), (4)와 같이 공진회로의 유도전류, 전압을 계산할 수 있다.

$$I_L(t) = V_s \sqrt{\frac{C_s}{L_p}} \sin a(t-t_1) + I_L(t_1) \cos a(t-t_1) \quad (3)$$

$$V_D(t) = I_L(t) \sqrt{\frac{L_p}{C_s}} \sin a(t-t_1) - V_D(t_1) \cos a(t-t_1) \quad (4)$$

그림 4(c)에서 1차측에 축적된 에너지는 주스위치 Q가 오프되므로 2차측으로 유도되고 유도된 에너지는 2차측 다이오드 D_F 를 온 시키므로 부하로 에너지를 방출하게 된다. 따라서 아래의 수식(5), (6)과 같이 유도 전류와, 전압을 구할 수 있다.

$$I_L(t) = -\frac{nV_{out}}{L_p}(t-t_2) + I_L(t_2) \quad (5)$$

$$V_D(t) = V_D + nV_{out} \quad (6)$$

그림 4(d)에서 2차측으로 전달된 에너지가 부하로 모두 방출 되므로 2차측 다이오드 D_F 는 오프되고, 1차측 주스위치 Q의 기생커패시터 C_s 를 충전시키며, 공진 유도전류, 전압을 형성하면서 스위칭 손실을 저감 시킨다. 수식(7), (8)에서 유도 전류와 전압을 계산할 수 있다.

$$I_L(t) = -nV_{out} \sqrt{\frac{C_D}{L_p}} \sin a(t-t_3) \quad (7)$$

$$V_D(t) = V_D + nV_{out} \cos a(t-t_3) \quad (8)$$

그림 4의 등가회로와 그림 5의 이론파형으로부터 알 수 있듯이 플라이백 컨버터가 전류 불연속으로 동작하는 경우 스위치에 다른 각 상태는 크게 4단계를 거쳐게 된다.

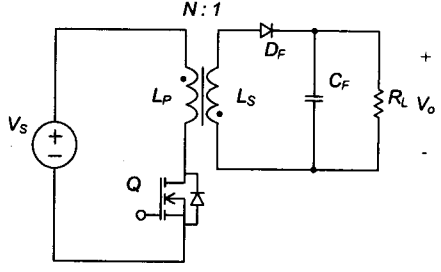


그림 2. 플라이백 DC-DC 컨버터의 기본 회로

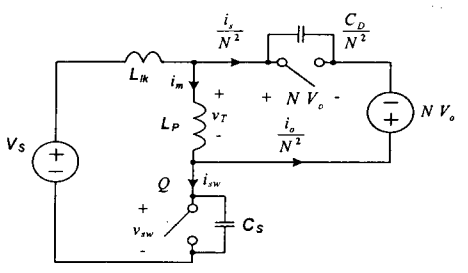


그림 3. 등가회로

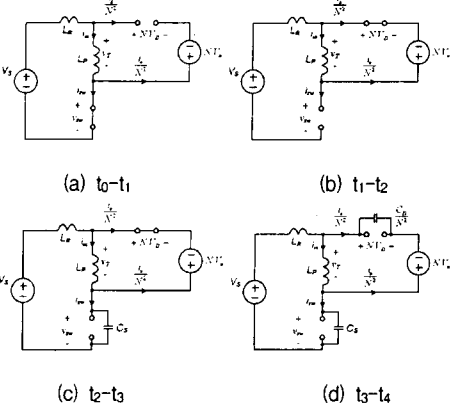


그림 4. 각 상태별 이론 등가 회로

특히 그림 4(d)와 같이 전류불연속 구간에서는 스위치의 전압이 기생요소에 의해서 공진하게 되고 이때 스위치가 다시 턴온이 개시되는 지점에 따라서 스위칭 손실이 변하게 된다. 즉 스위치의 전압과 전류가 공진하는 경우 적절하게 스위칭 시간을 제어하여 스위치에 걸리는 전압이 최소가 되는 시점에서 턴온 하게 되면 스위칭 손실을 최소화 시킬 수 있다. 최근 이러한 스위칭 방식을 'Valley switching' 또는 'Quasi resonant switching' 이라고 알려져 있으며 한 개의 스위치로 소프트 스위칭이 가능한 몇 개 안되는 회로방식이다.

그림 6에는 밸리 스위칭을 적용하였을 경우, 회로의 이론 동작파형을 나타낸 것이다. 그림 6(a)와 같이 주스위치 Q가 오프되면서 전도를 멈추면, 에너지의 부하방출로 인하여 2차측 전도 다이오드 D_F 의 기동과 유도 전류의 감소로 변압기의 자기를 완전히 제거하게 되므로

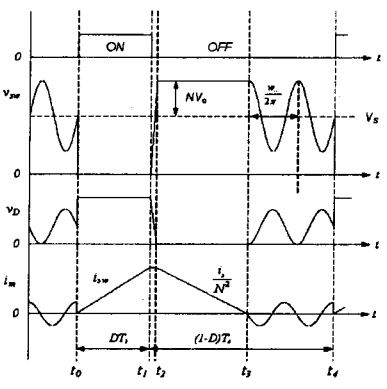
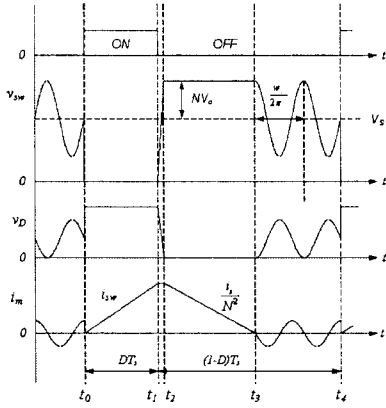
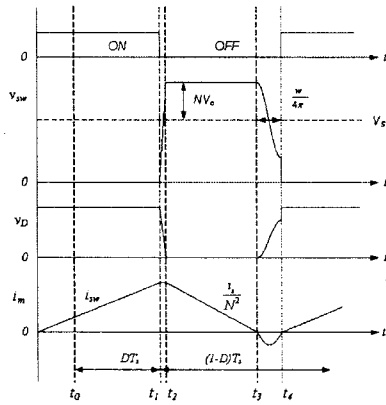


그림 5. 각 상태별 이론 동작 파형



(a) 경부하시 동작 파형



(b) 최대 부하시 동작 파형

그림 6. 벨리 스위칭의 동작 파형

로 2차측 다이오드 D_P 가 오프되는 시점에서 스위칭 손실을 저감시키기 위해 스위치의 입력전압이 가장 낮은 점을 결정하여, 벨리 스위칭으로 동작한다.

그림 6(b)에서 출력 전력이 증가함에 따라서 전류 불연속 구간에서 변압기의 1차측 인덕터 L_P 와 주스위치

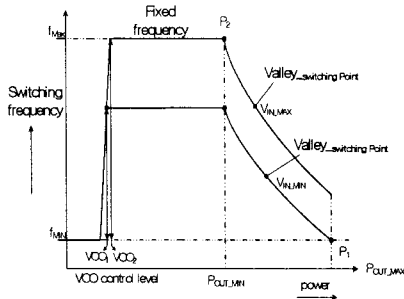


그림 7. 동작 주파수 특성

Q 의 병렬 커패시터 C_S 가 공진 하는 경우, 스위칭전압의 최저점은 $V_i - V_0(N_1/N_2)$ 로 결정할 수 있으며, 입력전압이 일정한 상태에서 출력전압이나, 변압기 권선비가 클수록 최저점은 낮아진다는 것을 알 수 있다. 즉, 스위치

의 입력전압이 최저점에서 턴 온 되면, 전류가 완전히 0으로 떨어진 다음 주스위치 Q 가 스위칭을 함으로 손실이 저감 된다는 것을 알 수 있다. 스위치의 전압이 최저이기 위한 조건은 다음 식(9)와 같다.

$$V_0 \cdot \left(\frac{N_1}{N_2} \right) \geq V_i \quad (9)$$

그림 7은 입력전압과 출력전력에 따른 공진주파수 동작특성을 나타내고 있다. 출력전력이 적고 입력전압이 높을수록 높은 스위칭주파수 동작을 수행하고 출력전력이 높고 입력전압이 적을수록 낮은 스위칭 주파수 동작을 수행하여 출력전압을 제어 하므로 출력과 입력전압에 따라 스위칭 주파수가 제어된다는 것을 알 수 있다. 특히 무부하시에 회로의 대기전력을 저감하고, 효율을 높이기 위해서 스위칭 주파수는 'burst mode'로 동작된다.

4. 실험 결과

공진형 DC-DC 컨버터의 전기적 특성을 검토하고 실용성을 확인하기 위해 표 1과 같은 전기적 사양을 갖는 시험용 전원장치를 구성하였다. PDP 전원은 역률개선을 위한 전단의 PFC단과 시스템 구동에 필요한 전압을 얻기 위한 DC-DC 컨버터들이 있다. 따라서 220V의 교류를 입력으로 평균 전류제어 전용 IC인 L4981A를 이용한 PFC단과 공진형 플라이백 DC-DC 컨버터를 제작하여 2단의 시스템으로 구성하였다. 또한 저전압 입력시의 효율 개선을 위해 PFC 출력 전압을 가변 출력 전압 방식으로 구성하였으며, 서스테인 출력전압은 180V로 설정하였고, 출력전력은 최대 550W급으로 하였다. 그림 8에는 실험에서 사용된 시험회로의 기본 구성방법을 나타낸 것이다.

그림 9에서는 실험회로를 동작시키고, 출력전력에 따른 각 주요소자의 전압과 전류 파형을 보여주고 있다. 그림으로부터 알 수 있듯이 주 스위치 파형으로부터 스위칭 손실이 가장 적은 점에서의 벨리 스위칭 동작을 보여주고 있고, 2차측 다이오드는 1차측의 공진동작 후에 스위칭 된다는 것을 확인할 수 있었다. 주스위치의 드레인-소스 간 전류 파형으로부터 전압이 0으로 떨어진 후 전류가 흐름으로써 그림 5의 이론 파형과 비교적 잘 일치하고 있다는 것을 알 수 있다. 그림 10(a)에서는 실험회로의 전력변환 효율을 측정하여 그래프로 나타내었다. 그림에서 알 수 있듯이 전체적으로 중부하 이상 최대출력까지 93%이상의 고 효율을 나타내고 있다. 이것은 벨리 스위칭에 의한 스위칭 손실의 저감과 최적설계 때문이라고 판단된다. 참

표 1. 실험회로의 설계 사양

Parameter	Value	Unit
Input Voltage Range	90~265	V _{AC}
Output Voltage	180	V _{DC}
Maximum Load Current	3	A
Maximum Power	550	W

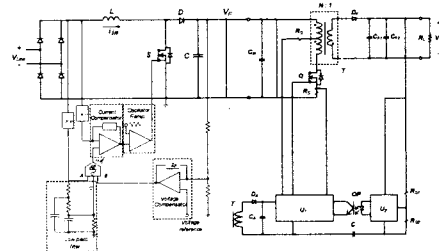


그림 8. 실험 회로

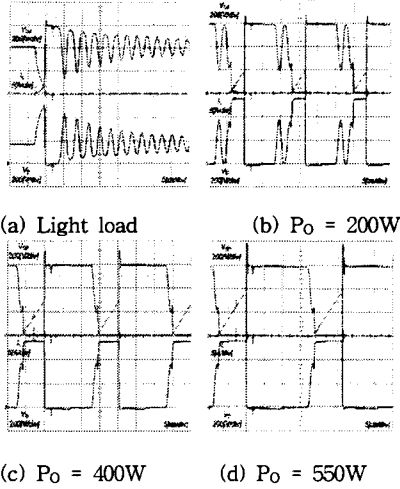
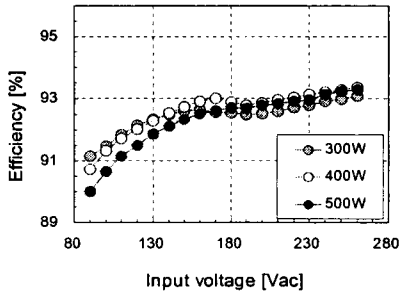
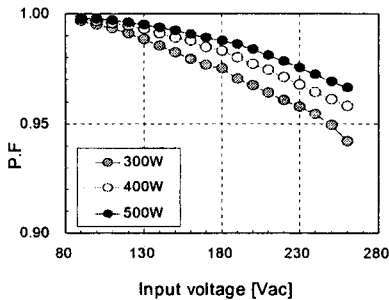


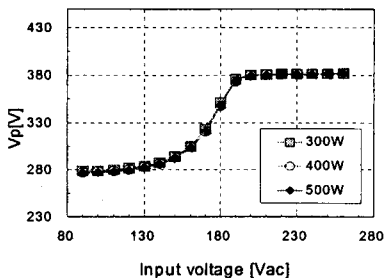
그림 9. 실험 파형



(a) 전력변환 효율



(b) 역률 특성



(c) PFC 출력 전압 특성

그림 10. 실험 측정 결과

고로 그림 10(b)에서는 PFC 입력단의 역률 특성과 그림 10(c)에서는 PFC 회로의 가변 출력전압 특성을 나타내고 있다.

5. 결 론

본 논문에서는 차세대 디스플레이 중에서 넓은 시야각과 우수한 색감, 큰 명암비 등의 장점을 갖추고 있는 AC PDP용 전원장치에 ACM 가변 출력전압방식의 PFC회로와 공진형 플라이백 회로를 적용하여 그 결과를 보고한 것이다. 써스테인 회로의 기본 회로로 사용된 공진형 플라이백 컨버터는 구성 소자수가 적고 제조가격을 낮출 수 있으며 기본적으로 주스위칭 소자가 소프트 스위칭을 하고 있기 때문에 스위칭 손실이 낮아서 전력 변환 효율을 높일 수 있다는 장점이 있다.

특히, 본 논문에서 적용한 써스테인 회로 방식인 공진형 플라이백 컨버터는 스위칭 손실이 가장 작은 지점에서 스위칭 시키는 소위 '밸리 스위칭' 기법을 사용하였으며, 그 결과 550W급 AC-DC 컨버터 시제품에서 최대 93% 이상의 높은 전력변환 효율을 달성할 수 있었다. 또한, 기존의 하드 스위칭 플라이백 회로 방식에 비해서 전압과 전류의 서지가 상대적으로 작아지기 때문에 EMI에 유리할 것으로 판단된다.

본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신 연구센터의 지원에 의한 것입니다.

[참 고 문 헌]

- [1] 주정규, 안태영, "소프트 스위칭 방식의 PDP 용 DC-DC 컨버터", 전력전자 학계학술대회, 제2권 2호, pp. 45-48, 2003, 7.
- [2] Panov Y, Jovanovic M. M, "Adaptive off-time control for variable-frequency, soft-switched flyback converter at light loads", Power Electronics, IEEE Transaction, Vol. 17, pp. 596 - 603, 2002, July.
- [3] Goksu M. S, Alan I, "250W flyback SMPS design for a big size CTV", Consumer Electronics, IEEE Transactions on, Vol. 49, pp. 911 - 916, 2003, Nov.
- [4] Tabisz W. A, Gradzki P. M, Lee F. C. Y, "Zero voltage switched quasi-resonant buck and flyback converters experimental results at 10 MHz", Power Electronics, IEEE Transactions on, Vol.4, pp.194-204, 1989, April.
- [5] Ba-Thunya A. S, Pillai S. K, Prasad D, "Some novel topologies of soft-switched quasi-resonant DC/DC converters with minimum voltage stress across the switch", Industrial Electronics Society, IECON '98, Proceedings of the 24th Annual Conference of the IEEE, Volume:1, 31, Pages:325-330 vol.1, 1998, Aug-4 Sept.
- [6] Nakaoka M, Yu G, Chibani A, Yonemori H, Ueda H, Ogino Y, "Resonant flyback switched-mode DC-DC converters using static induction power devices", Power Electronics and Variable-Speed Drives, Third International Conference on, 13-15, Pages:466-474, 1988, Jul.
- [7] Behera S, Das S. P, Doradla S. R, "Quasi-resonant soft-switching inverter for low and high power factor loads", Electric Power Applications, IEE Proceedings-, Volume: 151, Issue:4, 7, Pages:451-459, 2004, July.
- [8] Inaba C. Y, Konishi Y, Tanimatsu H, Hirachi K, Nakaoka M, Soft switching PWM DC-DC flyback converter with transformer - assisted pulse current regenerative passive resonant snubbers", Power Electronics and Drive Systems, 2003, The Fifth International Conference on, Volume:2, 17-20, Pages:882-887, Vol.2, 2003, Nov.