

감쇄위상변위마스크를 사용하는 메탈레이어 리토그래피공정의 오버레이 보정

이우희*, 이준하**, 이흥주**

*상명대학교 컴퓨터시스템공학과

**상명대학교 정보디스플레이연구소

초록

Problems of overlap errors and sidelobe printing by the design rule reduction in the lithography process using attenuated phase-shifting masks(attPSM) have been serious. Overlap errors and sidelobes can be simultaneously solved by the rule-based correction using scattering bars with the rules extracted from test patterns. Process parameters affecting the attPSM lithography simulation have been determined by the fitting method to the process data. Overlap errors have been solved applying the correction rules to the metal patterns overlapped with contact/via. Moreover, the optimal insertion rule of the scattering bars has made it possible to suppress the sidelobes and to get additional pattern fidelity at the same time.

1. 서론

Metal layer의 사진공정에서 feature size의 감소로 인해 proximity effect과 overlay로 인해 resolution이 저하된다. 이를 해결하기 위해 OPC(optical proximity correction), PSM(phase shift mask) 등의 분해능향상기술(RET, resolution enhancement technology)이 사용된다. PSM기술 중의 attPSM(attenuated phase shift mask)은 metal layer, contact hole에 많이 사용되는 기술로 위상의 반전을 통해 line edge에서의 contrast를 향상시켜 resolution을 향상시킨다. 그리고 OPC는 왜곡된 pattern을 보정하여 문제를 해결한다.

DOF(depth of focus)를 향상시키는 attPSM은 큰 process margin을 확보할 수 있지만, 원하지 않는 pattern이 생성되는 sidelobe와 같은 문제가 발생한다. 이를 방지하기 위해 일반적으로 sidelobe가 발생할 위치에 Cr(Chrome) pattern을 남기므로 해결하였다[1]. 하지만 이 기술은 sidelobe 방지에 많은 시간이 소비된다는 단점을 가지고 있다. 그리고 partial coherence나 NA를 증가시켜서 문제를 해결할 수도 있으나, DOF를 저하시키게된다[2].

Design rule이 작아짐에 따라 proximity effect가 pattern 구현에 영향을 미친다. 그러므로 line-end shortening, line edge marrowing, bridge와 같은 문제가 나타난다. 또 overlay margin

부족으로 인해 overlap error가 발생한다. 따라서 OPC를 이용하여 space margin 부족으로 인해 발생하는 문제를 해결하고 최소한의 overlay margin을 확보하였다[3].

본 논문에서는 attPSM의 단점인 sidelobe현상을 보완하면서 부족한 overlay margin으로 인해 발생하는 contact과 metal layer의 overlap error를 rule-based correction을 통해 효과적으로 해결한다.

2. 실험

Pattern의 미세화는metal layer와 contact의 overlay margin의 부족으로 그림 1과 같이 overlap error를 발생시킨다. 따라서 최소한의 overlay margin을 확보하기 위해 metal과 contact 이 overlap되는 영역의 edge로부터 100nm만큼 확장하였다. 그리고 design rule checking을 통해 space margin이 부족한 영역에 대해 cutting으로 최소한의 margin 확보를 하였다. 그 다음, 그림 2와 같이 cutting으로 인해 발생하는 jog를 제거하기 위한 jog filtering을 하였다.

AttPSM으로 인해 발생하는 sidelobe현상을 방지하기 위해 먼저 test pattern(line dense, elbow, T, T & pad, line & pad dense pad)을 만들어 aerial image simulation을 통해 sidelobe 발생여부를 확인하였다. 그 중의 dense pattern에서는 width가 540nm미만 일 때는 space가 360nm 이하 일 때 sidelobe가 발생하였다. 그리고 width가 540nm이상 일 때는 space가 270nm이상이면 sidelobe는 나타나지 않았다. 또 T자형 pattern에서는 metal pad와 T자형 pattern의 convex corner의 space가 x축으로 200nm이상, y축으로 50nm를 초과하면 sidelobe는 발생하지 않았다. 위와 같이 simulation을 통해 추출한 rule을 rule-based correction에 적용하였다. Sidelobe 및 overlay 보상을 위한 rule-based correction의 전체적인 흐름도를 그림 3에 나타내었다.

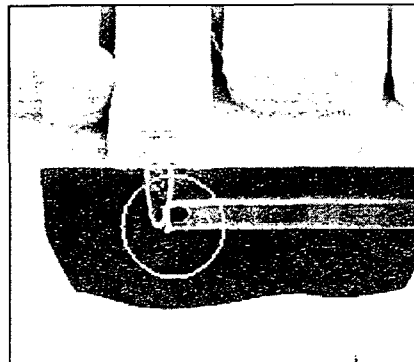


그림 1. 부족한 overlay margin으로 인한 overlap error.

3. 결과

Sidelobe 발생을 방지하기 위해 aerial image simulation을 통해 추출한 rule을 rule-based correction에 적용하므로써 그림 4과 같은 결과를 얻었다. 그림 4(a)는 rule-based correction을 적용하였을 때의 결과이고, 그림 4(b)는 sidelobe simulation을 통해 추출한 rule을 추가적으로 적용하였을 때의 결과이다.

Overlay error 를 방지하기 위한 rule-based correction 만을 적용하였을 때 sidelobe 가 발생하지만 sidelobe 방지를 위한 rule 을 추가적으로 적용하였을 때는, sidelobe 현상을 해결하는 동시에 overlay margin 을 확보할 수 있었다.

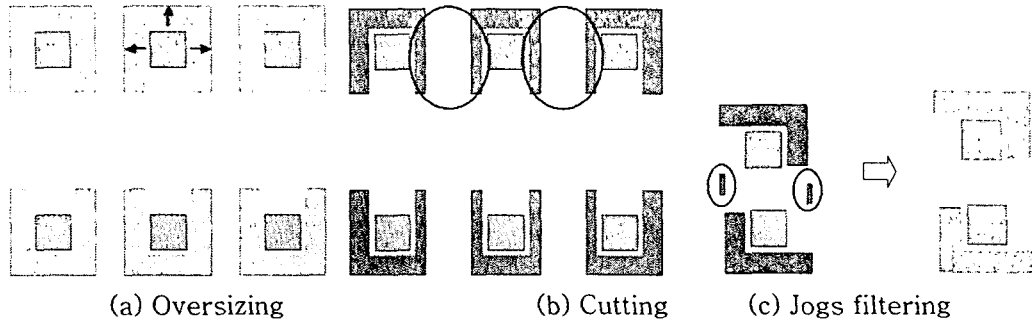


그림 2. overlay margin 확보를 위한 rule-based correction.

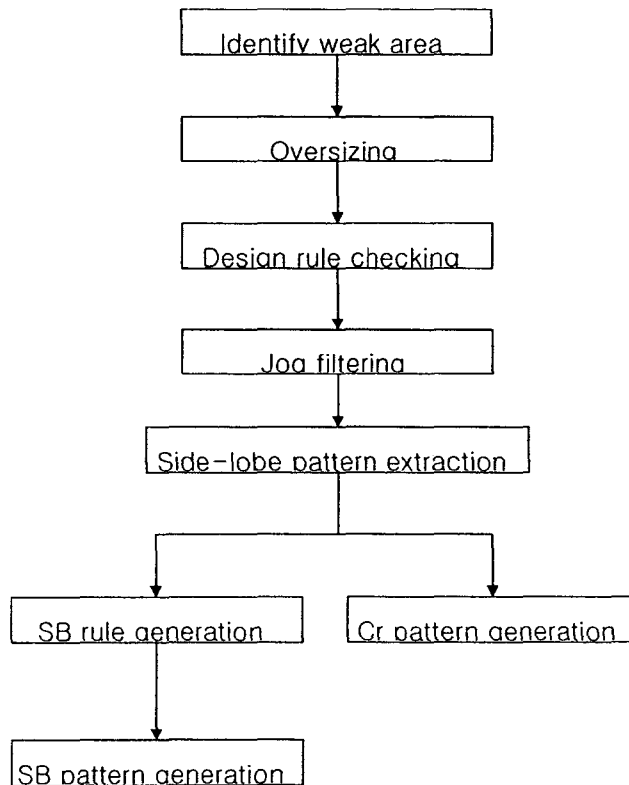


그림 3. Sidelobe 및 overlay 보상을 위한 rule-based correction 흐름도.

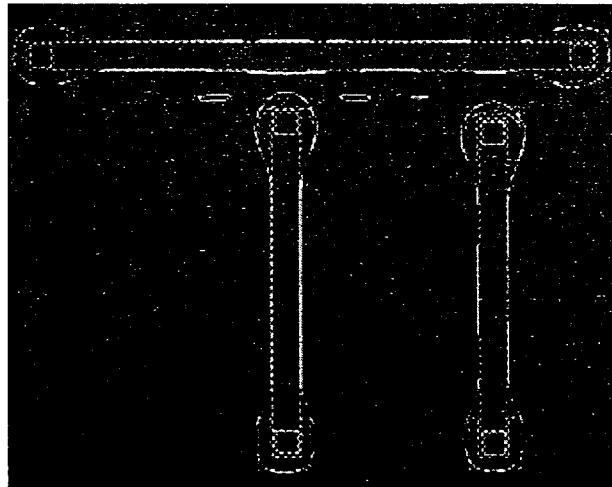


그림 4. Sidelobe 억제를 위한 rule을 적용한 rule-based correction.

4. 결론

Sub-micron이하의 작은 design rule로 인한 metal과 contact layer의 overlay error와 attPSM의 사용으로 나타나는 sidelobe현상을 억제하기 위해 rule-based correction methodology를 제시하였다. Metal layer에 tab의 삽입과 cutting으로 overlay error를 보정하였고, cutting 후 발생하는 jog를 제거하기 위해 jog filter를 사용하였다. 그리고 공정파라미터와 pattern에 따른 aerial image simulation을 수행하여 sidelobe를 억제할 수 있는 rule을 추출하였다.

참고문헌

- [1] Christoph Dolainsky et al., "Simulation based method for sidelobe suppression", Proc. SPIE Vol. 4000, pp. 1156-1162, 2000.
- [2] Zhijian G. Lu et al., "Selection of Attenuated Phase Shift Mask Compatible Contact Hole Resists for KrF Optical Lithography", SPIE Vol. 3678, pp. 923-934, 1999.
- [3] 김동현 외. "0.18 μm 급 이하 System LSI 제품의 메탈 층에 대한 개선된 OPC와 검증 방법", 한국반도체학술대회, pp. 375-376, 2002.
- [4] Ji-Soong Park et al., "A robust and fase OPC approach for metal interconnects of 0.13 μm logic devices", Proc SPIE BACUS Vol. 4256-124, 2001.