HDTV를 위한 Display Bridge

홍종희[0], 임영철, 임진규, 정기훈, 김익환,최재승, 하영호, 서대화
경북대학교 디지털 기술 연구소, LG 전자, 경북대학교 전자공학과
(ilyah@hanmail.net[0])

Display Bridge for HDTV

Jong-Heui Hong[0], Young-Chul Lim, Jin-Kyu Lim, Gi-Hoon Jung,
Ick-Hwan Kim, Jae-Seung Choi, Yeong-Ho Ha, Dae-wha Seo
Digital Technology Research Center Kyungpook National University[0], LG Electronics,
Department of Electronic Engineering Kyungpook National University

요 약

본 논문은 디지털 TV에 접목하는 멀티미디어 부가기능 모듈 내의 영상 출력 처리부 개발에 관한 것이다. 이 영상 출력 처리부는 영상 데이터 처리부로 부터의 저 프레임의 HD 영상 입력을 TV 시스템에서 사용 가능한 60 프레임의 HD 영상으로 출력하는 기능을 수행한다. 이렇게 함으로써 기존 시스템의 영상 처리부에서 60 프레임의 영상 출력을 위해 사용한 프로세서 성능을 제안된 시스템에서는 저 프레임 영상 출력에 해당하는 정도로 줄여줄 수 있으며 이는 시스템의 비용 절감 및 다양한 부가 기능 추가로 연결 되어질 수 있다.

1. 서 론

최근의 전자 제품은 디지털 카메라, 디지털 캠코더, mp3 플레이어, 디지털 TV 와 같은 디지털 제품이 주종을 이루고 있다. 일반적으로 디지털 제품의 장점의 하나로 제품 간의 상호 호환성이 있다는 점을 들고 있으나 현재까지는 여러 가지 이유로 그 장점을 부각시킬 수 있는 제품 간의 인터페이스 모듈의 개발이 미미한 실정이다. 그러나 최근 디지털 제품의 뚜렷한 소비 증가세 및 보급율 증가와 맞물려 이러한 방향으로의 소비자 요구가 증대 되고 있으며 이에 맞춰 이미 여러 곳에서 TV에 장착, 디지털 카메라나 캠코더, mp3 플레이어등의 데이터를 처리하여 고화질, 대형 화면, 음향 시스템을 가진 TV를 통해 보고 들을 수 있게 하는 멀티미디어 부가기능 모듈(이하 멀티미디어 모듈이라 함)을 개발 진행 중이다. 그러나 이러한 멀티미디어 모듈을 개발함에 있어 프로세서가 영상 출력을 담당하는 기존의 방식으로는 고화질의 영상 디스플레이를 위해서는 고성능의 프로세서가 필요하게 되어 소비자들이 HD급이상의 고화질의 영상을 요구하게 될 경우 고성능의 프로세서를 사용하게 되고 이는 다시 제품단가에 반영되어 소비 감소로 이어지는 악순환을 가져오게 된다.

이에 본 논문에서는 멀티미디어 모듈을 개발함에 있어 고 해상도의 영상 처리 및 mp3 파일등 다양한 입력에 대응하기 위해서 고성능의 프로세서를 사용하기 보다는 프로세서의 영상 정보 전송양을 줄여줌으로써 화질 및 음질 저하없이 저성능의 프로세서를 사용 가능토록 하여 mp3 파일 재생 등과 같은 프로세서 작업양이 많이 소요되는 작업들을 처리할 수 있는 방법을 소개하고자 한다.

본 논문에서는 2장에서는 기존 멀티미디어 모듈의 문제점 및 해결 방안을 소개하며, 3장에서는 해결 방안으로 제시한 DBFH 시스템을 기술하고, 4장에서는 DBFH 시스템의 개발을 설명하며, 5장에서는 결론을 맺는다.

2. 기존 멀티미디어 모듈의 문제점 및 제안

일반적인 TV 시스템의 영상 출력은 60 프레임의 규격을 가지고 있다. 즉 TV에 영상을 디스플레이 하기 위해서는 출력 하고자 하는 영상을 초당 60회 공급해주어야 한다. 예를 들어 출력하고자 하는 영상이 1280 x 720p의 해상도를 가진 영상이라고 가정한다면 이를 디스플레이 하기 위해서는 1280 x 720 개의 픽셀정보량을 1초에 60 회 전송하여야 하기 때문에 1280 x 720 x 60 = 55,296,000 의 정보량을 1초 동안 전송 하여야 한다. 물론 여기에 영상 신호 처리를 위한 blanking 구간등을 첨가하여 일반적으로 74,250,000(이하 74.25MHz)의 정보량 전송을 상정하여 구현하고 있다. 여기서 74.25MHz 라는 처리 속도는 현재 상용으로 많이 사용되고 있는 ARM 프로세서를 기준으로 볼 때 저가형 프로세서에 많이 장착되는 ARM7의 처리 속도 78MHz 와 비슷한 수

준이라 할 수 있다. 즉 ARM7과 동급이 내장된 프로세서를 사용하고자 할 경우 영상 정보 전송 작업에 ARM7 코어 성능 대부분을 할당하게 되어 영상 정보 전송 말고는 다른 프로세서 작업을 할 수 없게 되는 상황이 발생하게 된다. 이 때문에 보다 고성능의 프로세서를 사용해야 하며 이는 단가의 상승 및 어플리케이션 대비 단가를 고려해야 하는 상황이 발생하게 된다.

이에 본 논문에서는 해결 방안으로 프로세서의 영상 전송에 대한 작업양을 줄여주기 위하여 저 프레임의 영상 입력을 받아 화질의 저하 없이 TV 시스템으로 60 프레임의 영상 출력을 내는 Display Bridge for HDTV 시스템(이하 **DBFH 시스템**)을 추가할 것을 제안한다.

3. DBFH 시스템

본 논문에서는 메모리카드 내의 정지 영상을 TV로 디스플레이 하고 mp3파일을 재생하는 기능을 구현하였다. TV 시스템에서 메모리카드 내의 정지 영상을 보고 mp3 파일을 재생 할 수 있도록 멀티미디어 모듈을 추가 하고자 할 때의 기존의 구성은 다음과 같다.

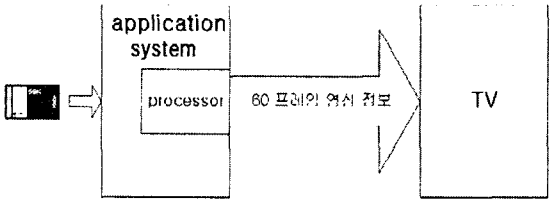

그림 1 기존 멀티미디어 부가기능 모듈의 영상 정보 전송

위 그림에서 응용 시스템이 기존의 멀티미디어 부가 기능 모듈 시스템이 되며 이 시스템은 정지 영상의 해상도에 따라 그에 맞는 양의 영상 정보를 TV에 전송하게 된다. 여기서 전송하는 영상 정보량이라는 것은 정지 영상의 해상도에 60프레임을 곱한 양이 된다. 주지 해야 할 사항은 정지 영상의 해상도가 커짐에 따라 프로세서가 전송하여야 할 영상 정보량도 커지고 이에 비례하여 프로세서의 처리양도 그에 맞춰 증대 되어야 한다는 사실이다.

2장에서 본 바와 같이 1280 x 720p의 해상도를 가진 HD 영상에 대해서 계산된 영상 정보량은 74.25MHz 임을 알고 있고 현재 TV 시스템에서 지원하고 있는 해상도가 1920 x 1080p 의 해상도급이며 최근 디지털 카메라의 제품 출시 해상도가 8M 픽셀임을 감안한다면 전송 되어야 하는 영상 정보량은 수백메가 이상이 될 것이다. 즉, HD급 이상의 영상 정보 처리의 경우 고성능 프로세서의 사용이 필연적이게 되며 이는 구현에 있어서 재료비의 증가를 의미하게 된다. 따라서 본 논문에서는 멀티미디어 부가기능 모듈 내에 다음과 같이 DBFH 시스템을 추가 하여 보다 저 사양의 프로세서를 사용할 수 있도록 하였다.

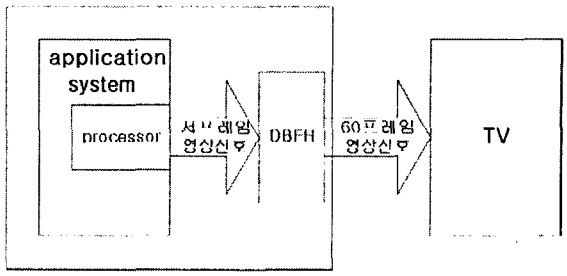

그림 2 DBFH가 추가된 시스템에서 TV로의 영상 정보 전송

위 그림에서 그림1의 기존 시스템에 DBFH를 추가한 형태이며 프로세서는 DBFH시스템으로 저 프레임의 영상정보를 전송하고 DBFH시스템이 TV로 60프레임의 영상정보를 전송하게 하는 구성이다. 이렇게 함으로써 프로세서는 영상 정보 전송에 따른 작업양을 줄일 수 있게 된다.

일반적으로 동영상이 아닌 정지 영상의 디스플레이의 경우 1초에 수 프레임 정도 전송하여도 사용자 시각 측면에서는 무난하며 슬라이드 쇼와 같은 정지 영상의 이동이 필요한 어플리케이션의 경우 움직임을 부드럽게 하기 위해서는 프레임 수를 늘려야 할 경우도 있다.

이를 고려하여 현재 테스트 모델에서는 15 프레임을 DBFH시스템의 입력으로 하여 테스트를 진행하였다.

4. DBFH 시스템의 개발

4.1 개발환경

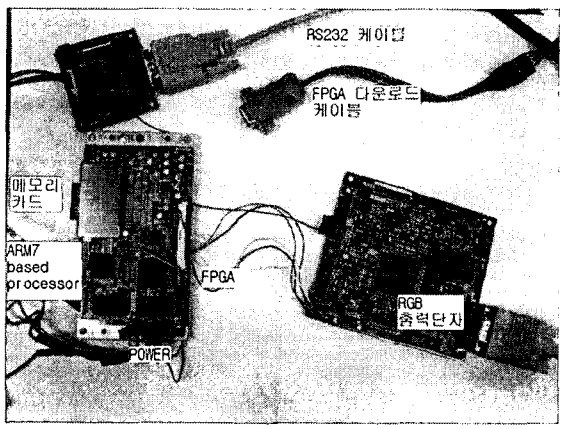

그림 3 개발 환경 구성도

ARM7 코어 및 하드웨어 JPEG 디코더가 내장된 프로세서, DBFH 시스템 로직의 구현을 위한 FPGA, JPEG, mp3 파일이 저장되어 있는 메모리 카드 그리고 영상 출력을 확인 할 수 있는 HD

급(1280 x 720p)의 TV로 개발 환경이 구성 되어 있다

4.2 DBFH 블록

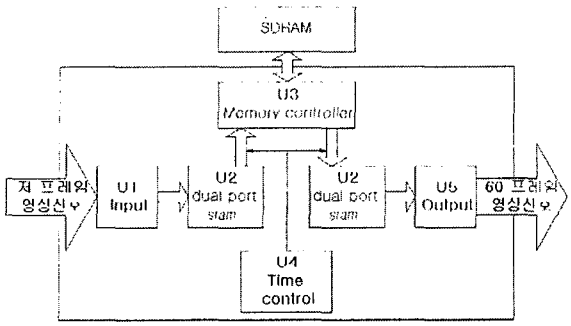

그림 4 DBFH 블록도

4.2.1 DBFH 시스템 입출력

DBFH 시스템은 Y, C 각 8 비트로 HD(1280x720p)급의 영상 정보를 15 프레임 입력 받아 아날로그 R, G, B 각 8 비트로 HD(1280x720p)급의 영상 정보를 60 프레임 출력한다.

4.2.2 U1 Input

입력으로 받은 Y, C 각 8비트의 영상 및 영상 제어 신호(수평 동기 신호, 수직 동기 신호, 유효 데이터 구간 신호, 픽셀 클럭)로부터 유효 영상 검출 후 유효 영상을 Dual Port SRam에 저장하는 기능을 수행 한다.

4.2.3 U2 Dual Port SRam(DPSR)

유효 영상 신호 저장용 내부 버퍼(입 출력에 각각 하나씩 존재)

4.2.4 U3 Memory controller

입력 측 DPSR에 저장된 영상 데이터를 U4 Time control(이하 U4라 함) 블록의 제어에 따라 SDRAM에 저장 한다. 마찬가지로 SDRAM에 저장된 영상 데이터를 U4의 제어에 따라 출력 측 DPSR에 저장 한다.

4.2.5 U4 Time control

SDRAM Refresh, Read , Write 구간을 설정 한다.

4.2.6 U5 Output

출력을 위한 영상 제어 신호를 생성하고 이에 맞추어 출력 측 DPSR로부터 4:2:2 YC 영상 데이터를 읽어온 후 4:4:4 RGB 영상 데이터로 변환하여 출력한다.

4.2.7 신호 흐름

시스템의 최초 입력은 메모리 카드 내부의 정지 영상 및 mp3 화일이며 메모리 카드 내의 정지 영상(JPEG)과 mp3 화일이 최종적으로 TV에 디스플레이 및 재생된다. 정지 영상은 메모리 카드로부터 읽혀지고 디코딩 된 후 DBFH시스템으로 15 프레임이 전송되고 이를 60프레임으로 변환 후 TV로 전송하는 흐름을 가지고 있다.

4.3 실험 결과

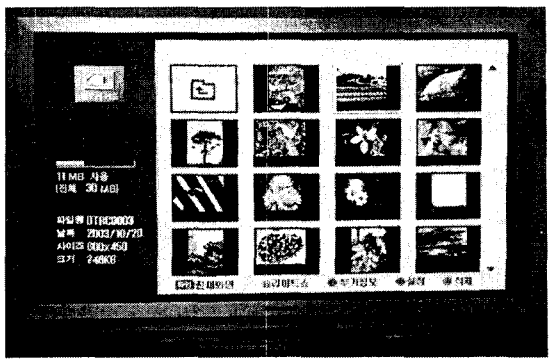

그림 5 출력된 TV 화면

프로세서가 DBFH 시스템으로 15프레임을 전송하였다는 것은, 기존 멀티미디어 모듈 시스템에서의 60 프레임 전송 시 프로세서의 영상 신호 전송에 사용되었던 74.25Mhz의 1/4인 18.56MHz 만이 영상 신호 전송에 사용되었다는 것을 의미하며 이 때문에 프로세서가 영상 신호 전송 외의 mp3 디코딩, 메모리액세스, 통신, UI와 같은 기타 프로세서 작업에서도 무리가 없이 동작하며 TV 출력 영상에서의 화질 저하나 mp3 재생 시 음질의 저하 또한 없음을 확인하였다.

5. 결론

프로세서가 전송하는 영상 정보량은 전송 프레임수를 제한하는 방법을 사용하면 줄일 수 있으며 이는 프로세서의 작업 중 큰 부분을 차지하는 영상 정보 전송에 소요되는 부분을 현저히 줄일 수 있게 하여 mp3 디코딩과 같은 다른 멀티미디어 부가 기능을 구현 하면서도 저가의 프로세서를 사용할 수 있게 하여 전체 시스템의 비용 절감 및 성능 향상 측면에서도 기여하는 바가 크다고 하겠다.

참고 문헌

[1] 김익환, 디지털TV용 멀티미디어 부가기능 모듈의 설계 및 구현, 대한전자공학회학술대회지 2003.11 pp.513-516

[2] Bernard Grob, Basic television and video systems 4th ed, McGrew-Hill Book Company, 1984

[3] EIA-770.3, High Definition TV Analog Component Video Interface, September 1998

[4] Xilinx, Sprtan-3 FPGA family: complete datasheet, DS099 March 4 2004

[5] Atmel, High Performance Digital Image and Video Processor AT76C120, 5654AX-MPIXLY-06/02/04