

FPGA 및 마이크로프로세서를 적용한 무선 컨트롤러 구현

윤성기, 이규선, 강병권
순천향대학교 정보기술공학부

Implementation of Wireless Controller with FPGA and Microprocessor

Sung-Ki Yoon, Kyu-Sun Lee, Byeong-Gwon Kang
Dept. of Information Technology Engineering, Soonchunhyang University

요약

본 논문에서는 FPGA와 마이크로프로세서를 이용하여 One Board화된 무선 컨트롤러 시스템의 기저대역부를 설계 하였다. 송신부에서는 컴퓨터와 연결된 마이크로프로세서부에서 컴퓨터를 통해 입력된 데이터를 병렬로 FPGA부 로 전송하여 PN_code를 이용한 대역확산 거쳐 전송하고, 수신부에서는 대역역확산을 사용하여 데이터를 다시 수신 측 마이크로프로세서를 통해 확인하였다. FPGA 설계는 Xilinx사의 FPGA 디자인 툴인 Xilinx Foundation3.1을 사 용하였으며, FPGA configuration을 위한 타이밍 시뮬레이션을 수행하였고, Xilinx사의 SPARTAN2 2S100PQ208칩 에 downloading 한 후 Agilent사의 1681A logic analyzer를 사용하여 설계된 회로의 동작을 확인 하였다. 또한 테 이터의 입출력을 CPU부를 통해 컴퓨터에서 모니터링 할 수 있도록 설계하였다.

1. 서론

무선 통신 시장은 1990년대 말부터 급속히 팽창하 기 시작했고, 다수의 서비스 공급업체들은 이런 급속 한 팽창을 만족시키기 위하여 디지털 기술을 연구하 기 시작했다. 대역 확산 기술은 고의적인 전파방해에 견디고 적의 도청 방지를 위해 군용 통신으로 오랜 기간 사용되어 왔다. 하지만 최근에 들어 이 대역 확 산 기술은 군용 통신에서 일반적인 상업용 통신까지 확산되었고, 상업용 디지털 셀룰러 및 개인통신 시스 템의 접속 표준으로서 IS-95 CDMA(Code Division Multiple Access) 기술이 등장하기에 이르렀다.

대역 확산 기술은 어떠한 신호의 정보를 전송하기 위하여 필요한 최소 대역폭 이상으로 전송하는 방식 이다. 이는 데이터와 무관한 부호에 의하여 대역확산 이 되고 수신기에서는 그와 동일한 부호를 갖는 수 신기가 역 확산과 데이터 복구를 위해 사용된다. 현 재 근거리 통신기법을 이용한 디지털 통신 제어 시 스템의 수요가 증가하면서, 이에 대한 연구 개발의 필요성 또한 증대되고 있다.

본 논문에서는 FPGA 및 마이크로프로세서를 이용하 여 One Board화하여 무선 컨트롤러를 설계 및 구현 하였다. 대역확산 방식으로는 다른 무선기기와의 간 섭을 줄일 수 있고, 다지점 통신이 가능한 무선 콘트 롤러를 구현하기 위해서 직접확산 스펙트럼 방식을 사용하였다.

본 논문의 구성은 본문에서 먼저 제안한 시스템의 설계구조에 대하여 설명하고, 시스템을 구성하고 있 는 각각의 기능블록에 대한 시뮬레이션 결과와 함께 게이트레벨 변환과 최적화를 위한 VHDL 합성 및 검증에 따른 결과를 제시하고, 마지막으로 제안한 시 스템의 비교, 검토 및 향후 추진내용을 기술하는 것 으로 결론을 맺는다.

2. 본론

본 논문에서 제안한 무선 컨트롤러 시스템은 CPU 와 FPGA 모듈 및 상용 RF Module 로 구성되어 있 다. 그림 1은 전체 시스템 구성도를 보여주고 있다.

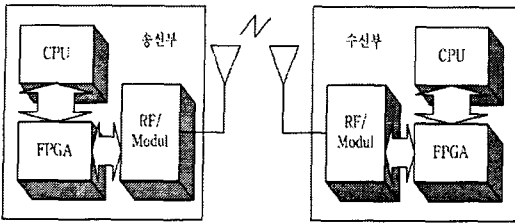


그림 1. 전체 시스템 구성

FPGA구성에 따른 각 기능블록의 설계 및 검증에 대한 기본적인 절차는 그림 2와 같다. 먼저 (Physical Layer)의 각 블록을 VHDL로 설계한 뒤 Xilinx Spartan II 디바이스에 Configuration 하기 위한 타이밍 시뮬레이션 결과를 확인한다.

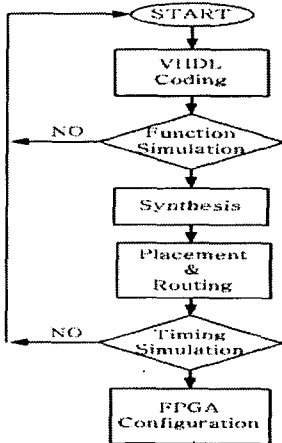


그림 2. FPGA 설계 순서도

1. 송신부(I채널)

I채널 송신부에서는 8비트 PN코드를 발생시키고 발생한 PN코드를 all 0에 곱하여 Q채널에서 생성된 대역확산을 거친 data와 같이 수신부로 송신한다.

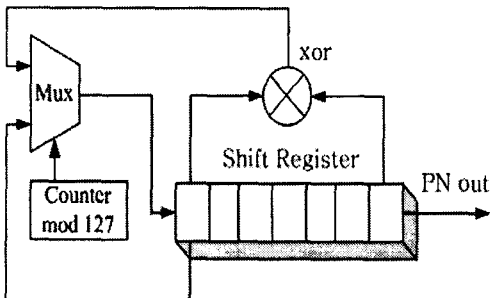


그림 3. PN_code 발생기

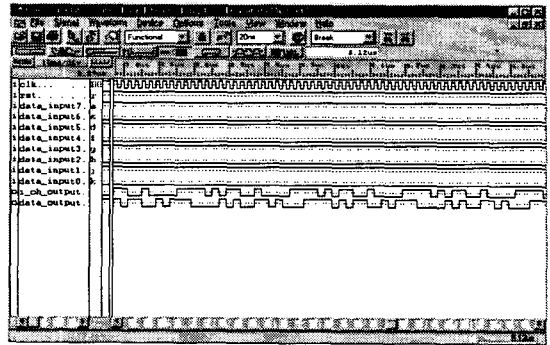


그림 4. 송신부 결과파형

clk는 클럭을 의미하며 여기서는 20nsec이고, 주파수는 50Mhz이다. rst는 reset을 의미하며 data reset을 위한 기능을 한다. data_input()은 입력 data를 의미하며, i_ch_output은 변조과정을 거친 후 I 채널 data를 data_output은 변조과정을 거친 후 Q 채널 data를 의미한다.

2. 수신부(I채널)

I채널 수신부에서는 송신부와 같은 PN코드를 발생시키면서 수신된 I채널 데이터가 수신부에서 발생시킨 PN코드와 동일한 경우 ACQ신호를 발생시키고 이 때 수신된 Q채널 데이터를 복조과정을 거친 후 출력한다.

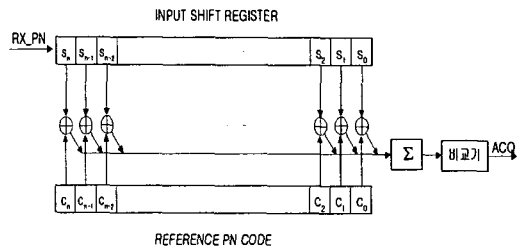


그림 5. ACQ신호 발생

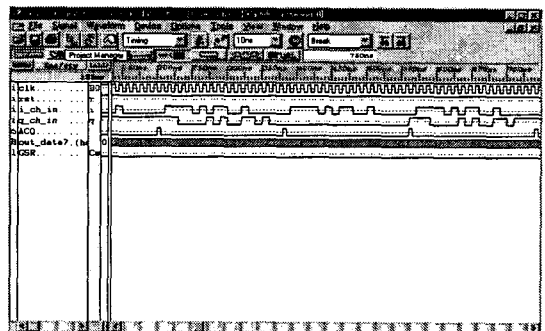


그림 6. 수신부 결과 파형

3. 송신부(Q채널)

Q채널의 송신부에서는 마이크로프로세서로부터 받은 8bit 데이터와 PN코드를 곱하여 대역확산을 거친 후 수신부로 송신한다.

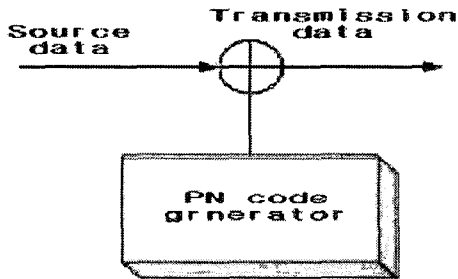


그림 7. 송신부의 FPGA 블록도

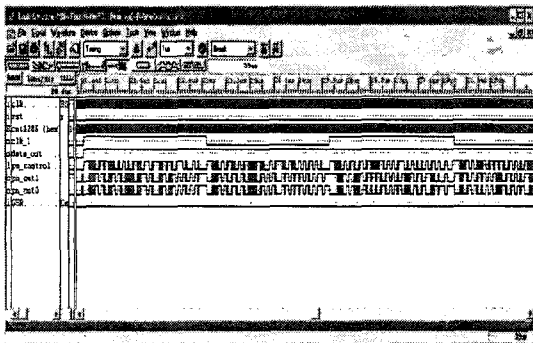


그림 8. 송신부의 대역확산 결과파형

clk는 클럭을 의미하며 여기서는 20nsec이고, 주파수는 50Mhz이다. rst는 reset을 의미하며 data reset을 위한 기능을 한다. data_out은 임의로 발생시킨 data를 의미하며 pn_out0, pn_out1은 각각의 pn 코드가 곱해져서 확산된 데이터이다.

4. 수신부(Q채널)

Q채널의 수신부에서는 확산된 데이터를 받아 I채널로부터 ACQ신호가 확인하여 데이터를 복조한 후 데이터를 마이크로프로세서부로 전송하여 출력한다.

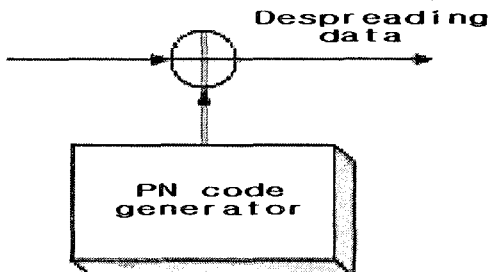


그림 9. 수신부의 FPGA 블록도

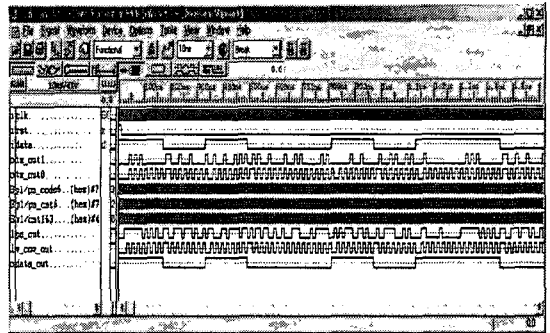


그림 10. 수신부의 역확산 결과파형

clk는 클럭을 의미하며 여기서는 20nsec이고, 주파수는 50Mhz이다. rst는 reset을 의미하며 data reset을 위한 기능을 한다. data는 송신측에서 송신한 data를 의미하며, data_out은 수신된 data를 역확산과정을 거쳐 역확산한 data를 의미한다.

5. 송·수신 FPGA 합성 결과

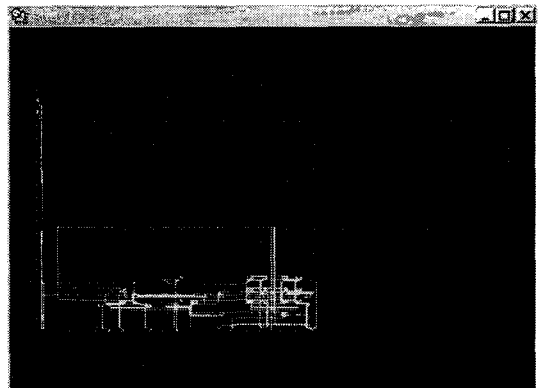


그림 11. 송신부 FPGA 합성

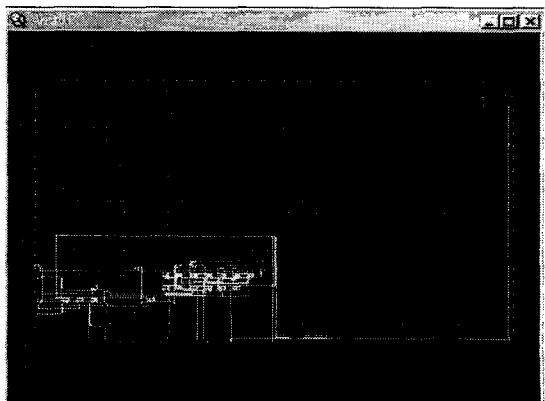


그림 12. 수신부 FPGA 합성

6. 하드웨어 구조

본 실험의 하드웨어 구조는 송수신부 모두 다음 그림 13 하드웨어 블록도와 같이 process부와 FPGA부로 구성되어 있다. process부는 데이터 입출력을 담당하고 있으며 FPGA부는 데이터 처리와 데이터전송을 담당하고 있다.

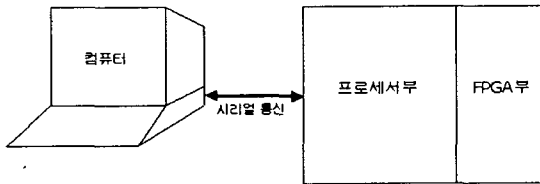


그림13. 하드웨어 블록도

7. 송수신프로그램의 플로우 차트

송수신프로그램의 플로우 차트는 다음 그림 14 과 같다.

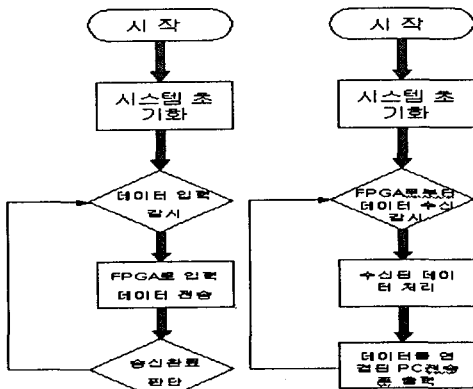


그림 14. 송수신프로그램 플로우 차트

8. 하드웨어 구성도

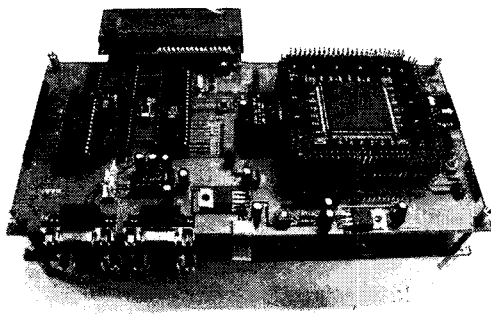


그림 15. One Board된 FPGA 및 마이크로프로세서

2. 결론

FPGA와 마이크로프로세서를 이용 One Board화하여 무선 콘트롤러의 기저대역부를 VHDL언어와 C언어로 구현하였다. 송신부는 크게 FPGA부와 프로세서 부로 구성되어 있으며, FPGA부는 동기를 위한 I 채널과 데이터 변조를 위한 Q 채널로 구성되어 있다. 수신부 역시 FPGA와 프로세서부로 구성되어 있으며, FPGA부는 동기를 위한 I 채널과 데이터 복조를 위한 Q 채널로 구성되어 있다.

송신부 I 채널은 동기 정보 전송용으로 사용하였으며 Q 채널에서는 데이터를 확산코드인 PN코드를 이용하여 대역확산하고 수신부에서는 I 채널을 통해 전송된 동기정보를 코릴레이션한 후 그 결과를 이용하여 Q채널의 동기를 획득하고 Q 채널을 통해 전송되는 확산된 데이터의 수신유무를 결정하였으며, Q 채널을 통해 수신된 데이터는 대역 역확산을 통하여 복구하였다.

이와 같은 동기식 모델을 설계 및 실현함으로써 다중 사용자가 동시에 통신할 수 있는 기본 시스템을 하나의 보드로 성공적으로 구현하였다.

또한, FPGA 설계는 Xilinx사의 FPGA 디자인 툴인 Xilinx Foundation 3.1을 사용하였으며, Xilinx사의 VIRTEX-E XCV1000EHQ240 칩에 다운로드한 후 Agilent사의 1681A logic analyzer를 사용하여 설계된 회로의 동작을 검증하였다.

FPGA에 configuration하기 위한 타이밍 시뮬레이션을 수행함으로써, 추후 ASIC화가 가능함을 확인하였다. 데이터의 입출력에 관한 확인은 프로세서부를 통해 컴퓨터에 모니터링 할 수 있도록 디자인하였다.

전체 시스템에서의 기저대역부를 FPGA를 사용하여 구현함으로써, 추후 재 프로그래밍 또는 파라미터의 변환이나 새로운 블록의 추가가 용이하도록 하였으며, 다른 방식으로의 변환이 가능하도록 하였다. 향후 파형정형을 위한 FIR filter의 블록추가 또는 연접에러의 정정을 위한 블록 인터리빙등으로 시스템 성능을 향상시킬 수 있는 연구가 진행되어야 할 것으로 사료되며, 매우 가까운 거리에서 다중의 사용자가 사용하는 경우에는 상호간의 간섭을 줄이기 위한 RF 출력 레벨에 대한 연구와 함께 충돌 방지 알고리즘에 대한 연구도 병행되어야 할 것으로 사료된다.

[참고 문헌]

- [1] Bernard Sklar, Digital communications, Prentice Hall, 1988.
- [2] Jhon G. Proakis, Digital communication, McGraw- Hill, 1995.
- [3] Jhong Sam Lee, Leonard E. Miller, CDMA system Engineering hand book. Artech House Publishers, 1998.
- [4] Vijay K. Garg, PhD, PE, IS-95 CDMA and cdma2000, 2000
- [5] 김재석, 조용수, 조중휘 공저, 이동통신용 모델의 VLSI설계