

가변형 방송 스위치 구조

정갑중* · 이범철**

*경주대학교, **한국전자통신연구원

Scalable Broadcast Switch Architecture

Gab Joong Jeong* · Bhum-Cheol Lee**

*Kyongju University, **Electronics and Telecommunications Research Institute

E-mail : gjeong@kyongju.ac.kr

요 약

본 연구는 단일 입력 및 다중 출력 크로스바 방식의 스위치 구조에 관한 연구로써 특히 고효율의 방송 기능을 가지는 가변형 방송스위치 구조를 지원한다. 입력 및 출력 버퍼 스위치(input and output buffer switch)에서 중앙 중재기(central arbiter)가 다중 입력포트로부터의 전송 요청(request)을 모아서 모든 입력 포트들이 공유하는 각 출력 포트에서 최대한 많은 전송 허가(grant)를 빠른 시간 내에 결정하고 그 결과를 각 입력 버퍼들에게 고속으로 전달(transmission)하는 기능을 지원하는 스위치 구조에 관한 것으로 특별히 방송 패킷(broadcast packet)을 스위칭함에 있어 높은 처리율(high throughput)을 제공하면서 고속으로 대용량 스위칭(large scale switching) 기능을 제공한다.

ABSTRACT

In this paper, we consider the broadcast switch architecture for high performance multicast packet switching. In input and output buffered switch, we propose a new switch architecture which supports high throughput in broadcast packet switching with switch planes of single input and multiple output crossbars. The proposed switch architecture has a central arbiter that arbitrates requests from plural input ports and generates multiple grant signals to multiple output ports in a packet transmission slot. It provides high speed pipelined arbitration and large scale switching capacity.

키워드

Arbiter, Broadcast Switch, Input and Output Buffer, Switch Fabric

1. 서 론

입력 큐 방식의 패킷 스위치(input queued packet switches)들에 있어서 동일한 출력 포트에 전송되고자 하는 다중의 입력 패킷들이 동시에 서로 다른 입력포트에 도착하였을 때 발생하는 출력 포트 혼잡 문제(output port congestion)를 해결하기 위해 최근 많은 연구들이 이루어지고 있다[1-3]. 출력 포트 경쟁(output port contention)에서 선택되지 못한 입력 패킷들은 목적하는 출력 포트로의 전송이 해당 패킷 전송 슬롯(current packet transmission time slot)에 이루어 지지 못하고 다음 중재시(next arbitration)까지 입력 버퍼(input

buffer)에 저장되어야 하는 입력 큐 스위치에서 입력 버퍼에서는 중앙 중재기(central arbiter)와 입력 패킷 출력을 위한 전송 요청 신호(request signal)와 전송 허가 신호(grant signal)를 서로 전달하기 위한 통신이 필수적으로 필요하다. 이때 입력 버퍼와 중앙 중재기 사이의 요청 신호와 허가 신호의 전송 시간(transmission time)은 고속의 스위치 시스템에서 더욱 성능 저하를 발생시킬 수 있으나 파이프라인 방식(pipelined)의 요청 신호 및 허가 신호 관리 방법으로 성능개선을 이루어 내는 방법이 연구되었다[4].

본 연구에서는 고속의 입출력 버퍼를 가지는 셀프 라우팅 스위치 시스템(self-routing switch sys-

tem)에서 필연적으로 요구되는 방송 패킷(broadcast packet)의 효과적인 중재 문제(arbitration problem) 및 스위치의 고 처리용량 지원 문제를 해결하기 위한 것으로 고속으로 동작하는 파이프라인 방식(pipelined)의 스위치 구조를 제안한다. 본 연구에서 고안된 모든 방식은 단위 데이터 패킷(unit data packet) 처리 시간(processing time)을 기준으로 하여 동작할 수 있으며 각 단위별 파이프라인(pipeline) 방식의 동작으로 인하여 대용량의 전송 요청 신호를 처리할 수 있게 하기 위한 것이며 각 방식들은 각 블록에서 발생하는 중재지연(arbitration latency)을 감내(tolerant)하는 구조로 되어 있으면서도 방송스위치의 고 처리율(high through)을 지원하는 구조로 되어있다.

II. 가변형 방송 스위치 구조

그림 1은 기존 기술에 따른 전송 요청(request)과 중앙중재(central arbitration) 및 허가(Grant)가 매 단위 데이터 패킷(unit data packet) 처리시(processing time)마다 이루어져야 하는 스위치 구조를 나타낸 것이다. 여기서 하나의 입력포트의 데이터 패킷이 여러 목적 출력포트를 가지는 방송용 패킷(broadcast packet)일 때 각 입력버퍼에서 매 시간 슬롯마다 방송용 패킷을 해당 목적 출력포트로 전송하기 위하여 요청신호를 발생하여야 한다. 그리고 해당 목적 출력포트로의 전송허가가 주어졌을 때마다 같은 방송 패킷을 입력버퍼에서 전송하여야 하기 때문에 방송패킷을 중재 및 전송시에 방송 패킷이 아닌 단일 목적 출력포트를 가지는 패킷(unicast packet)들의 전송 기회는 떨어지게 되어 전체 스위치의 높은 패킷 처리율을 유지하는 데 한계가 있다.

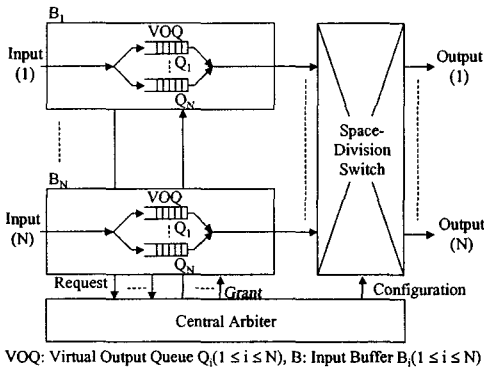


그림 1. 기존의 입력 버퍼 스위치 시스템

본 연구에서 이루고자 하는 기술적 과제는, 방송 패킷(broadcast packet)의 전송시 입력포트에서 동

일한 패킷을 반복적으로 모든 목적 출력포트로 재 전송하는 문제와 중앙 중재기에서 모든 방송 패킷을 연속적으로 재 중재하여야 하는 문제를 해결하여 방송 패킷을 원활히 전송하면서 단일 전송 패킷(unicast packet)을 전송하는 전송효율을 크게 떨어뜨리지 않는 높은 처리율을 지원하고 단일입력 및 다중출력 크로스바 방식에서 필요로 하는 고성능 중앙 중재기의 구현성을 높이는, 크로스바 방식의 방송 스위치를 제공하는 것이다.

위와 같은 기술적 과제를 달성하기 위하여 본 연구에서의 크로스바 방식의 방송 스위치는, 입력 포트에 매칭되며, 유니캐스트 및 멀티캐스트 데이터를 일시 저장하고, 상기 유니캐스트 및 멀티캐스트 데이터를 목적하는 출력포트 별로 전송하기 위한 중재요청을 하고, 중재요청이 수행된 패킷 데이터에 대한 정보를 저장 및 관리하는 적어도 하나의 입력버퍼와 상기 적어도 하나의 입력버퍼로부터 중재요청 신호를 받아 그 요청 정보를 저장 및 관리하며, 중재 요청에 따라 중재를 수행하는 중앙 중재기와 상기 입력버퍼로부터 데이터를 전송받아 상기 중앙 중재기의 중재결과정보를 받아 이에 따라 스위칭을 수행하며, 적어도 둘 이상의 크로스바 스위치를 포함하는 크로스바스위치부 및 상기 크로스바 스위치부의 크로스바 스위치 각각에 매칭되어 출력된 패킷 데이터를 크로스바 스위치 별로 저장하고 관리하는 출력버퍼들로 이루어진 출력버퍼부를 포함함을 특징으로 한다. 그림 2에 본 연구에서 개발한 새로운 방송 스위치의 구조를 나타내었다.

입력버퍼(ingress buffer)는 하나의 소스로부터 하나의 목적지로 전송되는 데이터 패킷을 큐잉하는 유니캐스트 큐(unicast queue)와 하나의 소스로부터 다수의 목적지로 전송되는 데이터 패킷을 큐잉하는 멀티캐스트 큐(multicast queue)와 상기 유니캐스트 큐 및 멀티캐스트 큐의 데이터를 전송하기 위해 중재요청신호를 생성하고 저장하는 요청 FIFO버퍼(request FIFO buffer) 및 상기 유니캐스트 큐 및 멀티캐스트 큐의 패킷 데이터의 중재요청에 관한 정보를 상기 요청FIFO버퍼로 스케줄링하는 스케줄러(scheduler)를 포함한다.

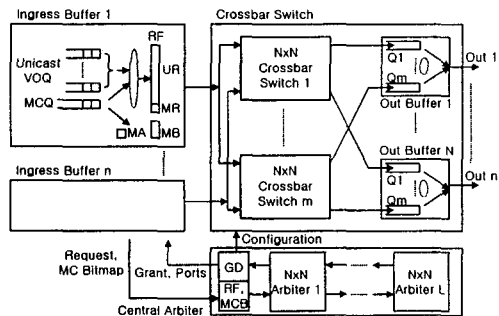


그림 2. 가변형 방송 스위치의 구조

유니캐스트 및 멀티캐스트 중재요청신호 생성은 상기 유니캐스트 큐 및 멀티캐스트 큐에 대기 패킷이 존재하면서 해당 요청FIFO버퍼의 첫 엘리먼트(head element)가 유효요청이 아닐 때에만 중재요청신호가 발생되고, 상기 유니 캐스트 큐의 가상 출력큐에 대한 중재요청신호가 발생했을 때에만 해당 요청FIFO버퍼의 내용을 쉬프트시키면서 FIFO의 마지막 엘리먼트(tail element) 위치에 유효 요청 신호를 저장하면서 해당 유니캐스트의 가상 출력 큐의 길이를 감소시킨다.

입력버퍼는 멀티캐스트 패킷의 주소를 저장하는 멀티캐스트 패킷주소 FIFO 버퍼(MA) 및 전송하고자 하는 멀티캐스트 패킷의 멀티캐스트 비트맵을 저장하는 멀티캐스트 비트맵 FIFO 버퍼(MB)를 더 구비하고, 멀티캐스트 큐에 대한 요청신호(MR)가 발생했을 때에만 해당 패킷의 주소를 멀티캐스트 큐로부터 읽어내고 그 주소를 이용하여 멀티캐스트 비트맵을 버퍼 메모리로부터 읽어 내어 해당 멀티캐스트 패킷주소 FIFO 버퍼와 멀티캐스트 비트맵 FIFO 버퍼의 기존 내용을 쉬프트시키면서 상기 멀티캐스트 패킷 주소 FIFO버퍼와 멀티캐스트 비트맵 FIFO버퍼의 마지막 엘리먼트(tail element) 위치에 저장한다.

상기 입력버퍼가 상기 중앙 중재기(central arbiter)로부터 전송 받은 유니캐스트 패킷에 대한 허가신호 및 출력 큐들에 대한 허가신호 처리는 허가신호가 유효로 전송된 유니캐스트 패킷에 대한 것인 경우, 유니캐스트 큐의 요청FIFO버퍼에 대기중인 유효요청들 중에서 가장 앞에 위치한 유효요청을 소거하고 유니캐스트 큐로부터 읽어낸 출력 패킷의 주소를 이용하여 패킷 버퍼 메모리로부터 출력 패킷 데이터를 읽어 크로스바 스위치로 전송하고, 전송된 패킷이 패킷 버퍼 메모리에 있던 주소 값은 유틸 패킷 주소 큐에 복귀한다.

입력 버퍼가 중앙 중재기로부터 전송받은 멀티캐스트 패킷에 대한 허가신호 및 출력 큐들에 대한 허가신호 처리와 멀티캐스트 비트맵 및 멀티캐스트 패킷주소 FIFO 버퍼의 관리는 요청FIFO버퍼에 대기중인 멀티캐스트 유효 요청들 중에서 가장 앞에 위치한 유효요청의 위치를 찾아내고 멀티캐스트 패킷의 멀티캐스트 비트맵 FIFO버퍼에서 해당 위치의 멀티캐스트 비트맵 중 현재 다중 출력 허가된 출력포트들의 비트맵을 소거하며, 멀티캐스트 패킷주소 FIFO에서 해당 출력 멀티캐스트 패킷의 주소를 이용하여 패킷데이터를 읽어 크로스바 스위치로 전송하고 해당 멀티캐스트 비트맵의 모든 비트가 소거되면 해당 유효 멀티캐스트 요청신호를 요청FIFO버퍼에서 소거하며 전송된 멀티캐스트 패킷이 패킷 버퍼 메모리에 있던 주소 값은 유틸 패킷 주소 큐에 복귀한다.

중앙 중재기는 상기 입력버퍼의 요청FIFO버퍼와 연결되어, 상기 유니캐스트 큐 및 멀티캐스트 큐의 데이터를 전송하기 위해 중재요청신호를 저장하는 요청FIFO버퍼(RF)와 멀티캐스트 데이터의 출력포트 정보를 비트맵형태로 저장하는 멀티캐스

트 비트맵FIFO버퍼(MCB) 및 상기 요청FIFO 버퍼 및 멀티캐스트 비트맵 FIFO버퍼로부터의 요청신호를 입력으로 받아 허가신호를 발생하며, 파이프라인형태로 연결된 다수의 중재기를 포함하는 중재 로직부를 포함한다.

중재 로직부는 각 중재 로직의 중재 결과가 유니캐스트 패킷의 허가인 경우 해당 입력버퍼의 허가 정보를 다음 단 중재기로 순방향 전송하며, 멀티캐스트 패킷의 허가인 경우 허가 정보와 함께 해당 멀티캐스트 비트맵에서 해당 비트를 소거하여 다음 단 중재기로 멀티캐스트 비트맵을 순방향 전송하며 병렬 중재기의 중재결과를 전단 중재기로 역방향 전송한다.

크로스바 스위치부는 N입력 포트와 N출력 포트를 가지며, 병렬연결된 적어도 둘 이상의 NxN 크로스바 스위치로 이루어지고, 상기 각 크로스바 스위치의 입력 포트간 연결은 스위치 칩 또는 시스템 내부에서 병렬버스로 연결되며 상기 개별 크로스바 스위치는 동기화 되어 동작한다. 출력 버퍼는 단일 크로스바스위치에 대한 버퍼 메모리를 독립적으로 가지며 버퍼의 상태 정보를 상기 중앙 중재기로 전달하여 상기 중앙 중재기가 독립된 출력버퍼의 여유 도를 중재 시 고려하여 해당 출력포트에 연결된 크로스바 스위치의 우선적 경로 할당 순위를 결정한다.

III. 구조적 특성 및 고찰

위와 같은 방법으로 종래의 입력 버퍼 스위치 시스템에서 해결하기 어려운 방송 패킷 지원 문제를 해결하고 스위치의 고 처리율을 지원함으로써 방송 서비스에 원활히 대처할 수 있으며 병렬 중재기를 이용하고 파이프라인 방식을 이용한 고속 동작을 지원함으로써 대용량의 스위치를 적은 비용으로 설계할 수 있으며 다음과 같은 특유한 효과를 갖는다.

첫째, 많은 입력 버퍼(plural input buffer)들로부터 중앙 중재기로의 유니캐스트 패킷(unicast packet)과 멀티캐스트 패킷(multicast packet)의 전송 요청(transmission request) 신호를 동시에 함께 중재할 수 있으며 중재 시 타 입력 버퍼들 간에 출력포트 할당에 있어 충돌(conflict)이 발생하지 않는 독립적인 중재가 가능하다. 둘째, 하나의 방송 패킷(broad/multicast packet)에 대해 다중으로 출력포트 할당이 가능하여 스위치의 고 처리율(high throughput)을 유지하면서 원활한 방송 패킷의 전송이 가능하다. 셋째, 다중의 크로스바 스위치(multiple crossbar switch)를 동시에 중재하여야 하는 중앙 중재기(arbiter)의 중재 방법(arbitration method)을 다중의 중재기(multiple arbiter module)을 이용한 병렬 중재(parallel arbitration)를 함으로써 스위치의 크기가 커지더라도 고속의 중재기 설계(scalable high-speed arbiter design)가 가능하다.

IV. 결 론

본 연구에서는 입력포트에 매칭되며, 유니 캐스트 및 멀티캐스트 데이터를 일시 저장하고, 유니 캐스트 및 멀티캐스트 데이터를 목적하는 출력포트 별로 전송하기위한 중재요청을 하고, 중재요청이 수행된 패킷 데이터에 대한 정보를 저장 및 관리하는 적어도 하나의 입력버퍼와 이러한 적어도 하나의 입력버퍼로부터 중재요청 신호를 받아 그 요청 정보를 저장 및 관리하며, 중재 요청에 따라 중재를 수행하는 중앙 중재기와 입력버퍼로부터 데이터를 전송 받아 중앙 중재기의 중재 결과 정보를 받아 이에 따라 스위칭을 수행하며, 적어도 둘 이상의 크로스바 스위치를 포함하는 크로스바 스위치부와 상기 크로스바 스위치부의 크로스바 스위치 각각에 매칭되어 출력된 패킷 데이터를 크로스바 스위치 별로 저장하고 관리하는 출력 버퍼들로 이루어진 출력 버퍼부를 포함함을 특징으로 하는 단일 입력 및 다중 출력 크로스바 방식의 대용량 방송스위치 구조를 연구하고 중재 데이터 처리 방법을 연구하였다.

참고문헌

- [1] S. Iyer, N. McKewon, "Making parallel packet switches practical," in Proc. IEEE INFOCOM2001, pp 1680-1687.
- [2] M. J. Carol, M. G. Hluchyj, and S. P. Morgan, "Input versus output queuing on a space-division packet switch," IEEE Trans. Commun., vol. COM-35, no. 12, pp.1347-1356, Dec. 1987.
- [3] R. O. LaMaire and D. N. Serpanos, "Two-dimensional round-robin schedulers for packet switches with multiple input queues," IEEE/ACM Trans. Networking, vol. 2, no. 5, pp. 471-482, 1994
- [4] G. J. Jeong, J. H. Lee, and B. C. Lee, "Design of pipelined routing engine for input-queued ATM switches," Electron. Lett., vol. 37, no. 2, pp. 137-138, Jan. 2001.