

Softcore Processor를 이용한 부하 예측 엘리베이터 퍼지속도패턴의 SoC 설계

SoC Design of Elevator Fuzzy Speed Pattern by Load Prediction used Softcore Processor

황재명, 김형권, 안태천
원광대학교 전기, 전자 및 정보 공학부

Jae-Myoung Hwang, Hyoung-Kwan Kim, Tae-Chon Ahn
Electrical, Electronic and Information Engineering Wonkwang Univ
E-mail : tcahn@wonkwang.ac.kr

요 약

본 논문에서는 시간과 부하의 변화에 따라 편안한 승차감과 빠른 속도를 가질수 있도록 다양한 속도 패턴을 제공하는 퍼지 알고리즘을 실제 공정에 적용할 수 있도록 SoC Design을 하였다. 운송 속도와 승차감은 엘리베이터 속도 패턴을 결정하기 위한 두개의 중요한 요소이며, 본 논문에서는 운송능력을 향상 시키기 위해 교통량 변화에 맞춰서 저크를 조정하였다. 여기에서 구현된 퍼지 추론 시스템은 2개의 입력 변수와 1개의 출력을 가진 시스템이다. 전반부는 교통량의 변화를 나타내며, 시간 입력에 대해서 사다리꼴 형태의 소속함수를 사용하였다. 후반부는 입력에 대응되는 속도 패턴으로써, 싱글톤이 후반부에 적용되었다. 본 논문에서 구현 Tool 로는 SoC 설계를 사용하였다. SoC 설계는 현재 그 확장성과 유연성에 뛰어난 장점을 지니고 있으며, 제안된 알고리즘을 모듈로 설계하여 프로그래밍과 실행 사이클을 단축시키는 효과가 있다.

1. 서 론

System on Chip(SoC)은 전체 시스템을 칩 하나에 집적 하는것을 뜻한다.

즉 연산, 신호 처리, 저장등의 기능을 하나의 칩에 집적 하는 기술을 의미하는 것으로서 시스템에 소요되는 여러 가지 하드웨어 모듈을 HDL 언어로 기술 이를 합성 하여 PLD에 집적 시키는 것이다.

모든 부품 기능을 하나의 칩에 집적하는 SoC 기술은 고성능, 저비용, 소형화로 집약되는 첨단 디지털시대의 핵심 부품기술, 시스템 설계 기술로 떠오르고 있다. 이러한 SoC의 첨단 기술을 엘리베이터에 적용함으로써 SoC의 장점인 공간의 축소화, 고성능, 저비용, 저전력의 특성을 이용하여 기존의 엘리베이터 제어 모듈

을 단순히 집적하는것에서 벗어나 새로운 지능형 엘리베이터를 선 보임으로서 이는 새로운 IP 창출 및 재사용이 가능한 IP 생산 기술 연구에 기여하게 된다. 또한 Softcore Processor를 사용하므로 기존의 프로세서와는 다른 뛰어난 이식성과 유연성 그리고 확장성을 가지게 된다.

현재 쓰이고 있는 대부분의 엘리베이터의 속도 패턴은 일정한 가감속 속도 패턴에 따른 시간 간격과 감속위치를 정해두고 일정한 저크를 이용하여 만들어지는 속도 패턴에 따라서 일률적으로 움직이도록 속도패턴 부분의 제어가 설계되어있다. 이러한 일정한 속도 패턴은 안락한 승차감을 보장 할 수는 있으나 일률적이고 한정된 량의 부하를 처리한다.

이러한 엘리베이터 시스템에 부하의 변화에 따른 각각의 속도 패턴 발생에 퍼지 이론을 추가하여

부하의 양에 따라 서로 다른 속도 패턴을 발생함으로써 승객의 승차감에 최대한 유지하면서 엘리베이터의 이동 속도를 증가시켜서 궁극적으로는 승객의 편의의 증대에 목표를 두고 본 논문을 제안하였다.

2. 제안된 엘리베이터 시스템의 구성

엘리베이터의 이동에 직접적인 요소는 제어기와 인버터 그리고 유도 전동기이다. PLC는 엘리베이터 시스템의 모든 안전과 운영을 조절하는 두뇌인 제어기 역할을 하게 된다. 인버터는 보통 3상의 전압을 조절하기 위해서 쓰이는데 유도 전동기의 구동을 관여하는 장치로써 보통 벡터 제어에 의하여 유도 전동기를 구동시킨다. 또한 비상정지나 과전류, 과속에 대한 방지 장치가 내장되어 있어 엘리베이터의 동작과 안전을 책임지는 중요한 부분을 차지한다. 케이지를 움직이는 권양기는 유도 전동기와 조속기 그리고 브레이크등을 포함한 부분이다. 엘리베이터의 속도 패턴의 제어를 위해서 유도 전동기 측에 엔코더를 사용하여 PLC로 이 값을 읽어 정확한 위치제어를 위해서 사용된다.

본 논문을 위해서는 기존의 엘리베이터 장치에 모터 측에 부착되는 엔코더와 부하의 변화를 전기적인 신호로 바꾸어 출력하는 부하측정기가 필요하다. 본 논문에서 제안된 엘리베이터 시스템은 고정된 패턴의 엘리베이터 속도 패턴에 부하와 시간에 대한 두 가지 변수를 제안된 퍼지 알고리즘으로 처리하여 엘리베이터 속도 패턴을 가변 시킴으로써 승객에게는 더욱 안락한 승차감과 시간에 따른 운송 능력의 증가를 목적으로 제안되었다. 그에 따른 알고리즘을 SoPC를 이용하여 구현하였다.

2.1.1 제안된 시스템의 퍼지 추론 시스템

기존의 엘리베이터는 일률적인 속도로 운행되어 왔다. 하지만 현재 사회에서 밀집된 사회 생활로 인해서 많은 유동성을 가지고 활동을 하게 된다, 그러한 유동성의 해결을 위해서 새로운 엘리베이터의 운행 기술을 설계하고자 한다.

퍼지 규칙을 만들기 위해서는 두개의 입력 변수와 하나의 출력변수를 가진 퍼지 규칙을 사용하여 저크 값을 만들어 내고자 한다.

입력 변수는 부하와 부하 집중 시간에 대하여 멤버십을 정하였다. 먼저 부하에 대해서는 0인 경우를 제외하고 적을때와 클때를 나누었으며 부하가 밀리는 시간대는 7개의 사다리꼴 멤버십 함

수로 나누어 분리하였다.

2.1.2 엘리베이터 속도 패턴

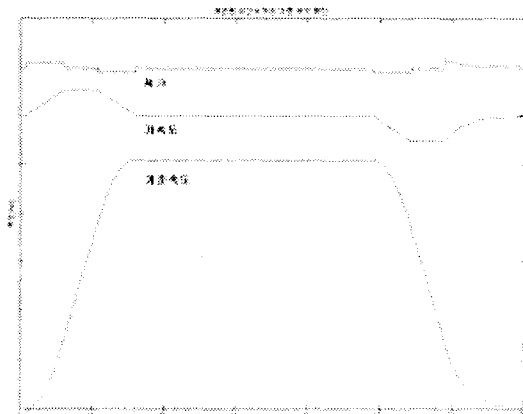
엘리베이터의 기존의 속도 패턴은 다음 3가지와 같다.

- ①시간기준 속도패턴(Time-based Velocity Pattern)
- ②시간기준 속도패턴(Time-based Velocity Pattern)과 거리기준 속도패턴(Distance-based Velocity Pattern)의 조합 방법[2][3]
- ③개선된 시간기준 속도패턴(Time-based Velocity Pattern)과 거리기준 속도패턴(Distance-based Velocity Pattern)의 조합 방법[1]

각각의 속도 패턴 발생의 방법은 여러 가지의 특징을 지니고 있다. 1번째와 2번째의 속도패턴은 초기의 설정이 필요로 하는 수동적인 속도패턴인 반면 3번째의 속도패턴은 하나의 설정으로 어떠한 상황에서도 속도 패턴을 만들어 주는 능동적인 속도패턴 발생을 가진다. 본 논문에서는 3번째로 언급된 개선된 시간기준 속도 패턴과 거리기준 속도패턴을 사용하여서 진행하고자 한다.

2.1.3 개선된 속도 전환 패턴

앞에서 보아온 속도 패턴은 정지시의 부드러움을 고려하지 않은 거와 속도 전환시 변속 충격을 고려하지 않은 속도 패턴을 보았다. 정지동작의 부드러움과 변속 충격을 고려한 속도 패턴은 속도의 연속성을 고려하여서 설계하였다. 그림 1에서 보여지는 패턴이 개선된 속도 패턴이다.

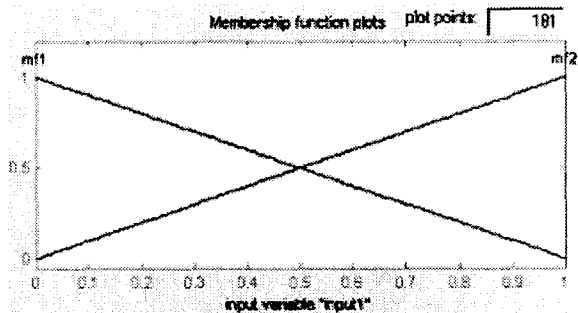


[그림 1] 개선된 속도 패턴

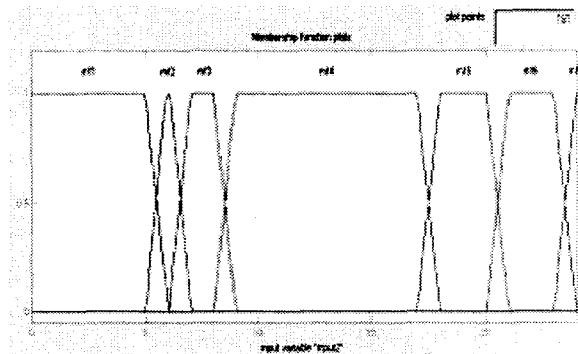
패턴의 생성을 위한 변수는 감속 시작 지점의 위치와 목표 거리 그리고 현재의 속도를 읽어 들이는 속도 측정기만 있으면 그림과 같은 속도 패턴을 만들어 낼수 있다. 개선된 속도 패턴의 특징은 단지 감속 시작 위치와 목표 이동 거리만 정해지면 자동적으로 연속적인 속도 패턴을 구현할 수 있는 능동적인 방법이다.

2.1.4 퍼지 이론에 의한 멤버십 값과 저크의 결정
 퍼지 규칙을 만들기 위해서는 두개의 입력 변수와 하나의 출력변수를 가진 퍼지 규칙을 사용하여 저크 값을 만들어 내고자 한다.

입력 변수는 부하와 부하 집중 시간에 대하여 멤버십을 정하였다. 먼저 부하에 대해서는 0인 경우를 제외하고 적을때와 클때를 나누었으며 부하가 밀리는 시간대는 7개의 사다리꼴 멤버십 함수로 나누어 분리하였다. 각각의 멤버십을 아래의 그림에 표현 하였다.



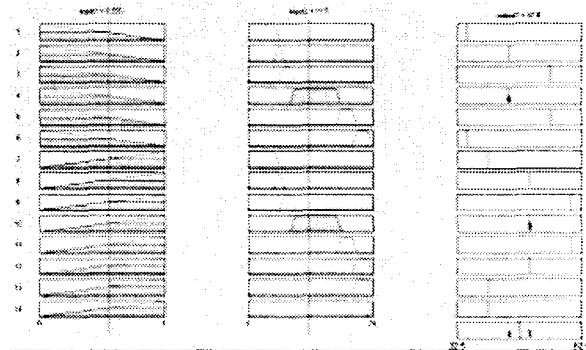
[그림2]부하에 대한 멤버십



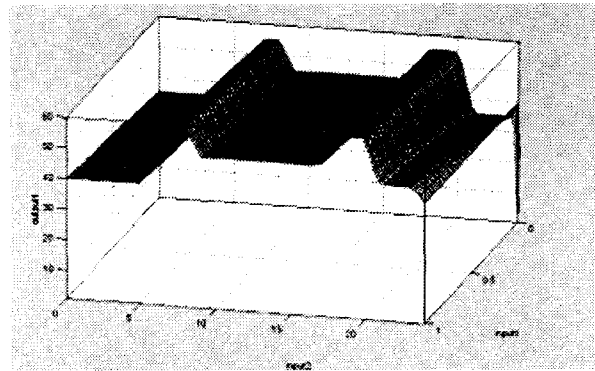
[그림3]부하 시간에 따른 멤버십

2.1.6 퍼지 룰의 결정

퍼지 룰에 대한 출력 값은 sugeno 퍼지 룰 시스템을 간략 추론법을 사용 하였다. 각각의 멤버십에 대한 출력값은 다음 그림과 같다.



[그림4]간략 추론을 이용한 룰규칙



[그림5]멤버십 값에 의한 저크 출력값

2.2 제안된 시스템의 SoC Design

2.2.1 SoPC(System on a Programmable Chip)

SoPC는 기존의 FPGA(Field Programmable Gate Array)의 개념에서 현대에 이르러 Gate의 집적도가 더욱 높아짐으로써 하나의 System을 PLD안에 집적시키는 기술이다. 알고리즘을 SoC로 설계 할 경우 연산속도의 증가는 물론 IP(Intellectual Property) Reuse라는 점에서 그 이용가치는 더욱 증가하게 된다.

2.2.2 Stratix Device

본 논문에서 구현된 퍼지 알고리즘은 Altera의 Stratix 1S40F780C5 Device에 구현 되었다. Stratix Device는 고성능 회로 설계에 적합한 구조를 가지고 있으며 그 구조는 Nios Embedded Processor가 최대의 성능을 발휘하도록 설계되어 있다.

2.2.3 Softcore Processor(16 or 32bit)

본 논문에서는 32bit Softcore Processor와 제안된 퍼지 알고리즘 모듈로서 하드웨어 구현을 하였다. 고밀도로 집적된 PLD에 Processor를 설계하여 하드웨어의 유연성을 더욱 증가 시켰다. Softcore Processor는 Altera 사의 Nios Processor 이며 SoC Design Software 인 Quartus II 3.0의 Nios Development kit의 라이브러리에 모듈단위로 설계가 되어 있다. 이것은 Processor의 동작 목적에 맞도록 processor의 재구성이 가능하도록 설계 되어 있다.

4. 시뮬레이션 및 시스템 고찰

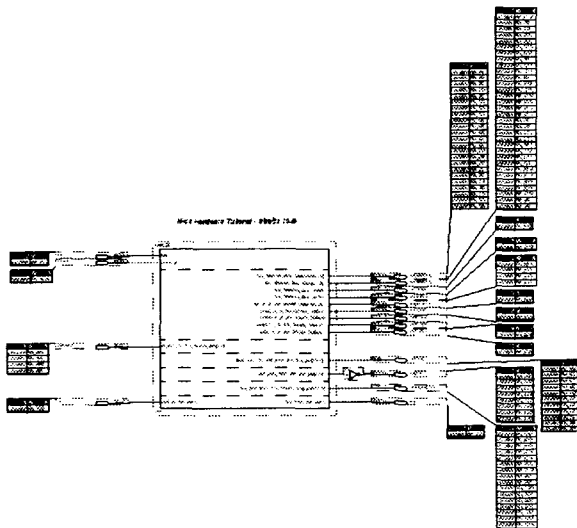
4.1 시뮬레이션

	부 하	부하시간	감속지점	정지시간
case1	0	18.2H	40.5m	54.9S
case2	0.4	19.6H	41.0m	64.5S
case3	0.8	23.9H	41.5m	72.1S

[표1] case별 변수 값(이동거리 49.5m)

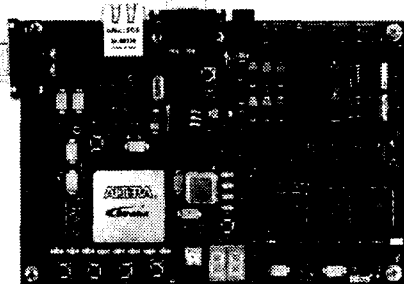
- case1인 경우는 사람이 탑승하지 않은 상태이므로 승객의 불편감을 좌우하는 정지의 부드러움의 제거로 빠른 시간내에 승객이 원하는 층으로 이동하기 위해서 가장 빠른 저크를 가진다.
- case2는 많은 부하와 많은 부하 시간을 가진 경우로 승객의 안락함을 위해서 정지시의 부드러움을 추가 하였다.
- case3는 적은 부하와 적은 부하 시간을 가진 경우로 승객의 안락함을 위해서 정지시의 부드러움이 추가되어 있다.

4.2 시스템



[그림6] Nios 32bit Processor

[그림6]은 SoC 설계 Tool에 의해 설계된 32bit Nios Processor 이다.



[그림7]Nios Development Stratix Professional Edition

[그림7]은 Altera에서 제작된 Nios 개발보드이며 Stratix 1S40F Device에 32bit Nios processor를

설계하여 본논문에서 제안된 퍼지 속도 패턴을 구현하여 보았다.

5. 결론

본 연구의 결과는 엘리베이터의 이동간의 시간을 최대한 줄여서 엘리베이터를 이용한 교통량의 빠른 해소에 중점을 두었다. 만약 case2의 저크를 일반 엘리베이터에 적용 한다면 49.5m의 이동 거리를 왕복한다면 $(64.5+64.5)=128.0S$ 가 걸리게 된다. 그러나 위에서 제안된 엘리베이터 속도 패턴을 사용하게 되면 $(64.5+54.9)=119.4S$ 가 걸리게 되어 8.6S의 시간을 절약하게 되어 다음 승객이 기다리는 장소로 움직일 수 있는 시간적인 여유를 갖게 된다. 그로인하여 승객의 안락감을 보장하면서 많은 교통량을 처리 할 수 있게 된다.

본 연구에서 중요한 부분은 감속 시작 위치의 선정이다. 저크의 변화량에 따라 변속 지점이 달라지게 되는데 너무 앞서 감속지점이 정해지면 부드러운 정지를 위한 지수적인 감속이 길어지게 되어 정지 시간이 길어지게 된다. 또한 너무 늦게 선정되면 지수적인 감속부분이 없거나 또는 너무 적게되는 단점을 가지고 있다.

6. 참고 문헌

- [1] 김경서, "엘리베이터 위치제어를 위한 속도 패턴 발생", 전력전자학회 논문지, 제 4 권 제 6 호, P616, 1999
- [2] A. L. Husson, "Speed Pattern Generator for an Elevator Car", U.S Patent No. 4,470,482, 1984
- [3] R. D. Peters, Ideal Lift Kinematics; Fomula for the Equation of Motion of a Lift, Brunel Univ.1993
- [4] Douglas J. Smith, "HDL Chip Design", Doon Publicatins, 1996
- [5] Michael D. Ciletti, "Advanced Digital Design with the Verilog HDL", Prentice Hall, 2003
- [6] Altera, "Nios Embedded Processor 32-Bit Programmer's Reference Manual.pdf"
- [7] Altera, "Stratix Device Handbook.pdf"
- [8] Altera, "Nios Embedded Processor Software Development Reference Manual.pdf"