

클럭 신호의 고속 전송을 위한 칩과 패키지의 공동 설계 (Chip and Package Co-design for High Speed Clock Signal Transmission)

유충현, 정대현, 김정호
한국과학기술원 전자전산학과

Abstract

클럭 신호의 전송은 고속 디지털 시스템에서 중요한 이슈중에 하나이다. 칩의 크기가 증가함에 따라 클럭 신호 전송을 위한 온칩내의 배선의 길이는 이미 수십 mm를 넘어서고 있으며, 결국 이는 배선에 의한 delay 증가를 일으킨다. 또한 칩의 공정 기술이 sub-micron에 접근함에 따라 온칩내의 배선의 저항이 점점 증가하여, 추가적인 delay 증가 현상이 발생하게 된다. 결국 증가한 클럭 전송 신호의 delay는 시스템 측면에서 latency 마진을 감소시키게 되며, 이는 시스템의 고속 동작을 하는데 걸림돌이 되게 된다. 본 연구에서는 클럭 신호의 delay를 감소시키기 위해, 온칩 클럭 신호 배선 부분을 상대적으로 lossless한 패키지의 배선으로 대체해서 사용하고자 한다. 제시한 칩과 패키지의 공동 설계 방법을 통해 클럭 신호의 delay 감소 현상을 시뮬레이션과 측정을 통해 검증하도록 한다.