

IMP PVD 및 전기도금을 이용한 SIP용 Via Filling에 대한 연구

(Via Filling for SIP by Using Ionized Metal Plasma PVD and Electroplating)

조병훈*, 이원중
한국과학기술원 신소재공학과

Abstract

새로운 개인이동단말기의 개발에 있어서 필수적으로 확보되어야 하는 기술로 system in packaging (SIP)를 들 수 있다. 이 SIP는 메모리, 프로세서 및 다른 기능의 칩들을 통합하여 패키징하는 기술로 차지하는 면적을 줄이기 위해 적층형태를 띤다. 현재까지는 단순히 칩들을 적층하고 각각의 칩을 wire bonding 방법으로 기판과 연결하는 방법이 이용되고 있다. 그러나 4-5 층 이상으로 적층된 경우 wire bonding 방법으로는 층간 신호전달 및 전력공급이 어렵고 총 배선길이가 늘어나 신호지연 문제가 생긴다. 이러한 신호지연을 줄이기 위해서는 층간에 via 및 trench를 만들고 이 via 및 trench를 구리로 채워 넣는 금속배선 공정법이 적용되어야 한다.

본 연구에서는 reactive ion etching을 이용해 Si 웨이퍼에 직경 12 - 13 μm , 깊이 60 - 63 μm 의 blind via를 만들고 via가 형성된 Si 웨이퍼를 열처리하여 160 nm 두께의 SiO_2 층을 형성하였다. 구리 전기도금을 이용해 via를 채우기 위해선 전도성 seed layer가 필요하다. 이 seed layer는 ionized metal plasma (IMP) PVD를 이용해 증착하였다. IMP PVD는 일반적인 마그네트론 스퍼터링 장치 내에 코일을 설치하여 유도결합 플라즈마를 방전시키는 것으로 스퍼터 타겟에서 나온 입자를 이온화하고 시편이 놓여진 기판에 바이어스를 인가해 이온화된 입자들을 가속시켜 증착하는 것이다. 이 IMP PVD를 이용하여 고종횡비의 via나 trench를 증착하면 일반적인 마그네트론 스퍼터링 방법으로 증착하기 어려운 바닥면까지 증착할 수가 있다. 증착 압력에 따라 via 바닥면과 바닥면에 인접한 측면에 증착되는 박막두께가 달라졌는데 압력이 낮을수록 증착두께가 커졌다.

구리 전기도금에 이용한 욱은 일반적인 황산욕으로 기본욕에 MPSA, PEG 등의 첨가제를 소량 첨가하여 실험하였다. DC 전기도금을 이용하여 도금을 한 결과 via 입구에 전류가 집중되어 void가 생성되었다. 따라서 periodic pulse reverse 전류를 인가하는 방법으로 전기도금을 하여 void 같은 결함 없이 완전하게 via를 채울 수 있었다.