

저 전압, 저 전력 Plasma Display Panel 구동 회로의 설계 및 구현

김 상 봉*, 최 진 호*, 장 윤 석**

부산외국어 대학교 전자컴퓨터공학과* 부경대학교 전기제어계측공학과**

전화 : 051-336-1395 / 핸드폰 : 016-566-1395

Design and Implementation of Low-Voltage and Low-Power Driving Method for Plasma Display Panel

Sang Bong Kim* , Jin Ho Choi* Department of Electronic & Computer Engineering,
Pusan University of Foreign Studies , Yun Sepk Jang** Pukyong National University
E-mail : tv3s@hanmir.com

Abstract

In this paper, we propose a driving circuit that can be operated with a lower voltage than that of the conventional circuit without reducing the discharge voltage. the circuit proposed in this paper has a merit to improve the electrical characteristics because it can be composed of switching devices with low voltage. The operation and efficiency using real devices. The features of the circuit proposed in this paper are as follows: the power loss can be decreased by the use of low voltage, the cost if the driving circuit for PDP can be reduced by the use of switching devices operated with low voltage.

I. 서론

21C 환경의 변화는 지식, 정보 사회와 Multimedia 시대에 Display는 전자공간과 물리공간의 인간을 이어 주는 중요한 매개 수단이 될 것이다. 그중의 PDP(Plasma Display Panel)는 미래형 디지털 영상 디스플레이로서, PC, Video, HD TV등 다양한 입력 신호와 연결되어 기존 영상 디스플레이 보다 밝고 선명한 고품질의 영상을 재현 할 수 있는 미래형 멀티미디어 디스플레이 시스템이다. 국내에도 2000년도부터 본격

적으로 시작된 BS(broadcasting satellite 위성방송)에 서는 많은 Hi-Vision프로그가 방송되어 섬세하고 wide한 화면으로 표준방식TV에 없는 박력이나 현장감을 느낄 수 있는 방송이라 할 수 있으며 무엇보다 대화면을 큰 시야각으로 보아야하며 이는 60inch 이상의 대화면 display를 요구하며, 풍부한 음량 등을 필요로 한다.

본 논문에서는 AC-PDP의 방전픽셀을 구동시키는 회로 중 Y-node를 통해 인가되는 방전유지전압에 대해관심을 가지고 보다 더 효율적인 방안을 제시 하려 한다. 현재 국내에서 시판되고 있는 AC-PDP의 전압 구동회로에서는 3개의 공급 전압원이 사용된다. 이 3개의 전압원에 의해 소비되는 열 및 전력 소모도 무시 할 수 없을 정도이고, 효율 또한 채고하지 않을 수 없다고 사료된다. 따라서 보다 효율적인 전압 공급 방안을 기본으로 한 구동 방식을 제안 구현하였으며, 저 전력, 저 전압 설계를 구성함에 따라 보다 저가의 스위칭 소자를 사용할 수 있으며, 소자의 개수 또한 줄임으로써 PDP의 단가를 낮추는 데에 충분히 기여할 수 있으리라 사료된다.

II. 제안한 저전압, 저전력 구동회로 구조

2.1 PDP 구조

그림 1 에서 PDP는 DC, AC, Hybrid 형으로 나누며 현재 주를 이루고 있는 것은 AC-PDP이고 본 논

문에서 기술할 내용도 이에 관한 것이다.

AC Plasma Display는 전극이 얇은 글라스의 절연체로 피복되어 100Khz대의 펄스 전압으로 구동하는 것이다. 일단 방전한 후에 낮은 방전유지전압을 가하면 방전이 지속되는 메모리방식과 표시해야 할 전극 사이에 전압이 높은 펄스 전압을 인가하여 방전시키는 Refresh방식이 있다. DC Plasma Display는 전극이 방전공간에 노출되어 직류전압으로 구동하는 것이다. DC형은 Refresh방식에 의한 구동이기 때문에 구동회로는 간단하지만 가짜 발광을 막기 위해 방전 셀 간에 분리하는 장벽(베어리)을 설치하여야 하므로 Panel 구조가 복잡하다.

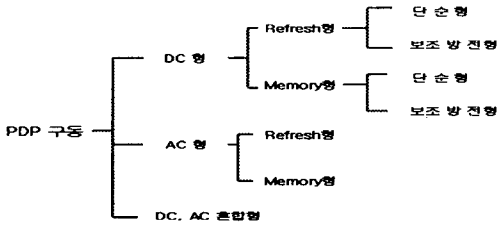
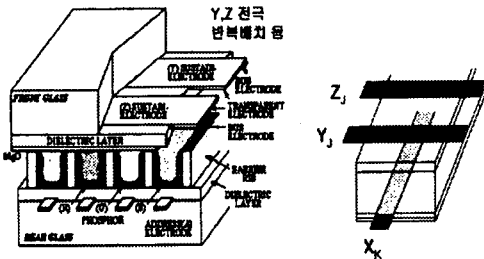


그림 1. PDP 구조

2.2 AC-PDP 구조 및 원리



AC PDP의 구조

PDP one cell 구조

그림 2. AC-PDP 구조

그림 2를 예로 설명하면 1개의 cell에 방전예약을 할 때 Yj전극에 (-) Pulse 전압이 인가되면서 시간에 맞추어 Xk 전극에 (+) pulse (방출극 신호)을 가해준다. 이 경우 Yj전극은(-)전압이고 Xk전극은(+전압)이 되므로 Y-X전극 간 교차점에서 예약방전(Address 방전)이 발생하게 된다. 이 예약방전에 의해서 발생한 전자는 +전압이 가해진 X전극 쪽으로 가고 이온은 Y전극 쪽으로 가서 벽 전하를 쌓게 된다. 이 Y전극 쪽으로 가서 쌓인 이온(+의 벽전하)가 Y-Z간 주 방전 예약

ticket에 상당한다.(이 벽 전하를 전압으로 환산한 것을 벽 전압(예, 50V하)자)이다. 만일 이 경우 TV신호가 Xk전극에 주어지지 않았을 경우는 Y-X 전극간 예약 방전이 형성되지 않으므로 벽 전압은 형성되지 않는다.(이 벽 전압을 PDP의 기억기능이라 함) 이러한 방식으로 방전 예약이 끝나고 Y-Z간에 동시에 170V pulse 전압을 인가하였을 때 (예, 주 방전은 200V 일 때 생성) 예약 방전이 일어난 cell 들은 방전 예약 시 벽 전압 50V를 보유하고 있으므로 Y-Z간 전압은 170V+50V = 220V로써 Y-Z방전 전압인 200V를 초과하므로 Y-Z간 방전이 발생한다. 그러나 예약 방전을 하지 않은 cell들은 벽 전압을 보유하고 있지 않으므로 Y-Z 간 전압은 170V 뿐이고 방전 전압인 200V 보다 낮으므로 Y-Z 간 방전은 일어나지 않게 된다. 그러므로 방전 예약ticket을 갖고 있는 cell만 동시에 ON 하여 화상을 형성하게 되는 것이다. 이때 화상의 밝기는 pulse 방전 횟수로서 결정한다.

III. 제안 구동회로의 설계 & 시뮬레이션

3.1 제안 구동회로의 개요

기존의 PDP 회로는 스위치 소자를 많이 필요로 하며, 개발 회사마다 약간의 차이는 있지만 3개의 전압 공급원을 사용하고 있으며 이들 전원을 사용 하므로 인한 각 전원을 제어하기 위한 또 다른 모듈이 필요 하며 3개의 전압공급원 자체의 발열 또한 무시하지 못하며 이들은 비용의 상승을 초래하여 제품의 가격 상승으로 제품 경쟁력을 떨어뜨린다. 이들 기존 회로의 비효율적인 부분을 분석 보완하여 보다 효율적인 전압 공급방안을 제시하며, 본 논문의 제안 회로는 저 전압, 저 전력으로 구동하고 적은수의 스위칭 소자를 필요로 하는 데에 중점을 두어 설계했다. 본 논문의 회로를 검증하기 위하여 OrCAD V10.0을 사용하여 컴퓨터 시뮬레이션 수행을 병행했다.

3.2 제안 회로의 구현

본 논문의 구현시 전압차는 ±10V(38), ±15V(55.6)이며, 시뮬레이션 전압차는 ±10V(38), ±15V(55), ±30V(107-109), ±40V(140-144), ±50V(173-178), ±60V(205-211)이다. 이는 전압차를 160V 이상 필요하다. 이론상은 최소±40V를 인가하면 ±80 전압차이가 나올 것이지만 실제 구현하고 시뮬레이션 하면 최소 ±50V 이상을 가해야만 160V 이상의 전압차를 얻을 수 있다는 사실을 알았으며 실제로 구현하고 시뮬레이션한 결과를 아래에 기술한다.

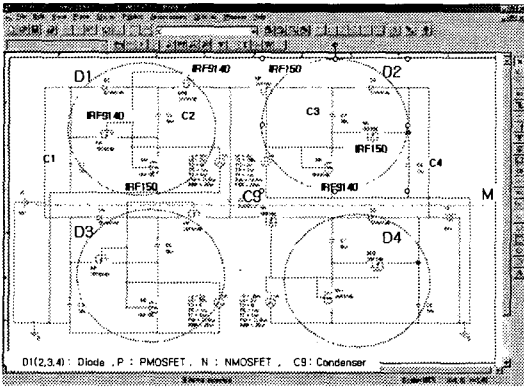


그림 3. PDP Panel 전체 회로도

그림 3에서 회로도를 세분화 시키면 각각 D1, D2, D3, D4 부분으로 나누어지며 이는 C9를 기준으로 두 부분 M(D1과 D2, D3과 D4)으로 구분되며 하나의 전체 회로도도 구성된다. 먼저 D1과 D2를 기준으로 기술하면 D2의 IRF150(NMOSFET)이 ON되면 IRF9410(PMOSFET)은 OFF 되며 D1의 C 2개는 충전되며 D2의 C 2개는 충전되어있는 전압이 C9로 방전된다. 반대로 D1의 IRF9410(PMOSFET)이 ON되면 D2는 충전되고 이때 D1은 충전된 것을 방전 시킨다. 이런 ON/OFF 현상이 반복되며 이 전압 차에 의해서 구동된다. 본 논문에서는 그림 3에서 M을 기준으로 두 부분으로 나누어서 시뮬레이션을 실시한다.

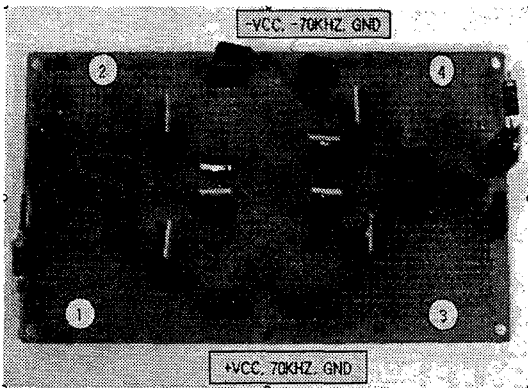
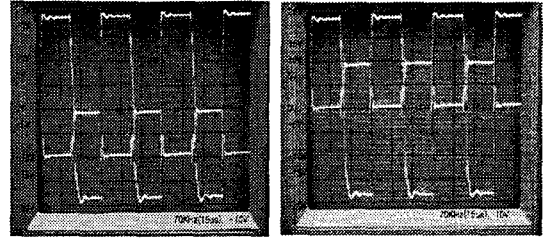


그림 4. 제안 구현회로

그림 4는 그림3을 실제로 구현한 것이다.

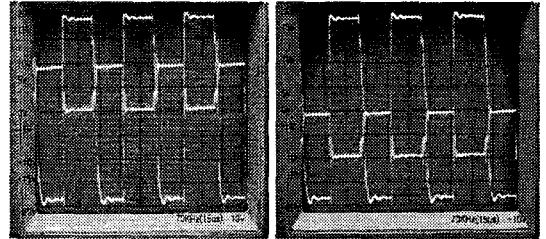
3.3 제안 회로의 시뮬레이션 결과

본 논문에서 그림 3을 실제 시뮬레이션한 것이다. 이들은 $\pm 10V$ 결과 값으로 그림 3에서 M을 기준으로 구분(D1, D2를 P1 라하고 D3, D4를 P2라 명한다.)하여 그림 5, 그림 6에 나타내었다.



(A) (B)

그림 5. $\pm 10V$ P1 결과



(C) (D)

그림 6. $\pm 10V$ P2 결과

Oscilloscope 기종은 LG OS-5040A(40Khz), 디지털 형광 인 Tektronix TDS3052(500MHz)이다. 그림 5, 그림 6 에서의 전압차이는 평균 $37V(+19V, -18V)$ 를 형성하였다. 다음은 $\pm 15V$ 의 전압차이 이다.

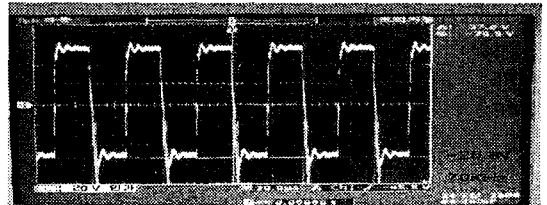


그림 7. $\pm 15V$ P1 결과(-26.8V)

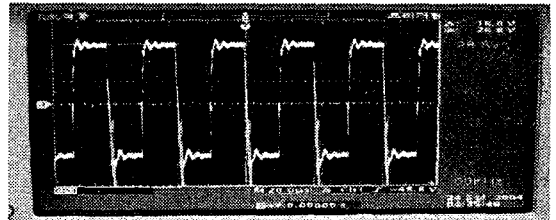


그림 8. $\pm 15V$ P1 결과(+28.8V)

그림 7은 $\pm 15V$ 에서의 전압차를 나타내고 있다. P1, P2 모두 일치하였으며 전압차이는 $55.6V(+28.8V, -26.8V)$ 이다. OrCAD V10.0 시뮬레이션이며 $\pm 10, \pm 50V$ 에서의 결과 값이다.

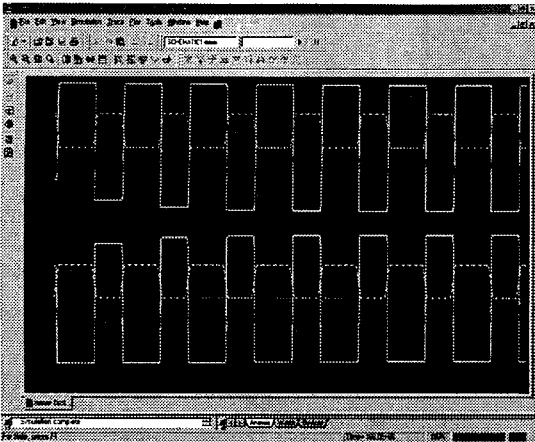


그림 9. ±10V P1, P2 결과

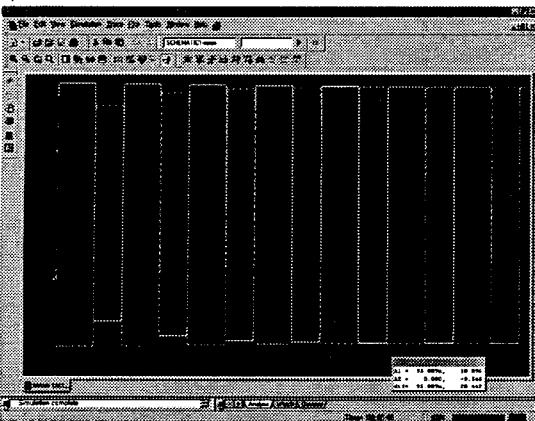


그림 10. ±10V 전압차이(38V)

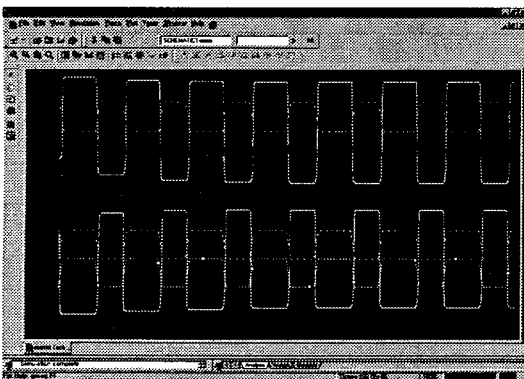


그림 11. ±50V P1, P2 결과

그림 12. ±50V 전압차이 (172V - 178V)

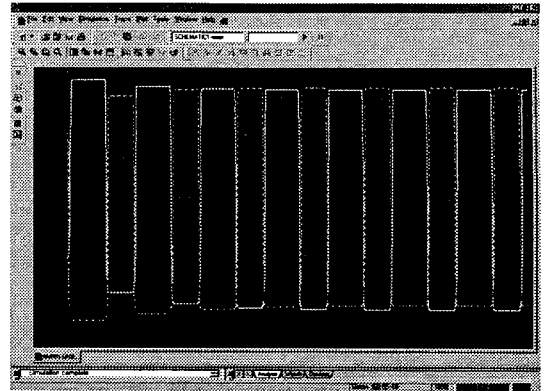


표 1. 기존의 회로와 설계한 회로의 특성 비교

항 목	기존의 회로	제안한 회로
인가전압 (Operation Voltage)	160V	50V
전력손실 (Power Loss)	1	1/10
스위칭 소자 개수 (No of Switching device)	16개	12개
스위칭 소자에 걸리는 전압 (Voltage of Switching device)	160V	50V
공급 전압원 개수 (No of Power supply)	3개	2(±)개

IV. 결론

본 논문에서 제안한 저 전압, 저 전류 모델의 실효성을 검증하기 위해서는 우선 컴퓨터 시뮬레이션을 수행하여 이론적으로 기대한 결과가 나타난다는 사실을 확인하였고, 그다음에 실제 소자를 사용하여 구현한 후 컴퓨터 시뮬레이션에서 나타난 결과와 유사한 결과를 얻을 수 있다는 점을 입증하였다. 위와 같은 뚜렷한 결과를 얻을 수 있다는 점으로 미루어 본 논문에서 제안한 저 전압, 저 전력 구동 회로 모델의 실효성은 충분히 입증된 것이라고 사료된다.

참고문헌

- [1] 장윤석, 최진호, "저 전력 AC PDP 구동회로의 설계", 2003년도 대한전기학회 고전압 및 방전응용기술연구회 춘계학술대회 논문집, 20-23, 2003
- [2] Kishi, T., Sakamoto, T., Tomio, S., Kariya, K., and Hirose, T.: "A new driving technology for PDPs with cost effective circuit", SID' 01
- [3] S.C.Brown, "Basic data of plasma physics", John Wiley & Sons