

# 고속 고해상도의 무선통신 송·수신기용 CMOS D/A 변환기 설계

\*조 현 호, \*\*박 청 용, 윤 건 식, 하 성 민, 윤 광 섭  
\*실리콘 워크스, \*\*인하대학교,  
전화 : 032-860-7419 / 핸드폰 : 016-325-1147

## Design of a CMOS D/A Converter for advanced wireless transceiver of high speed and high resolution

Hyun-Ho Cho, Cheong-Yong Park, Gun-Shik Yune,  
Sung-Min Ha and Kwang-Sub Yoon  
\*Silicon Works Inc., \*\*Dept. of Electronic Engineering, Inha University  
E-mail : hhcho@siliconworks.co.kr

### Abstract

The thesis describes the design of 12bit digital-to-analog converter (DAC) which shows the conversion rate of 500MHz and the power supply of 3.3V with 0.35 $\mu$ m CMOS 1-poly 4-metal process for advanced wireless transceiver of high speed and high resolution. The proposed DAC employes segmented structure which consists of 6bit MSB, 3bit mSB, 3bit LSB for area efficiency. Also, using a optimized aspect ratio of process and new triple diagonal symmetric centroid sequence for high yield and high linearity. The proposed 12bit current mode DAC was employes new deglitch circuit for the decrement of the glitch energy. Simulation results show the conversion rate of 500MHz, and the power dissipation of 85mW at single 3.3V supply voltage. Both DNL and INL are found to be smaller than  $\pm 0.65$ LSB/ $\pm 0.8$ LSB.

### I. 서론

본 논문에서 제안하는 전류구동 방식의 고속 고해상도의 CMOS D/A 변환기의 구조는 선형성을 유지하는

혼합구조 방식을 이용하였다. 상위 6비트는 3중 대각 중심대칭형 전류원 매트릭스(Triple diagonal centroid current cell matrix) 구조로, 중간 3비트는 단위 전류 셀 방식(Unary current cell)으로, 하위 3비트는 2진 가중(Binary weighted current array)구조로 구성되어 있다. 또한, 기존의 1차원적인 계층적 구조의 대칭 스위칭(Hierarchical symmetric switching) 방식을 2차원으로 확장한 새로운 스위칭 방법을 이용하여 전류셀 매트릭스 내에서 거리에 따른 오차 문제를 해결할 수 있다.[1] 또한, 출력이 대칭인 글리치 억제 회로를 설계, 주파수 성능도 향상시켜 정적, 동적 특성 모두를 만족시킨 무선통신 송·수신기에 적합한 고속 고해상도의 CMOS 전류모드 D/A 변환기를 설계하였다. II절에서는 전체 12비트 D/A 변환기의 구조와 회로설계 방법론에 대하여 설명하였다. III절에서는 모의실험결과 및 레이아웃에 대해 설명하고, IV절에서는 결론을 맺었다.

## II. CMOS D/A 변환기 설계

### 2.1 D/A 변환기 전체 구조

그림 1은 고속 고해상도의 무선통신 송·수신기용 CMOS D/A 변환기의 전체구조를 나타내었다. D/A 변환기의 12비트는 최상위 MSB의 6비트, 중간 mSB의

3비트, 하위 LSB의 3비트로 나누어져 입력으로 들어간다. 최상위 MSB는 입력 6비트를 온도계 디코더를 통해 63개의 온도계 코드로 변환시키며, 중간 mSB는 입력 3비트를 온도계 디코더를 통해 7개의 온도계 코드로 변환시킨다. 하위 LSB는 온도계 디코더 없이 지연회로를 통해 상위단에서 온도계 코드 변환시 발생하는 지연시간을 동기화시킨다. 온도계 디코더와 지연회로를 통하여 생성된 신호는 래치회로를 통해 동기화되고 글리치 억제 회로에 차동으로 입력된다. 글리치 억제 회로에서는 전류원으로부터 글리치가 최소화될 수 있도록 글리치 억제회로가 신호를 제어한다.

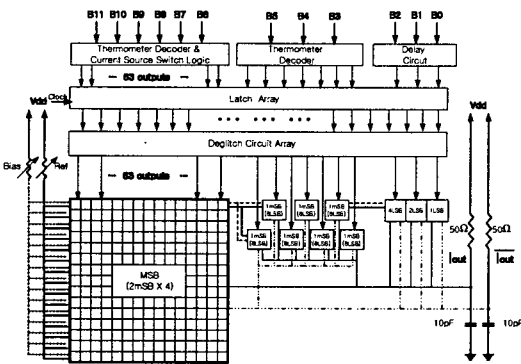


그림 1. D/A 변환기 전체 구조

2.2 전류원 설계

전류원은 D/A 변환기를 구성하는 중요한 블록으로 공정상의 정합특성과 회로의 설계사양과의 관계를 분석하고 이를 토대로 오차를 최소화하도록 설계하여야 한다. 그림 2는 캐스코드 전류원을 나타낸것이다.

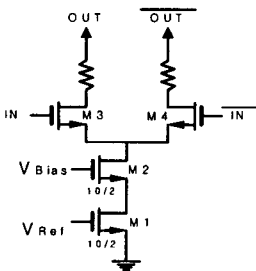


그림 2. 하위비트 전류원 회로도

공정 부정합과 D/A 변환기 사이의 관계는 INL수율과의 수식으로 계산되어지고, 원하는 수율에 해당하는 단위 전류원의 상대 표준 편차는 공정 부정합에 관련된 식 1과 식 2를 통하여 공정상에서 영향을 가장 적게 받는 트랜지스터의 최소면적(LW)을 계산하여 설계할 수 있다.

$$\frac{W}{L} = \frac{2 \times I_{FS}}{(2^N - 1) \times K' \times (V_{GS} - V_{TH})^2} \quad \text{식(1)}$$

$$W \times L = \frac{A_{\beta} \times \frac{4 \times A_{VT}^2}{(V_{GS} - V_{TH})^2}}{2 \times \left( \frac{\sigma(I)}{I} \right)^2} \quad \text{식(2)}$$

전류원 M1은 바이어스 전압에 의해 단위 전류를 생성하며, M3과 M4는 글리치 억제 회로로부터의 입력에 따라 전류의 양을 조절한다. 출력 임피던스와 INL과의 관계는 식 3과 같이 표현할 수 있으며, INL특성을 향상시키고 유한한 출력저항으로 인한 비선형성을 줄이기 위해 M2를 캐스코드 형태로 연결하였다.[2]

$$INL = \frac{I_{unit} R_L^2 N^2}{4 Z_{imp}} \quad \text{식 (3)}$$

2.3 글리치 억제 회로 설계

그림 3은 제안하는 글리치 억제 회로도이다.

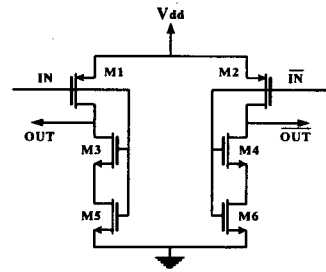


그림 3. 글리치 억제 회로

제안된 글리치 억제회로는 입력신호가 IN과 IN-bar에 0과 1이 입력되고 다음에 신호가 변화하여 다음신호가 1과 0이 입력되면, 출력신호(OUT, OUT-bar)는 1과 0에서 0과 1로 변하게 된다. 이 때, M3과 M4는 신호의 지연소자로 신호가 1이 출력될 경우, M1 또는 M2 소자 하나만을 거쳐서 출력되지만 신호가 0이 출력될 경우, M5와 M6에 각각 직렬로 연결된 M3과 M4를 통하여 출력되게 된다. M3과 M4를 통과하여 출력되는 신호는 지연시간을 유발하여 신호의 교차점이 상승하여 중간에서 만나지 않게 된다. 이 때, 지연소자 M3과 M4의 지연시간은 소자비에 의해서 조절된다.[3] 제안된 글리치 억제회로의 지연소자 M3과 M4는 NMOS를 사용하였으므로, 지연시간은 식(4)와 식(5)로 전개할 수 있다.

$$\tau_{PHL} = \frac{C_{load}}{\mu_n C_{ox} \left(\frac{W}{L}\right)_n (V_{DD} - V_{T,n})} \left[ \frac{2V_{T,n}}{V_{DD} - V_{T,n}} + \ln \left( \frac{4(V_{DD} - V_{T,n})}{V_{DD}} - 1 \right) \right] \quad \text{식(4)}$$

$$\left(\frac{W}{L}\right)_n = \frac{C_{load}}{\tau_{PHL} \mu_n C_{ox} (V_{DD} - V_{T,n})} \left[ \frac{2V_{T,n}}{V_{DD} - V_{T,n}} + \ln \left( \frac{4(V_{DD} - V_{T,n})}{V_{DD}} - 1 \right) \right] \quad \text{식(5)}$$

### 2.3 3중 대각 대칭 중심적 스위칭 순서 전류원 매트릭스 설계

D/A 변환기의 공정 부정합에 의한 영향을 최소화 하는 기법은 레이아웃시 전력선을 넓게하는 방법 이외에 전류셀 매트릭스에서 전류셀을 동작시키는 순서를 조정하여 부정합에 의한 INL특성을 향상시킬 수 있다. 기존의 1차원적인 스위칭 방법으로 매트릭스 구조에 적용시 열오차의 누적문제로 부정합을 최소화하는데 문제점이 있다.[4] 따라서 그림 4는 본 논문에서 제안한 새로운 3중 대각 대칭 중심적 스위칭 순서 전류셀 매트릭스를 나타낸 것으로 전류원이 각각 켜지는 순서를 나타내었다.

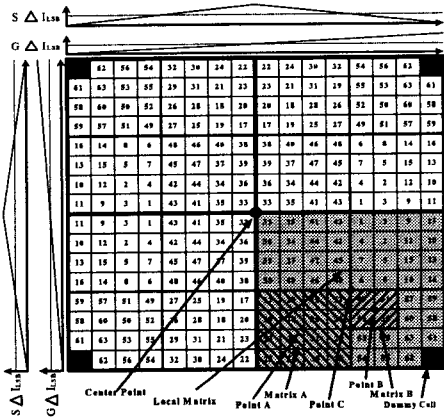


그림 4. 3중 대각 대칭 중심적 스위칭 순서 전류원 매트릭스 구조

전체 전류셀 매트릭스는 중심점을 기준으로 8x8크기 4개의 지역 매트릭스를 대칭 중심 방식으로 배치되어 있다. 지역 매트릭스는 C점을 중심으로 4x4크기 4개의 매트릭스 A가 배치되어 있고, 매트릭스 A는 A점을 중심으로 2x2크기 4개의 매트릭스 B가 배치되어 있다. 매트릭스 B는 B점을 중심으로 4개의 전류원이 배치되어 있는데, 이들이 켜지는 순서는 서로 대각선 방향으로 순서대로 켜지게 되어있다. 전류원 뿐만 아니라 매트릭스 B와 매트릭스 A들도 지역 매트릭스 내에서 대각선 방향으로 배치되어 있는 것을 볼 수 있다. 제안된 3중 대각 대칭적 중심 스위칭 방법은 전류셀 매트릭스 적용하여 행과 열 모두에서 경사오차와 대칭오차를 감소시키게 된다. 또한, 대칭인 매트릭스내의 전류

원이 동시에 켜지게 되므로 전체 전류원 매트릭스에서 경사오차를 서로 상쇄시키게 된다. 즉, 새로운 스위칭 방법과 중심 레이아웃 방법을 사용하여 이중의 오차 보정 효과를 볼 수 있다.

### III. 모의실험 결과

고속 고해상도의 D/A 변환기의 모의실험 결과 그림 5와 같이 전체 시뮬레이션시 코드 0에서부터 4095까지 미스코드 없이 단조 증가성이 유지되는 결과를 얻을 수 있었다.

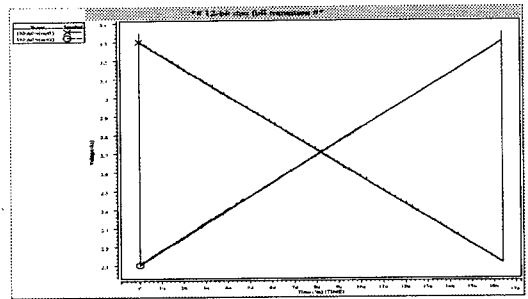


그림 4. D/A 변환기 전체 출력 결과 파형

그림 5는 위의 그림 3의 글리치 억제 회로도를 W값을 변화시켜가면서 모의실험을 한 결과이다.

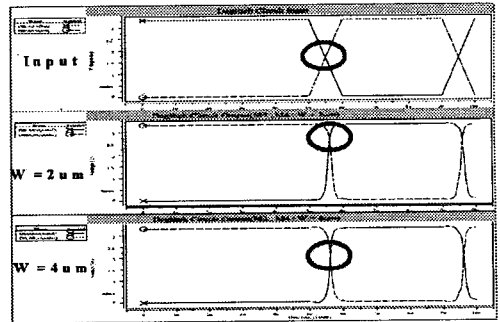


그림 5. W값 변화에 따른 글리치 억제 회로의 모의실험 결과

제안된 글리치 억제 회로의 입력신호 교차점은 서로 중간지점에서 만나는 것을 지연소자(M3, M4)의 소자비를 조절하여 출력신호의 교차점의 위치가 상단으로 이동하는 것을 확인할 수 있었다. 지연소자의 W값이 증가함에 따라 지연시간은 줄어드는데 그 때 글리치가 가장 적게 발생함을 알 수 있다.

그림 6은 고속 고해상도의 D/A 변환기의 선형 특성인 DNL과 INL을 모의실험한 결과로 DNL과 INL은 각각 ±0.65LSB와 ±0.8LSB이하로 나타났다.

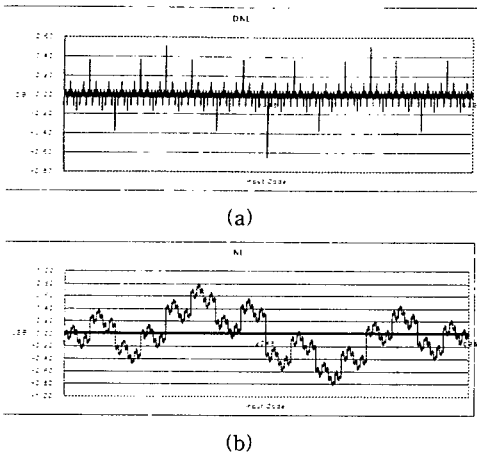


그림 6. D/A 변환기의 (a)DNL과 (b)INL특성

그림 7은 전체 12비트 D/A 변환기의 레이아웃을 나타내었다. D/A 변환기는 디지털 블록과 아날로그 블록으로 구성되어 있는데, 아날로그 신호와 디지털 신호 간의 간섭에 의한 잡음이 발생하게 된다. 이러한 잡음 및 간섭 신호를 방지하기 위해 이중의 가드링을 설치하였다.

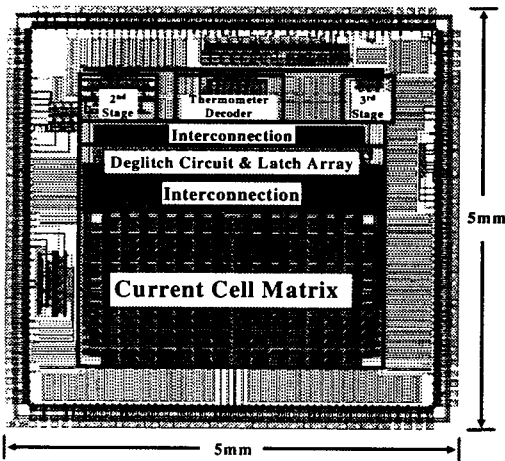


그림 7. D/A 변환기의 전체 레이아웃

표 1은 제안된 12비트 D/A 변환기의 모의실험 한 결과를 요약 정리하였다.

표 1. 모의실험 결과

해상도	12 비트
변환속도	500 MHz
글리치 에너지	10.5 pV · sec
DNL/INL	≤ ±0.65LSB / ±0.8LSB
소비전력	85 mW
공급전원	3.3 V
사용공정	CMOS 0.35μm 1-poly 4-metal

#### IV. 결론

본 논문에서는 0.35um CMOS 공정을 이용하여 고속 고해상도의 무선통신 송·수신기용 CMOS D/A 변환기를 설계하였다. 설계한 12비트 D/A 변환기는 주파수 성능을 향상시키기 위하여 새로운 글리치 억제 회로를 설계하여 적용하였다. 또한, 새로운 전류셀 스위칭 순서를 적용하여 선형성을 향상시켰다.

모의실험 결과 DNL/INL은 각각 ±0.65LSB와 ±0.8LSB를 가지며, 데이터 변환속도는 500MHz이다. 이와 같이 설계된 D/A 변환기는 고해상도와 고속의 동작 주파수를 요구하는 무선통신 디지털 시스템의 응용에 적합하다고 사료된다.

#### 후 기

본 연구는 대학 IT연구센터 (인하 UWB-ITRC) 육성·지원사업의 연구결과로 수행되었습니다.

#### 참고문헌

- [1] T. Wu, C. Jih, J. Chen, and C. Wu, "A low glitch 10-bit 75-MHz CMOS Video D/A converter," *IEEE J. Solid-State Circuits*, pp. 68-72 Jan. 1995.
- [2] M. Pelgrom, "A 10-b 50MHz CMOS D/A converter with 75-Ω buffer," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1347-1352, Dec. 1990.
- [3] S. M. Kang, and Y. Leblebici, *CMOS Digital Integrated Circuits*, Mc Graw Hill, 1999
- [4] Y. Nakamura, T. Miki, A. Meada, H. Kondoh, and N. Yazawa, "A 10-bit 70-MS/s CMOS D/A converter," *IEEE J. Solid-State Circuits*, pp. 637-642, Apr. 1991.
- [5] S. Y. Park, H. H. Cho, and K. S. Yoon, "A 3.3V-110MHz 10-Bit CMOS Current-Mode DAC," 2002 IEEE Asia Pacific Conference on ASIC Proceeding, pp. 173-173, 2002.