

고속, 고해상도 CMOS 샘플 앤 홀드 회로

김 원 언, *박 공 순, 박 상 옥, 윤 광 섭
인하대학교 전자공학과, *(주)실리콘 워크스
Tel. : 032-860-7419 / 핸드폰 : 016-598-1428

High Speed, High Resolution CMOS Sample and Hold Circuit

Won-Youn Kim, *Kong-Soon Park, Sang-Wook Park and Kwang-Sub Yoon
Dept. of Electronic Engineering, Inha University, *Silicon Works(Inc)
E-mail : g2031122@inhavision.inha.ac.kr

Abstract

The paper describes the design of high-speed, high-resolution Sample-and-Hold circuit which shows the conversion rate 80MHz and the power supply of 3.3v with 0.35um CMOS 2-poly 4-metal process for high-speed, high resolution Analog-to-Digital Converter. For improving Dynamic performance of Sample-and-Hold, Two Double bootstrap switch and high performance operational amplifier with gain booster, which are used. and For physical stability of Sample and Hold circuit, reduces excess voltage of gate in bootstrap switch. Simulation results using HSPICE shows the SFDR of 71dB, 75dB in conversion rate of 80MHz result for two inputs(0.5Vpp, 10MHz and 1Vpp, 10MHz) and the power dissipation of 48mW at single 3.3V supply voltage.

I. 서론

최근에 급속히 발전하고 있는 무선 통신 송수신기용 시스템에서 전압, 전류, 음성 신호 같은 아날로그 신호를 디지털 신호로 변환하여 모뎀회로로 전달하는 A/D변환기가 필수적인 요소로 자리를 잡고 있고, 요구

되는 성능이 높아지고 있다.

따라서 A/D 변환기의 높은 성능 만족을 위해 빠른 샘플링 속도와 높은 해상도를 가진 샘플 앤 홀드 회로 설계가 요구 된다. [1] 기본적으로 샘플 앤 홀드가 게 루프 구조를 가지면, 빠른 속도를 갖지만, 전하 주입과 클럭 피드스루 같은 스위치의 비이상적 특성으로 인해 해상도의 제한을 받게 된다. 하지만 페 루프 구조의 샘플 앤 홀드는 높은 해상도를 갖지만, 연산증폭기의 성능이 샘플 앤 홀드 전체의 속도에 제한을 주어 게 루프 구조에 비해 낮은 속도를 가진다. [2][3] 최근에는 기술이 발전함에 따라 페 루프 구조의 단점인 속도를 보완하면서 높은 해상도를 얻는 추세로 나아가고 있다. 샘플링 모드와 홀드 모드로 동작하는 페 루프 구조는, 홀드 모드 시 연산 증폭기에 피드백을 형성하기 때문에, 연산 증폭기에 대해서 높은 성능이 요구 된다. 또한 MOS 스위치의 비이상적 특성으로 인해 발생하는 전하 주입 오차와 클럭 피드 스루 오차를 최소화 하고 선형성을 향상시키기 위해서 차동 구조 및 입력 단과 연산 증폭기의 피드백 신호 경로에 이중 부스트랩 스위치 회로를 이용하였다. 또한 부스트랩 스위치 회로는 게이트에 걸리는 과도한 전압으로 발생할 수 있는 회로 수명 단축과 안정성을 고려하여 기존 부스트랩 스위치 회로에 비해 게이트 전압을 낮추어 주었다.

II. 고속, 고해상도 샘플 앤 홀드 구조

그림 1은 설계된 샘플 앤 홀드 회로도이다.

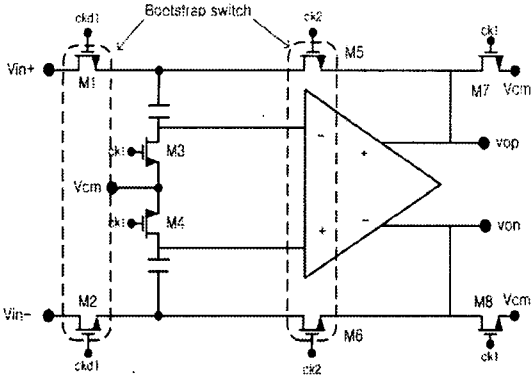


그림 1. 설계된 샘플 앤 홀드 회로도

그림 1에서 나타난 설계된 샘플 앤 홀드 회로는 페루프 구조를 가지며, 신호의 왜곡을 줄여 주기 위해 두 개의 이중 부스트랩 스위치가 이용됨을 보여준다. 그리고 입력 신호를 샘플링하기 위한 두 개의 커패시터, 샘플 앤 홀드의 높은 해상도를 위한 이득이 높은 연산 증폭기로 구성됨을 알 수 있다. 설계된 회로에서는 두 가지의 비중첩 클럭(CK1, CK2)이 이용되고, CK1이 지연된 하나의 클럭(CK1d)이 추가적으로 이용된다. 추가적으로 이용된 클럭은 CK1이 지연된 클럭으로써, 회로가 차동 구조이기 때문에 Bottom Plate Technique을 이용하여 전하 주입 오차와 클럭 피드스루 오차를 줄일 수 있는 효과를 볼 수 있기 위함이다. 즉, M1에서 발생하는 전하 주입이 샘플링 커패시터에 저장된 전하에 영향을 주지 않기 때문이다.[4]

ck1가 Vdd 일때, 입력 신호는 두 개의 샘플링 커패시터에 차동으로 샘플링 된다. ck2가 Vdd가 되면, 입력 신호는 샘플링 커패시터에서 차단되고, 피드백이 형성되어 단일 이득 구조를 형성하는 연산증폭기를 통해 샘플링 되었던 입력 신호가 그대로 출력으로 전달된다. 여기서 샘플링 되었던 신호가 왜곡 없이 출력으로 전달되기 위해서 하나의 부스트랩 스위치가 이용되는 것이다.

2.1 고성능 연산 증폭기 설계

샘플 앤 홀드의 성능을 결정짓는 중요한 연산 증폭기는 그림 2에서와 같이 폴디드 캐스코드 구조를 가진다. 샘플 앤 홀드의 높은 해상도와 빠른 동작 속도

를 위해서 연산증폭기는 높은 이득을 얻기 위해 그림 2에서와 같이 이득 향상기를 이용함으로써, 높은 전압 이득을 얻을 수 있다. 12비트의 해상도를 얻기 위해 필요로 하는 80dB 이상의 전압이득을 만족해야 한다. 또한, 80MHz의 샘플링 동작을 하는 샘플 앤 홀드 회로에서 안정된 출력 값이 나오기 위해서는 샘플링 주파수 $1/(fs \times 8)$ 즉 1.563ns의 시간 안에 정착(slewing)해야 한다. 또한, $\pm 1/2$ LSB의 오차 안에 들기 위해 정착 시간이 4.869ns를 만족해야 한다. 이러한 시간을 만족하기 위해서 75°의 위상 여유를 가져야 한다. 일반적으로 스위치 커패시터 회로에서 정상적인 동작을 위해서 60°~75°의 위상 여유가 요구된다.[5]

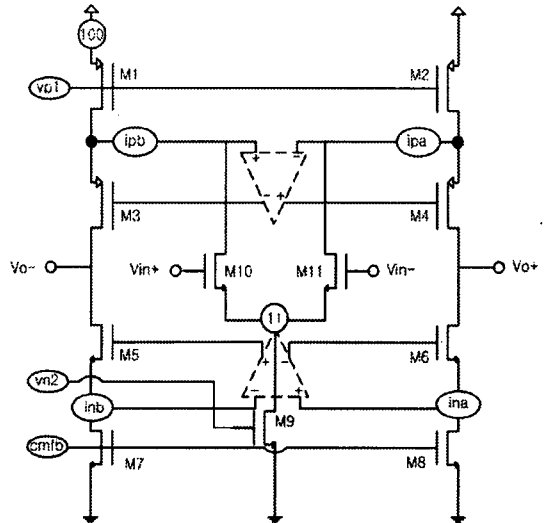


그림 2. 이득 향상기를 이용한 폴디드 캐스코드 연산증폭기

2.2 이중 부스트랩 스위치 회로 설계

스위치는 선형영역 $[(V_{gs}-V_{th}) > V_{ds}]$ 에서 동작을 하며 연산증폭기는 포화영역 $[(V_{gs}-V_{th}) < V_{ds}]$ 에서 동작을 해야 한다. 일정한 전압(Vdd)이 게이트에 인가된 입력전압이 커짐에 따라서 MOS가 포화 영역에서 동작하여 오차를 발생하기 쉽다. 이러한 오차를 최소화 시키기 위하여 입력 단에서 MOS(스위치)의 게이트에 생성되는 전압을 항상 입력 전압보다 일정한 크기인 $(V_{dd}-V_{th})$ 만큼 크게 증가시켜 MOS(스위치)가 선형 영역에서만 동작하도록 만드는 것이 부스트랩 회로이다. 본 논문에서 설계된 부스트랩 회로는 완전 차동 구조를 가지면서 MOS(스위치) 게이트 전압을 기존의 부스트랩 스위치에 비해 줄여주면서, 높은 게이트 전압으로 발생할 수 있는 회로 수명 단축과 안정성을 향상 시키고자했다. [6] 설계된 부스트랩 스위치 회로

의 부스트랩 스위치에 비해 줄여주면서, 높은 게이트 전압으로 발생할 수 있는 회로 수명 단축과 안정성을 향상 시키고자했다. [6] 설계된 부스트랩 스위치 회로는 그림 3에 나타내었다.

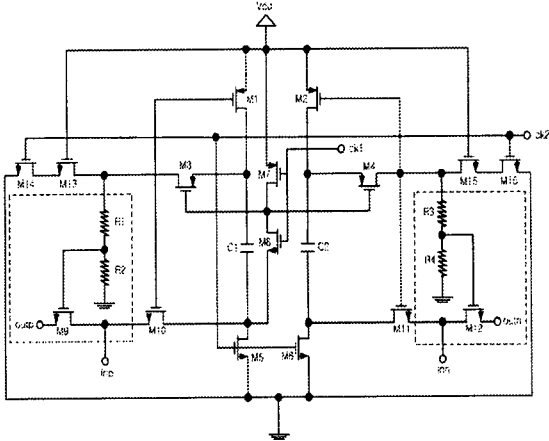


그림 3. 이중 부스트랩 스위치 회로

$$V_{gate} = V_{in} + V_{dd} - V_{th} \quad (1)$$

$$V_{gate} = (V_{in} + V_{dd} - V_{th}) \times \frac{R_1}{R_2} \quad (2)$$

그림 3에서 두 개의 입력이 inp, inn 에 인가되고 outp, outn을 통해 출력된다. 이중 부스트랩 스위치 회로의 동작 원리는 ck1이 Vdd가 되면, M5, M6이 off가 되고, 반전기인 M7은 off, M8이 on이 되어 전위가 0 이 된다. 따라서 M3, M4의 게이트가 0전위가 되고 M1과 M2가 on되어 C1과 C2에 걸리는 전압은 Vdd-Vth 이 된다. 이러한 상황에서 입력 전압이 가해지면 $(V_{in}+V_c) > V_{dd}$ 이므로 M1, M2에 걸리는 역 바이어스 전압에 의해 off가 된다. 따라서 M9, M10의 게이트에 인가되는 전압이 저항이 없을 때는 식(1)과 같이 나타낼 수 있지만, 본 논문에서 설계된 부스트랩 스위치에서 걸리는 게이트 전압은 저항 열을 지나 식(2)와 같이 줄어들게 된다.

III. 실험 및 고찰

그림 4 에서는 샘플 앤 홀드 회로에 사용된 연산증폭기의 주파수 크기와 위상 여유를 나타낸 모의실험 결과이다. 연산증폭기의 전압이득은 100dB, 차단주파수는 400MHz, 위상 여유는 73°를 나타내었다. 전압이득과 주파수는 샘플 앤 홀드에서 필요한 연산증폭기의 성능을 만족하지만, 위상여유가 좀 낮음을 확인할 수 있었다.

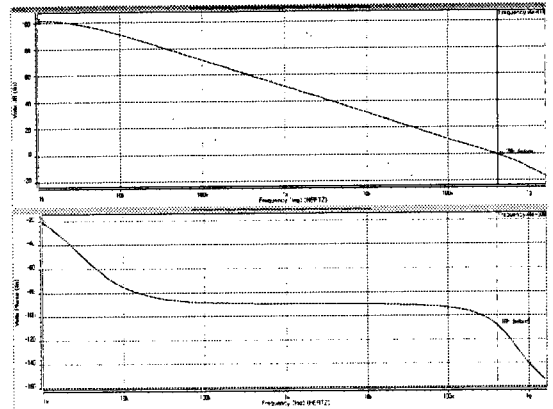


그림 4. 연산 증폭기의 주파수 특성 및 위상 여유

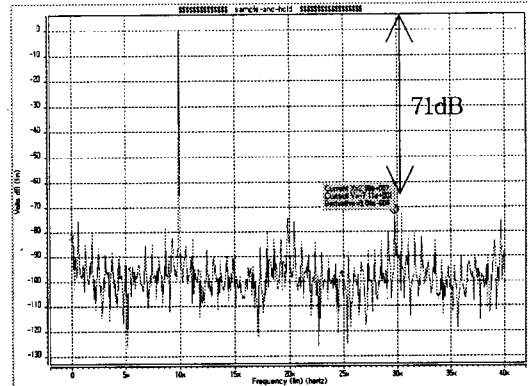


그림 5. 설계된 샘플 앤 홀드의 모의실험 FFT 결과1

($f_{in}=10\text{MHz}$, $f_s=80\text{MHz}$, $V_{in}=0.5\text{Vpp}$)

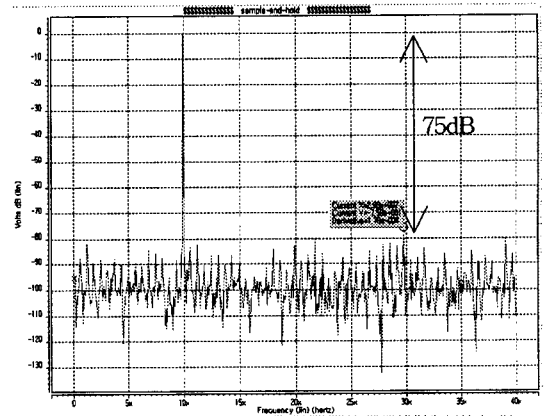


그림 6 설계된 샘플 앤 홀드의 모의실험 FFT 결과2

($f_{in}=10\text{MHz}$, $f_s=80\text{MHz}$, $V_{in}=1\text{Vpp}$)

그림 5와 그림 6은 설계된 샘플 앤 홀드를 FFT 모의실험을 한 결과이다. 0.5Vpp 와 1Vpp 두 가지 다른 크기에 대한 입력에 대해 각각 71dB와 75dB의 SFDR(Spurious Free Dynamic Range)를 나타내었다.

$$SFDR = \frac{\text{Maximum signal component}}{\text{Largest distortion component}} \quad (3)$$

위의 모의실험 결과로 보여주는 샘플 앤 홀드의 SFDR을 가지고 유효 비트수를 측정하게 되면, 0.5Vpp 입력에 대해서는 11.5비트의 ENOB(Effective Number Of Bit) 값을 보여 주었고, 1Vpp에 대해서는 12.1비트의 ENOB값을 보여주었다. 또한 48mW의 전력 소모를 나타내었다. FFT 모의실험 결과 동적 특성을 나타내는 SFDR 값이 70dB이상인 것을 확인할 수 있었다. 표 1은 모의실험을 하여 얻어진 샘플 앤 홀드 회로의 성능을 나타낸 것이다.

표 1. 모의실험 결과

입력 신호	0.5Vpp	1Vpp
SFDR	71dB	75dB
ENOB	11.5b	12.1b
전력 소모	48mW	
동작 속도	80MHz	
위상여유(opamp)	73°	
차단 주파수(opamp)	400MHz	
공급 전압	3.3V	
공정	CMOS 0.35um 2-poly 4-metal	

IV. 결 론

본 논문에서는 0.35um CMOS 공정을 이용하여 고속 고해상도의 A/D변환기에 적용할 샘플 앤 홀드 회로를 설계하였다. 또한 설계된 회로는 A/D 변환기 뿐만 아니라 다양한 혼성 신호를 처리하는 앞 단에 사용될 수도 있다. HSPICE로 모의실험 한 결과, 3.3V 공급 전압 전압에서 80MHz의 동작 속도와 48mW의 전력 소모를 나타내었으며, SFDR 값이 70dB이상인 것을 확인할 수 있었다.

후 기

본 논문은 정보통신부의 출연금으로 수행한 IT SoC 핵심 설계 인력 양성 사업의 수행결과입니다.

참고문헌

- [1] Boni. A, Pierazzi. A, Moran. C, "A 10-b 185-MS/s Track and Hold in 0.35um CMOS." IEEE J. Solid-state circuit, vol. 36, no. 2, February 2001.
- [2] Behazad Razavi, "Design of Analog CMOS integrated Circuit", 2000
- [3] K. Hadidi, M. Sasaki, T. Watanabe, D. Murama-tsu, and T. Matsumoto, "An Open-Loop Full CMOS 103MHz - 61dB THD S/H Circuit." in Proc. Custom Integrated Circuits Conference, 1998, pp, 381-383
- [4] Z. Tao, M. Keramat "A Low-Voltage, High-Precision Sample-and-Connecticut Symposium on Microelectronics and Optoelectronics, 2001.
- [5] David Johns, Ken Martin, "Analog intergrated circuit design", John Wiley & Sons", 1997
- [6] Erik sall, "Design of Low Power, High Performance Track-and-Hold Circuit in a 0.18um CMOS Technology," Master Thesis, linkoping University, Sweden,