

# DVD PRML을 위한 1.8V 6-bit 2GSPS CMOS ADC 설계

박 유 진, 송 민 규  
동국대학교 반도체과학과  
전화 : 02 - 2264 - 9450

## Design of the 1.8V 6-bit 2GSPS CMOS ADC for the DVD PRML

Yu-Jin Park, Min-kyu Song

System IC Design Lab., Semiconductor Science, Dongguk University

Email : [comesav@hanmail.net](mailto:comesav@hanmail.net), [mksong@dongguk.edu](mailto:mksong@dongguk.edu)

### Abstract

In this paper, CMOS A/D converter with 6bit 2GSPS Nyquist input at 1.8V is designed. In order to obtain the resolution of 6bit and the character of high-speed operation, we present an Interpolation type architecture. In order to overcome the problems of high speed operation, further a novel encoder, a circuit for the Reference Fluctuation, an Averaging Resistor and a Track & Hold for the improved SNR are proposed. The proposed Interpolation ADC consists of Track & Hold, four resistive ladders with 64 taps, 32 comparators and digital blocks. The proposed ADC is based on 0.18um 1-poly 3-metal N-well CMOS technology, and it consumes 145mW at 1.8V power supply.

### 1. 서론

반도체 공정기술의 발전에 따라 집적회로는 Mixed Mode ASIC에서 SOC(System On a Chip)으로 급속히 발전하고 있다. 다양한 기능을 조합한 멀티미디어의 최종 입출력은 인간이 보고 말하는 신호는 모두 아날로그 신호이기 때문에 모든 디지털 신호처리의 최초단계 및 마지막 단계에는 이 두 신호를 상호 바꾸어 주는 데이터 변환기가 필수적이다. 특히 아날로그-디지털 인터페이스의 기술 중에서 고속, 저 전력의 A/D 변환기는 광범위한 응용 분야를 가지며, 특히 DVD의 PRML용, Hard Disk의 Read Channel용, 디지털 샘플링 오실로스코프 등과 같은 응용 분야에서 높은 변환 속도를 갖는

A/D 변환기가 요구된다. 그림 1은 DVD의 PRML에 사용되는 ADC를 나타낸 것이다.

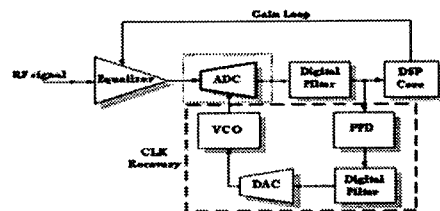


그림 1. DVD의 PRML Read channel 시스템

통상 이러한 시스템의 A/D 변환기는 고속의 동작과 우수한 Dynamic 특성을 가져야 하며 동시에 시스템 특성상 SNR(Signal to Noise Ratio)의 저하나 어떠한 Spurious 또는 Distortion을 발생시켜서는 안 된다. 데이터 변환기는 크게 A/D 변환기와 D/A 변환기로 나눌 수 있다. 그 중 A/D 변환기의 성능은 신호의 크기 변화 감지 정도를 의미하는 분해능과 신호수집의 시간간격을 의미하는 샘플링 주파수에 의해 평가된다. 본 논문에서는 2GHz의 샘플링 주파수에서 6bit의 해상도를 얻기 위해 Flash 구조에 Interpolation 구조를 혼용한 형태의 Architecture를 사용하여 해상도의 증가에 따른 비교기 수의 증가와 고속의 샘플링에 의한 동작 및 전력 소모 문제를 줄일 수 있었다.[1][3] 본 논문에서 Interpolation Flash A/D 변환기는 같은 해상도의 Flash A/D 변환기에 비해 프리앰프의 수가 반으로 줄기 때문에 작은 입력 커패시턴스를 가지며 면적과 전력소모도 작다. 또한 본 연구에서는 고속 동작의 문제점들을 해결하기 위하여 새로운 구조의 encoder, Reference Fluctuation을 보정하기 위한 회로, 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위하여 Averaging Resistor와 SNR을 향상시키기 위한 Track & Hold를 설계하여 최종적으로 2GSPS Nyquist 입력의 A/D converter 출력 결과를 얻을 수가 있었다.

**2. 제안된 Interpolation Flash A/D 변환기**

그림 2에 본 연구에서 사용한 A/D 변환기 회로에 대한 전체적인 Block Diagram을 나타내었다.

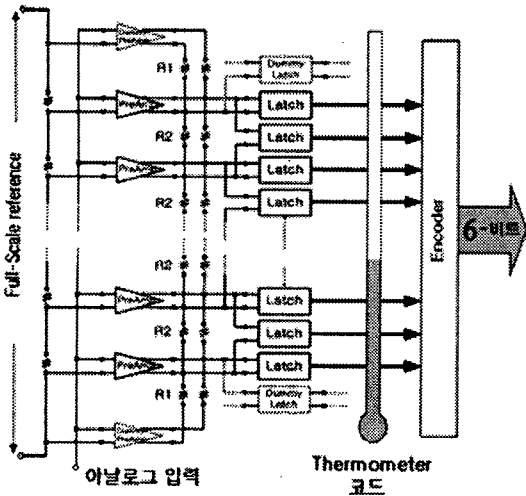


그림 2. Interpolation ADC 전체구조

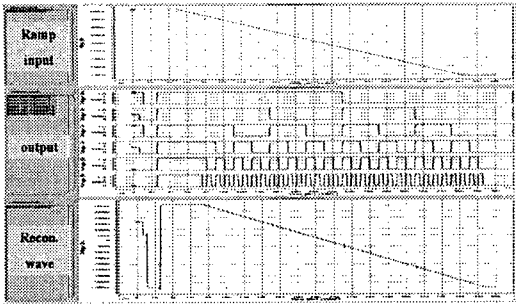
그림에서 알 수 있듯이 A/D 변환기는 기본 Flash 구조와 비교하여 프리앰프의 개수는 반으로 줄일 수 있지만 latch의 개수는 동일하게 유지된다. 본 연구에서 사용된 Interpolation Flash A/D 변환기에 대한 설계는 먼저 입력 전압을 정하고 이 전압과 주파수에 대해 올바르게 동작하는 비교기를 설계하는 것을 시작으로 한다. 1단 비교기의 단점을 보완하여 비교적 높은 정확도를 얻기 위해 증폭기와 Latch를 조합한 2단 비교기를 사용하였으며, 비교기는 첫 번째 단의 프리앰프에서 증폭된 신호를 디지털 신호로 재생하는 두 번째 Latch단으로 구성된다. 본 논문에서 제안하는 0&1 detecting 구조의 encoder는 완전 병렬 구조로 고속 동작에 의한 상하위 bit의 delay time을 일치시켜 고속 동작과 높은 선형성을 만족 시킬 수 있다.

본 논문에서 제안하는 보정 회로는 2가지이다. 하나는 Analog 입력과 저항열에서 나오는 기준전압이 프리앰프에 인가될 때 입력의 Swing에 의해 기준전압이 불안정하게 흔들리는 것을 보정하기 위한 Transmission Gate(TG) 이다. 기존 Reference Fluctuation 보정 회로는 단순히 커패시터를 사용해서 회로 전체의 면적을 증가시키고 layout 상에서 구현하기 어려웠다. 하지만 본 논문에서는 TG의 기생 parallel 커패시터를 이용하여 기준전압의 흔들림을 1/4LSB 이내로 줄였다. 다른 하나는 비교기 자체의 Offset과 Feedthrough에 의한 오차를 최소화하기 위한 Averaging Resistor이다. 이것은 프리앰프의 오차를 포함하고 있을지도 모르는 출력 값들을 합하여 평균점을 찾는다.

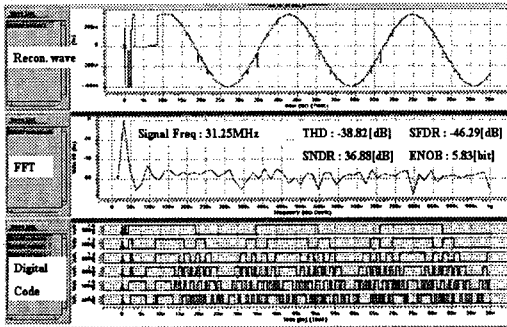
본 A/D 변환기에서 T/H 회로는 1GHz의 고속 동작을 요구하기 때문에 고속 동작에 적합한 open loop 구조의 T/H를 채택하였다.[2] 입력신호의 범위는 차동 1Vpp이며, sampling clock은 2GSPS이다. 2GHz의 clock sampling을 위해 별도의 PLL이 설계되었으며 Jitter 억제를 위한 Intelligent Buffer가 제안되었다.

**3. 모의실험 결과**

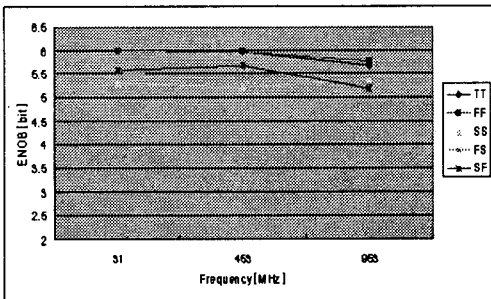
제안된 Interpolation Flash A/D 변환기의 모의실험 결과, A/D 변환기에서 64 code의 디지털 출력이 missing code 없이 출력됨을 확인하였다. 그림 3는 reconstruction 파형과 FFT simulation 결과이다.



<a. ramp wave reconstruction>



<b. sine 31.25MHz FFT/reconstruction>



<c. FFT simulation result>

그림 3. 모의실험 결과

4. 결 론

본 연구의 목적은 고속 Interface를 위한 높은 변환 속도와 적은 전력 소모를 갖는 A/D 변환기의 개발이다. 일반적으로 고속의 A/D 변환기는 기존의 Full Flash 방식이 널리 사용되고 있으나 큰 칩 면적과 전력 소모를 가지는 단점을 극복하기 위해 본 연구에서는 Interpolation Flash기법을 사용하였다. 본 연구에서는 0.18um 1-poly 3-metal N-well CMOS 공정을 사용하여, 고속 동작을 목표로 한 1.8V 6bit 2GSPS CMOS

A/D 변환기를 설계하였다. 설계된 칩의 모의실험 결과를 통하여 각 부분의 성능을 평가하여, 제한한 A/D 변환기의 ENOB는 5.376 bit으로 측정되었다. 유효 칩 면적은 977um X 1040um으로 6bit을 Full Flash type으로 A/D 변환기를 구현했을 때에 비해 작은 칩 면적을 차지하였다. 그림 4에 In/Output Pad를 제외한 6bit 고속 A/D 변환기의 전체 Layout을 나타내었다. 표 1은 본 연구에서 설계된 A/D 변환기의 사양 및 레이아웃 결과도표이다.

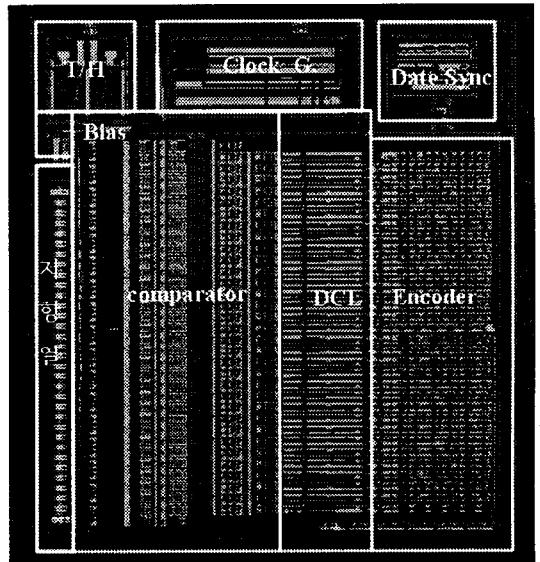


그림 4. 본 연구에서 설계된 ADC의 Layout

표 1 설계된 ADC의 사양 및 레이아웃 결과

분해능	6 비트
입력 주파수	Nyquist
변환속도	2GSPS
전원 전압	단일 1.8V
아날로그 입력 범위	0.5V <sub>PP</sub> (Diff.=1V <sub>PP</sub> )
공정	0.18 $\mu$ m, 1-poly, 3-metal N-well CMOS
DNL 및 INL	< $\pm$ 1LSB
전력소모(A/D 변환기 Core)	145 $\mu$ W(TT)
유효 칩 면적	977 $\mu$ m $\times$ 1040 $\mu$ m

참고 문헌

- [1] David A. Johns and Ken Martin, "Analog Integrated Circuit Design", John Wiley & Sons Inc., 1997.
- [2] Behzad Razavi, "Design of Sample and Hold Amplifiers for High speed Low voltage A/D Converters", Custom Integrated Circuits Conference, pp.59-66, May. 1997.
- [3] 이승훈, 김범섭, 송민규, 최중호 공저, "CMOS 아날로그 / 혼성모드 집적시스템 설계", 시그마프레스, 1999
- [4] 박홍준, "CMOS 아날로그 집적회로 설계", 시그마프레스, 1999