

10-bit 32Msps A/D 변환기의 설계

김관중, 송민규

동국대학교 반도체학과
전화 : 02 - 2264 - 9450

Design of the 10-bit 32Msps Analog to Digital Converter

Pan-Jong Kim, Min-Kyu Song

Dongguk University
Department of Semiconductor Science
E-mail : kpj0514@ dgu.ac.kr

Abstract

In this paper, CMOS A/D converter with 10bit 32MSPS at 3.3V is designed for HPNA 2.0. In order to obtain the resolution of 10bit and the character of high-speed operation, we present multi-stage type architecture. That consist of sample and hold(S&H), 4bit flash ADC and 4bit Multiplier D/A Converter (MADC) also the Overflow and Underflow for timing error correct of Digital Correction Logic (DCL). The proposed ADC is based on 0.35um 2-poly 5-metal N-well CMOS technology, and it consumes 130mW at 3.3V power supply.

I. 서론

최근 정보통신 분야의 발달로 인해 이를 이용하는 사용자가 매년 크게 증가하고 있다. 또한 개인용 컴퓨터는 가정에서 업무, 통신, 교육, 취미활동 등을 위한 가장 영향력 있는 플랫폼(Platform)이 되고 있으며, 인터넷은 정보 접근의 가장 필요한 수단이 되고 있다. 이에 따라 많은 디지털 기기들은 디지털 네트워크를 통해 음성, 화상의 전달 수단으로 이용되고 있어 외부로부터 정보에 대한 고속접근이 가능해졌다. 그러나 가정 기기들 사이에서 디지털정보를 빠르게 움직이게 하는 홈 네트워크는 상대적으로 뒤쳐진 상태이다. 이는 일반적

인 랜(LAN)에서 요구되는 배선공사의 복잡성 때문이다. 따라서 새로운 배선 공사 없이 현재 사용되고 있는 전화선을 이용해 간단하고 저렴하게 고속 홈 네트워크를 구현할 필요가 있다. 따라서 본 논문에서는 Home PNA 2.0 Analog Front End chip의 RX단에 사용하는 Multi-stage A/D 변환기를 설계하였다. 설계된 A/D 변환기는 10-bit의 해상도와 32MSPS의 변환속도를 가지고 있으며, 3.3V의 전압에서 동작이 가능하다. 전체적인 구조는 3-Stage Multi-stage 구조로 설계하였으며, Full chip에서의 모의 실험 결과를 통하여 설계된 A/D 변환기의 특성을 확인하였다. Layout 결과 유효 칩 면적은 Power Guard ring을 포함하여 약 1700um X 3040um이며, 소비 전력은 130mW의 저전력을 사용하였다. 본 논문에서는 설계된 ADC의 전체구조와 S&H의 기본구성, 4bit flash ADC, 4bit MDAC, 그리고 DCL을 설명하고 full chip 모의실험에 대해 서술하고 결론을 맺는다.

II. Multi-stage A/D 변환기의 설계

2.1 Multi-stage A/D 변환기의 구조

본 연구에서 사용한 Multi-stage A/D 변환기는 그림 2.1.1에 보이는 Home PNA 2.0 Analog Front End Chip의 RX단에 사용되며, TX단에 사용된 D/A 변환기와 같이 디지털 Loop Back을 통하여 동작성능을 확인한다.

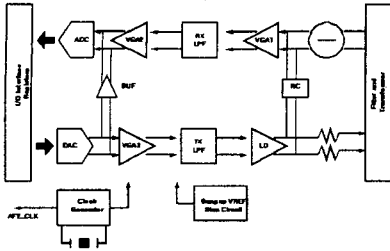


그림 2.1.1 Home PNA 2.0 Analog Front End Chip의 구조 Multi-stage A/D 변환기는 Two-Step A/D 변환기의 개념을 여러 단으로 확장한 것으로 크게 S&H, Flash A/D 변환기, 그리고 MDAC으로 이루어진 아날로그 블록과 DCL로 이루어진 디지털 블록으로 나눌 수 있다. 본 연구에서 사용한 Multi-stage A/D 변환기의 블록 다이어그램을 그림 2.1.2에 나타내었다. 4-bit Flash A/D 변환기와 4-bit MDAC으로 이루어진 총 3단으로 구성되어 있으며, DCL은 각 단의 시간차를 보정해 주기 위한 회로와 Overflow, Underflow를 감지하는 회로로 구성되어 있다.

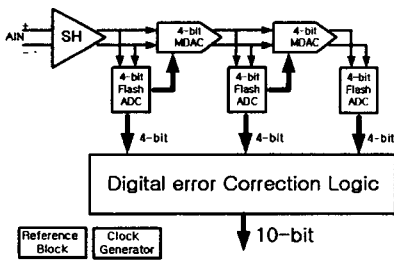


그림 2.1.2 10-bit Multi-stage A/D 변환기의 구조 Multi-stage A/D 변환기의 동작을 살펴보면, 먼저 차동의 아날로그 입력을 Sample and Hold Amp(SHA)를 통해 샘플링하고 홀딩한다. 하위 A/D 변환기는 SHA가 Holding한 입력에 대해 2-bit의 디지털 신호를 출력하고 출력된 디지털 신호는 다시 MDAC에 의해 양자화된 아날로그 신호로 바뀐 후 잔류전압이 증폭되어 다음 단으로 보내진다. 다음 단은 앞 단의 증폭된 잔류전압을 입력으로 받아서 디지털 신호를 출력하고, 동시에 앞 단은 새로운 입력을 받아들여 위와 같은 동작을 반복한다. 결국, 첫 단은 새로운 입력을 연속적으로 받아들이고, 각 단에서 생성된 잔류전압은 계속 다음 단으

로 전달되기 때문에 일정한 시간이 지나간 뒤에는 모든 단에서 각각 다른 입력에 대하여 동시에 디지털 신호를 출력한다[1][2]. 하나의 입력 신호에 대해 각 단에서 출력된 디지털 신호는 반 주기의 시간 차이가 있기 때문에 완전한 출력을 얻기 위해서 먼저 출력된 디지털 신호를 D_FF으로 이루어진 Delay Cell에서 단 사이의 Delay를 맞추어준다. 그 후 각 단 사이에서 발생하는 Overflow나 Underflow에 대해 Adder로 이루어진 Detector에 의해 Data를 처리한 후 최종 출력 10-bit을 내보내게 된다.

2.2 Sample and Hold

Continuous time 신호를 Discrete time 신호로 변환하는 SHA는 신호처리 시스템에 있어서 중요한 기본 블록들 중의 하나이다[1][3].

8-bit의 해상도를 위해서는 스위치와 캐패시터만의 Track and Hold로는 구현하기 어렵기 때문에 증폭기를 갖는 S&H를 사용해야 한다. 샘플링 주기 보다 홀드 주기에서의 부하 캐패시턴스가 크게 되며 홀드 주기에서 S&H의 부하는 MDAC의 캐패시터, 스위치의 기생 캐패시터 및 비교기의 입력 캐패시터로 구성된다.

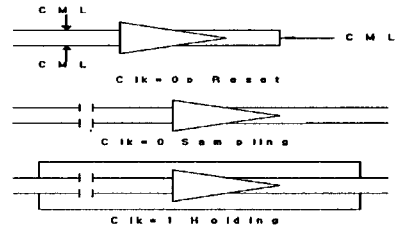


그림 2.2.1 Sample and Hold block diagram

그림 2.2.1은 본 연구에서 사용된 S&H의 블록다이어그램이다. 전체적으로 증폭기와 스위치, 캐패시터로 구성되어 있으며, 입력 CLK에 의해 Reset, sample, hold의 3가지 동작 모드가 결정되어진다.

특히 본 연구에서는 Reset 모드 동작 시 기존의 피드백 방식에서, 강제적으로 CML을 인가하는 방식을 사용하여 S&H의 전체 성능을 개선하였다.

본 연구에 사용된 SHA의 DC Gain은 66dB이며 Cut-off Frequency는 230MHz, Phase Margin은 65°이

었다.

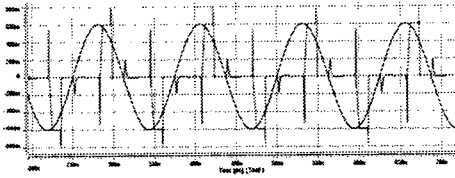


그림 2.2.2 Sample and Hold 출력파형

그림 2.2.2 는 본 연구에 사용된 S&H 의 출력파형이다.

2.3 MDAC (Multiplier D/A 변환기)

MDAC 은 일반적으로 Multi-stage A/D 변환기에서 D/A 변환기의 동작과 잔류 전압 증폭의 2 가지 동작을 한번에 해결하는 회로로, 샘플링 모드와 증폭 모드를 조절하기 위하여 비 증폭 클럭을 사용한다[2]. 본 연구에 사용한 MDAC 의 구조는 4_Bit 형태로 유효 기준전압 범위 안에서 8 배 증폭을 하도록 설계되어 졌다. 그림 2.3.1 에 본 연구에 사용되어진 MDAC Amp 의 동작 Diagram 을 나타내었다.

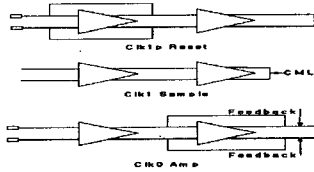


그림 2.3.1 MDAC Amp 의 동작 Diagram

Multi-stage A/D 변환기에 사용되는 여러 회로의 오차 영향에 의해 MDAC 의 출력이 기준전압보다 크거나 작을 수도 있는데, 이와 같은 문제를 해결하기 위해 보통 증폭률을 2^N 이 아닌 2^{N-1} 로 하여 DCL 을 사용한다. 본 연구에서도 위에 문제를 고려하여 앞에서 설명했던 Reference 레벨과 같이 증폭률을 2^{N-1} 로 하여 DCL 에서 보정하도록 설계하였다.

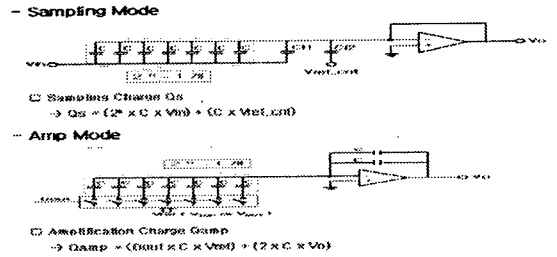


그림 2.3.2 본 연구에 사용된 MDAC 의 동작

MDAC 에 사용된 Amp 는 DC Gain = 90 dB, 3_dB Frequency = 350M Hz, Phase Margin = 63° 의 성능을 나타내었다. 그림 2.3.3 은 본 연구에 사용된 MDAC 의 모의 실험결과이다

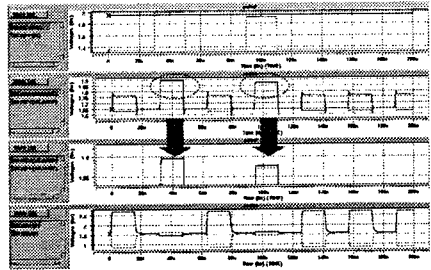


그림 2.3.3 MDAC 모의실험 결과

위 결과는 입력 기준전압 범위 안에서 8 배 증폭되어 제대로 된 결과 파형을 내고 있음을 보여준다.

2.4 DCL(Digital Correction Logic)의 알고리즘

상위 단과 하위 단의 디지털 코드를 비교하여 정확한 신호를 내보내며, 보정 알고리즘은 그림 2.4.1 에 나타내었다.

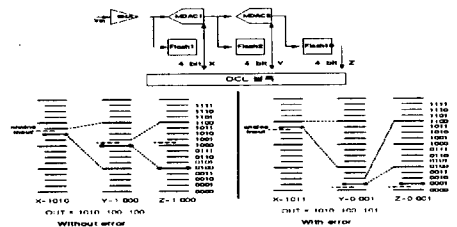


그림 2.4.1 Digital Error Correction 보정 알고리즘

그림 2.4.1 은 각 단당 4-bit 씩을 생산하는 Multi-stage A/D 변환기를 예로 든 것이다. Error 가 발생하였을 때 먼저 Y 의 상위 2-bit 가 “11” 이면 “X=X+1” 을 하고, “00” 일 경우에는 “X=X-1” 의 동

작을 수행한다. 그 후 Y의 두 번째 MSB는 반전 처리되어진다. 앞 단과 같은 방법으로 두 번째 단과 마지막 단의 신호들을 처리한 후 결과 값에서 마지막 LSB를 제거한 값을 최종 결과로 내보내게 된다.

III. Full Chip 모의 실험 결과

그림 3.1에 본 연구의 A/D 변환기의 Layout을 나타내었다.

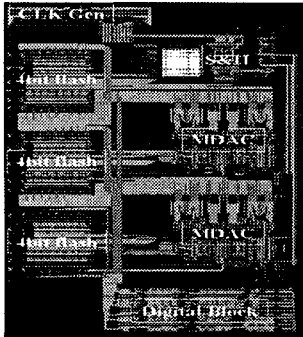


그림 3.1 본 A/D 변환기의 Full Layout

Multi-stage A/D 변환기 전체 블록의 동작 여부를 확인하기 여러 방법의 모의 실험을 실시하였다. 그림 3.2(a)은 입력 주파수를 8MHz로 하고 시뮬레이션 조건을 NN으로 하였을 경우 Full Code 결과를 나타낸 것이며, 그림 3.2(b)는 10-bit의 결과를 복원한 결과이다. 복원파형과 디지털 결과를 통하여 본 연구에서 사용한 Multi-stage A/D 변환기가 제대로 동작하고 있음을 확인할 수 있었다.

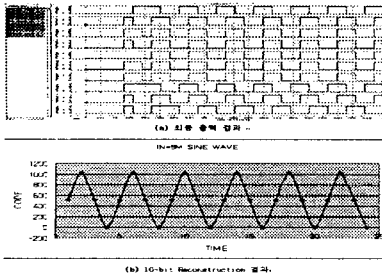


그림 3.2 입력 8MHz, 샘플링 32MHz에서 모의 실험 결과

IV. 결론

본 연구에서는 0.35um 2-poly 5-metal N-well CMOS 공정을 사용하여 Home PNA 2.0 Analog Front End chip의 RX

단에 사용하는 Multi-stage A/D 변환기를 설계하였다. 설계된 A/D 변환기는 10-bit의 해상도와 32MSPS의 변환속도를 가지고 있으며, 3.3V의 전압에서 동작이 가능하다. 전체적인 구조는 3-Stage Multi-stage 구조로 설계하였으며, Full chip에서의 모의 실험 결과를 통하여 설계된 A/D 변환기의 특성을 확인하였다. Layout 결과 유효 칩 면적은 Power Guardring을 포함하여 약 1700um X 3040um이며, 소비 전력은 130mW의 저전력을 사용하였다. 표 4.1에 A/D 변환기의 전체적인 사양을 정리하였다.

표 4.1 10-bit Multi-stage A/D

전체 구조	3-Stage Pipeline
분해능	10 Bit
변환 속도	32M sample/second
전원 전압	3.3 volt
이날로그 입력 범위	1.2 Vpp [Dual]
공정	0.35um 2-poly 5-metal N-well CMOS Process
입력 주파수	10M Hz
전력 소모	130m W
유효 칩 면적	1700um X 3040um

REFERENCES

- [1] Stephen H. Lewis and Paul R. Gray, "A Multi-staged 5-Msample/s 9-bit Analog-to-Digital Converter", IEEE J. Solid-States Circuits vol. SC-22, no. 6, pp. 351-358, Dec. 1987.
- [2] Bang-Sup Song, Michael F. Tomsett, And Kadaba R. Lakshmi Kumar, "A 12-b 1-Msample/s Capacitor Error-Averaging Multi-stage A/D Converter", IEEE J. Solid-States Circuits vol. 12, no. 6, pp. 1324-1333, Dec. 1988.
- [3] K. Matsui, T. Matsuura, S. Fukkasawa, Y. Izayawa Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters Using Switched Capacitor 14M Circuit", IEEE J. Solid-States Circuits vol. SC-20, pp. 1096-1102, Dec. 1985.