

# RFID 용 Manchester Encoder 의 설계 및 구현

김기호, 김재형, 박형무

동국대학교, 전자공학과  
전 화: 02-2260-8588

## Design and Implementation of the Manchester Encoder for RFID

Ki-Ho Kim, Jae-Hyung Kim, Hyung-Moo Park

Department of Electronics Engineering  
Dongguk University  
E-mail : ballkey@ dongguk.edu

### Abstract

Manchester encoder of FSM method is a suitable signal coding for an RFID system. However, Manchester encoder of FSM method has usually more gate count and lower maximum frequency than encoder of exclusive-OR gate method. In this paper, it is proposed encoder of FSM method to improve gate count and maximum frequency.

### I. 서론

RFID 는 무선통신 시스템으로 자동화 데이터 수집장치(Automatic Data Collection)의 한 분야에 속해 있다. 일반적인 RFID 시스템은 reader 와 tag(transponder), 그리고 전송매질(channel) 이란 3 개의 큰 기능블록으로 나눌 수 있다. 그림 1 은 RFID 시스템의 블록도를 보여준다.

Tag 에서 encoder 부분은 전송할 메시지를 신호로 내어 전송매질(Channel)의 특성에 적합하게 만들어주는 역할을 한다. 이 과정에서 간섭과 충돌의 영향을 고려하여야 한다. [1]

RFID 에 제안되어 있는 여러 가지 coding 방식 중에 Manchester coding 은 DC component 가 없고, 각

비트의 중간지점에서 항상 transition 이 발생하여 에러 검출이 쉽다는 장점을 가진다.

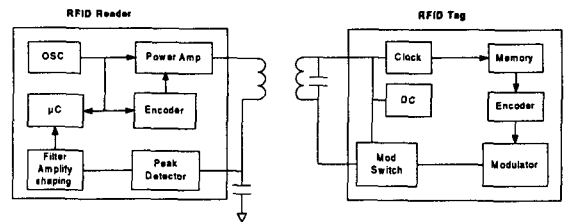


그림 1. RFID 시스템의 블록도

Manchester coding 은 현재 magnetic tape recording 과 Local Area Network(LANs) 등에 사용된다.[2] Manchester code 의 생성에는 보통 exclusive-OR gate 를 사용하지만, magnetic tape recording 의 경우 magnetic flux 의 영향을 고려하여 Finite State Machine 구조를 사용한다.

RFID 의 tag 는 chip 을 코일로 감싸게 되므로 magnetic field 의 영향을 고려한 FSM 구조가 더 적합할 것을 판단된다. 하지만, FSM 구조의 경우 상태

레지스터를 추가하게 되어 회로의 크기와 동작속도의 손실이 예상된다.

본 논문에서는 gate 수와 동작속도의 손실을 줄일 수 있는 FSM 방식의 Manchester encoder 를 설계하였다.

## II. Manchester coding 알고리즘

Manchester code 는 binary value 를 하나의 logic level 이 아니라 하나의 transition 으로 표현한다. Transition 은 mid-bit 에서 발생하며, logic '0'은 0에서 1로의 transition 으로 logic '1' 은 1에서 0으로의 transition 에 의해서 표현한다.

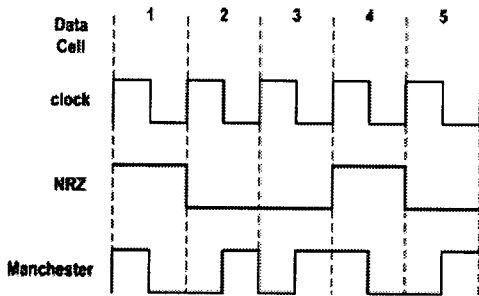


그림 2. NRZ code 와 Manchester code

Manchester code 는 exclusive-OR gate 를 사용하여 쉽게 생성할 수 있다. exclusive-OR gate 에 데이터와 clock 신호 입력할 때 데이터를 clock 보다 2 배 느리게 입력하면 출력 신호는 입력 데이터가 logic '1'에서는 clock 과 같은 신호를 내보내고, logic '0'에서는 clock 과 반대되는 신호를 내보내게 된다. 이 출력신호는 Manchester code 의 형태와 같게 된다. 그림 2 은 일반적이 binary code 인 NRZ code 와 Manchester code 를 비교하여 보여주고 있다. [3]

## III. Manchester Encoder 의 구조

### 3.1 exclusive-OR gate 방식의 Manchester Encoder 구조

Exclusive-OR gate 방식의 Manchester encoder 는 exclusive-OR gate 와 clock 의 동기화를 위한 sync 레지스터를 사용한 구조를 사용한다. 그림 3 은 일반적인 구조의 Manchester encoder 의 블록도를 보여준다.

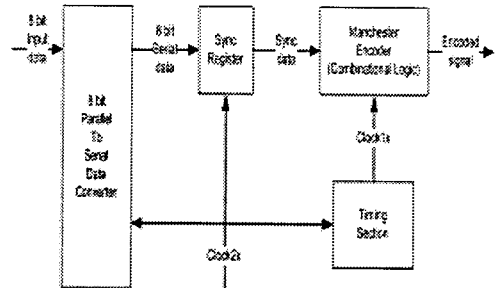


그림 3. exclusive-OR gate 방식의 Manchester Encoder 의 블록도

8bit parallel data 를 받으면 parallel to serial converter 를 거쳐서 serial data 로 변환된다. 다음 과정으로 sync 레지스터는 Manchester code 생성에 사용되는 exclusive-OR gate 의 입력으로 사용될 data 의 주기를 clock 신호 주기의 2 배로 맞추어 주는 역할을 한다.

sync 레지스터를 통과한 data 는 clock 신호와 함께 exclusive-OR gate 의 입력으로 사용되어 Manchester code 를 생성하게 된다. 그림 3 에서 clock2x 는 encoder 의 외부에서 넣어주는 clock 신호가 되고, clock1x는 timing section 을 거쳐서 clock2x 의 1/2의 주파수를 가진다. 이 clock1x 가 Manchester code 생성을 위해 exclusive-OR gate 의 입력으로 쓰인다.

### 3.2 FSM 방식의 Manchester Encoder 의 구조

기존의 FSM 방식의 encoder 의 구조는 그림 4 와 같이 code 생성부분만 바꾸어주게 된다. 이 구조는 code 생성 회로가 더 복잡해져서 exclusive-OR gate 구조보다 gate 수와 동작속도의 손실이 발생한다.

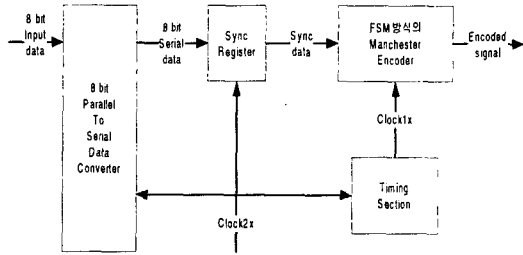


그림 4. 기존의 FSM 구조의 Manchester Encoder의 블록도

본 논문에서는 이런 손실을 피하기 위해 그림 5와 같은 구조를 제안하였다. 그림 5에서 Manchester encoder의 상태 레지스터로 들어가는 clock2x는 exclusive-OR gate 구조와 다르게 clock1x의 2배의 주파수를 가지는 clock 신호이다. 즉, 외부에서 넣어주는 clock을 Manchester encoder에 직접 넣어주고, 1/2의 주파수를 갖도록 clock 분주기에 의해 생성한 clock에 맞추어 데이터를 받는다.

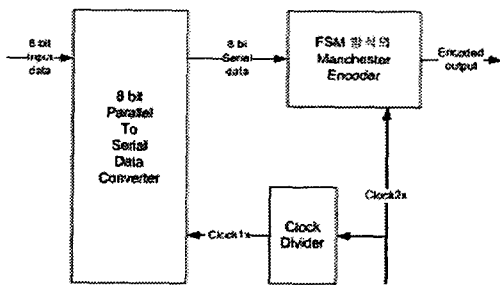


그림 5. 제안된 FSM 방식의 Manchester Encoder의 블록도

이렇게 하면, sync 레지스터가 없어도 되므로 상태 레지스터의 추가로 발생하는 회로의 크기와 동작속도의 손실을 줄일 수 있다.

그림 6과 7은 FSM 방식인 Mealy machine과 Moore machine으로 구현한 encoder의 회로도이다. Mealy machine의 경우 상태 레지스터의 중간 출력 값을 feedback하여 사용하고, 최종 출력에 입력 값이 영향을 미친다. 반면에 Moore machine의 경우 출력

값이 입력에 상관없이 항상 현재 상태에 의해서 변하고, 최종 출력 값을 feedback하여 사용한다.

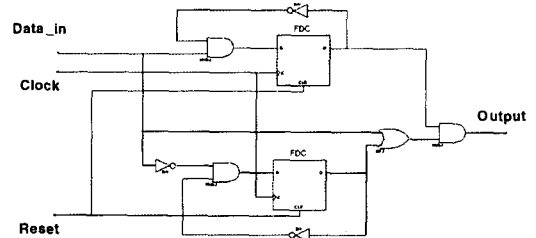


그림 6. Mealy Machine을 사용한 Manchester Encoder의 회로도

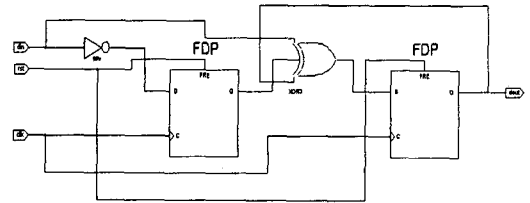


그림 7. Moore Machine을 사용한 Manchester Encoder의 회로도

두 가지 결과를 시뮬레이션 검증한 결과 Moore machine의 경우 최종출력을 사용하기 때문에 출력이 한 clock 뒤에 나왔다. 따라서, 본 논문에서는 Mealy machine을 사용하였다.

#### IV. 시뮬레이션 및 결과 검토

전체 회로는 Verilog HDL를 이용하여 설계하였으며, Modelsim 5.7g로 기능을 검증하였다. 로직합성은 ISE6.2를 사용하였다. 그림 8은 8bit의 입력을 가지는 FSM 방식의 Manchester encoder의 시뮬레이션 결과이고, 그림 9는 로직합성 결과를 보여준다.

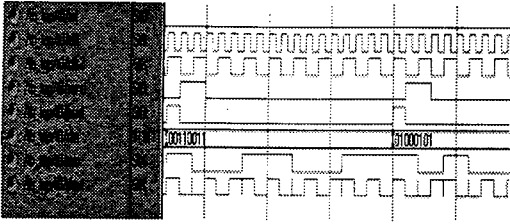


그림 8. 제안된 FSM 방식의 Manchester Encoder의 Simulation 결과

시뮬레이션 결과를 통해서 입력 데이터의 clock 을 분주기를 거친 clock 을 사용해도 무방함을 확인 할 수 있었다.

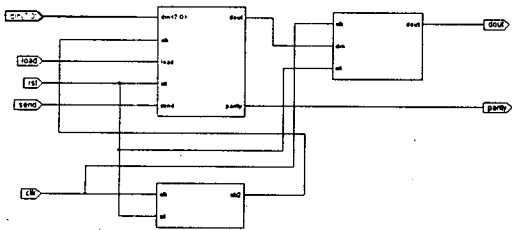


그림 9. 제안된 FSM 방식의 Manchester Encoder의 로직합성 결과

로직합성 후에 Vertex2 xc2v1000 을 내장하고 있는 Micro Blaze Board 를 사용하여 FPGA 구현을 해보았다. 표 1 은 CPLD XAPP339 의 Application note 에 제공되는 exclusive-OR gate 구조, code 생성만 FSM 방식으로 한 기존의 FSM 구조, 그리고 제안하는 구조의 3 가지 방식의 gate 수와 동작속도를 비교한 실험 결과를 보여준다.

표 1. 실험결과

	exclusive-OR Gate 구조	기존의 FSM 구조	제안된 FSM 구조
Number of gate	337	365	177
Maximum Frequency	327.869 MHz	161.475 MHz	567.859 MHz

## V. 결론

본 논문에서는 Manchester Encoder 를 exclusive-OR gate 가 아닌 FSM 방식으로 설계하였다. 기존의 FSM 구조와 같이 code 생성 블록만 변경할 경우 gate 수와 동작속도에 손실이 발생하게 된다. 이러한 손실을 줄이기 위해 외부에서 넣어주는 Clock 신호를 Manchester Encoder 에 넣어주고 입력데이터를 clock divider 를 거쳐 clock 의 1/2 의 주파수가 되는 신호에 따라 넣어주어 Encoder 사이에 Sync 레지스터 제거하는 방법을 제안하였다.

시뮬레이션을 통해 encoder 의 clock 이 입력 데이터의 clock 보다 빠른 경우에도 기능상에 문제가 없음을 검증할 수 있었다. 또한, 로직합성과 FPGA 구현을 통해 제안된 구조의 FSM 방식의 회로가 gate 수와 동작속도를 개선할 수 있음을 확인 할 수 있었다.

본 논문에서 제안한 encoding 회로가 RFID 에 적합한지 확인하기 위해서는 앞으로 magnetic field 에 영향에 관한 연구를 더 진행해야 할 것으로 보인다.

## 감사의 글

본 논문은 동국대학교 ERC 센터인 동국대학교 밀리미터파 신기술연구센터(MINT)의 지원에 의해 수행 되어졌습니다.

## References

- [1] Klaus Finkenzeller, "RFID HANDBOOK", Wiley, pp 183~186, 2003.10
- [2] William Stallings, "Data and Computer Communications" Macmillan, pp 67~74,1985
- [3] Roger Forster, "Manchester encoding: opposing definitions resolved", Engineering science and Education Journal, pp 278~280. 2000. 12.