

RF CMOS 소자 내부 등가회로 파라미터의 게이트길이에 대한 종속성

최문성, 이용택, 이성현

한국의국어대학교 전자정보공학과 전자공학전공

전화 : 031-330-4582 / 팩스 : 031-330-4120

Gate Length Dependence of Intrinsic Equivalent Circuit Parameters for RF CMOS Devices

Munsung Choi, Yongtaek Lee, Seonghearn Lee

Hankuk University of Foreign Studies

E-mail : dlsrhwkd@hotmail.com

Abstract

Gate length dependent data of intrinsic MOSFET equivalent circuit parameters are extracted using a direct extraction technique based on simple 2-port parameter equations. The relatively scalable data with respect to gate length are obtained. These data are verified to be accurate by observing good correspondence between modeled and measured S-parameters up to 30GHz. These data will be helpful to construct RF scalable MOSFET model.

I. 서론

최근 RF 송수신기의 고주파화 및 광대역화가 전 세계적으로 가속화 되는 상황에서, RF IC의 제조를 위해 가격 경쟁력이 탁월한 Silicon MOSFET이 기본 소자로 많이 사용되고 있다 [1]. 이런 RF CMOS transistor의 gate length(L_g)가 scale-down됨에 따라서 RF 성능을 결정하는 차단주파수(f_T)와 최대진동주파수(f_{max})가 급격히 상승하기 때문에, deep submicron MOSFET의 중요성이 증가하고 있다. 일반적으로 MOSFET의 f_T 및 f_{max} 는 다음 식으로 표현된다 [2].

$$f_T = \frac{g_{m0}}{2\pi(C_{gs} + C_{gd})} \quad (1)$$

$$f_{max} = \frac{f_T}{\sqrt{8\pi f_T R_g C_{gd} + 4(R_s + R_g)/r_{ds}}} \quad (2)$$

위의 식에서 보여주는 바와 같이, RF특성을 모델링하기 위해서는 g_{m0} , C_{gs} , C_{gd} 및 r_{ds} 등의 내부 등가회로 파라미터들의 정확한 추출데이터가 필수적이다. 따라서, L_g 가 scale-down됨에 따라서 향상되는 RF 소자 특성을 정확히 모델링하기 위해서는 내부 파라미터들의 L_g -종속 데이터를 정확히 추출하여야 한다.

최근 deep submicron인 $L_g=0.18\mu m$ CMOS 소자의 intrinsic parameter 추출데이터가 발표되었으나 [3], 아직 다양한 L_g -종속 내부 파라미터 데이터는 문헌상에서 나와 있지 않았다. 따라서, 본 연구에서는 RF 특성을 scalable하게 모델링 할 때 필요한 내부 파라미터의 L_g -종속 데이터를 정확한 직접추출 방법을 사용하여 결정하였다.

II. 모델 파라미터 추출

2.1 추출 방법 및 모델

본 연구를 위해 사용된 소자는 gate length가 각각 0.11, 0.15, 0.18, 0.25, $0.5\mu m$ 인 multi-finger 형태(5 μm unit finger width, finger수 10개)의 N-MOSFET이다.

MOSFET 파라미터의 정확한 추출을 위해 패드 생성분은 소자가 없는 open 패드 패턴과 short 패드 패턴을 사용하여 측정된 S-파라미터로부터 de-embedding하였고 [4], 최근 제안된 Y 및 Z-파라미

터 방정식을 사용한 CMOS 소신호 모델 파라미터 추출방법을 적용하였다 [5].

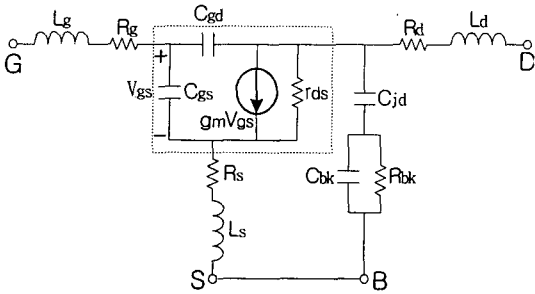


그림 1. MOSFET의 소신호 고주파 등가회로 [6].
($g_m = g_{mo}e^{-j\omega\tau}$)

그림 1은 이미 정확도가 검증된 RF CMOS 소신호 등가회로로서 [6], 점선 box 내부에는 본 연구에서 추출하고자 하는 intrinsic 파라미터들이 포함되어 있다. 또한 점선 box 외부의 기생 성분으로는 series 저항 (R_d, R_g, R_s) 및 series inductance (L_d, L_g, L_s)가 연결되어 있고, bulk capacitance (C_{bk})와 bulk resistance (R_{bk})의 병렬연결과 직렬로 연결되어 있는 drain junction capacitance (C_{jd})가 기판 등가회로를 구성하고 있다.

R_d 와 L_d 의 결정을 위하여 고주파 영역(HF)에서 그림 1로부터 유도된 다음 방정식들을 사용하였다 [5].

$$\text{Real}(Z_{22} - Z_{12})_{HF} \approx R_d + \frac{A_d}{\omega^2} \quad (3)$$

$$\frac{1}{\omega} \text{Imag}(Z_{22} - Z_{12})_{HF} \approx L_d - \frac{E_d}{\omega^2} \quad (4)$$

여기에서 A_d, E_d 는 고정된 bias에서 변하지 않는 내부 파라미터들의 함수로 표현된다. 그림 2와 3에서 보는 것과 같이 R_d 와 L_d 의 값은 각각 식(3)과 식(4)를 ω^{-2} 으로 그린 후 얻어진 extrapolation line의 y-절편 값으로 결정하였다.

기판 파라미터들은 측정된 S-파라미터로부터 추출된 R_d 및 L_d 를 제거한 후 얻어진 Y^b -파라미터를 사용하여 구하였으며, 이때 참고문헌[5]에서 이미 정확도가 입증된 추출 방법을 적용하였다.

다음으로 R_g, R_s, L_g, L_s 들은 각각 그림 1로부터 고주파 영역에서 유도된 아래와 같은 방정식을 사용하여 결정하였다 [5].

$$\text{Real}(Z_{11}^c - Z_{12}^c)_{HF} \approx R_g + \frac{A_g}{\omega^2} \quad (5)$$

$$\text{Real}(Z_{12}^c)_{HF} \approx R_s + \frac{A_s}{\omega^2} \quad (6)$$

$$\frac{1}{\omega} \text{Imag}(Z_{11}^c - Z_{12}^c)_{HF} \approx L_g - \frac{E_g}{\omega^2} \quad (7)$$

$$\frac{1}{\omega} \text{Imag}(Z_{12}^c)_{HF} \approx L_s - \frac{E_s}{\omega^2} \quad (8)$$

위 식에서 A_g, E_g, F_g, E_s 들은 내부 파라미터의 함수이고, Z^c -파라미터는 Y^b -파라미터에서 C_{jd}, R_{bk}, C_{bk} 값들을 빼서 구한 것이다.

위 식들을 통해 얻어진 값들을 그림 3과 같이 ω^{-2} 으로 그린 그래프의 extrapolation line의 y-절편 값으로 각각 R_g, R_s, L_g, L_s 들을 직접적으로 결정하였다.

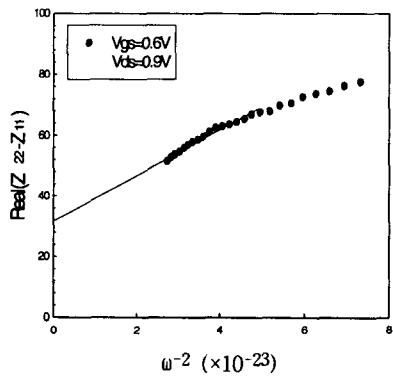


그림 2. $\text{Real}(Z_{22} - Z_{11})$ 를 ω^{-2} 함수로 그린 그래프.

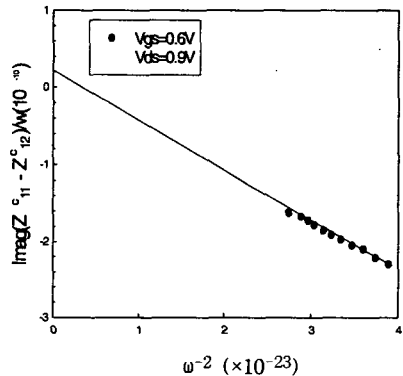


그림 3. $\frac{1}{\omega} \text{Imag}(Z_{11}^c - Z_{12}^c)$ 를 ω^{-2} 로 그린 그래프. 직선의 Y-절편이 $L_g(10^{-10}\text{H})$ 의 추출값이다.

그림 1에서 점선 박스의 intrinsic 파라미터들인 $g_{mo}, C_{gs}, C_{gd}, r_{ds}$ 값들은 Y^b -파라미터로부터 유도된 다음 식으로부터 각각 결정하였다.

$$C_{gs} = \frac{1}{\omega} \text{Imag}(Y_{11}^i + Y_{12}^i) \quad (9)$$

$$C_{gd} = -\left(\frac{1}{\omega}\right) \text{Imag}(Y_{12}^i) \quad (10)$$

$$g_{mo} = |Y_{21}^i - Y_{12}^i| \quad (11)$$

$$r_{ds} = \frac{1}{\text{Real}(Y_{22}^i)} \quad (12)$$

여기에서 Y^i -parameter는 Z^c -parameter에서 R_g , R_s , L_g , L_s 를 빼서 구한 것이다. 그림 4는 식 (10)을 주파수의 함수로 그린 그래프로서, 10GHz 이상의 상수 값으로 C_{gd} 를 결정하였다. 위와 같은 추출방법을 사용하여 gate length가 0.11, 0.15, 0.18, 0.25, 0.5 μ m인 MOSFET 소신호 등가회로의 intrinsic 파라미터 값들을 각각 추출하였다. 그림 5에서는 위에서 추출된 외부 기생성분 및 내부 파라미터들을 모델에 대입하여 시뮬레이션된 S-파라미터들이 측정된 S-파라미터들과 잘 일치하는 것을 보여주고 있으며, 이는 추출방법의 타당성을 증명한다.

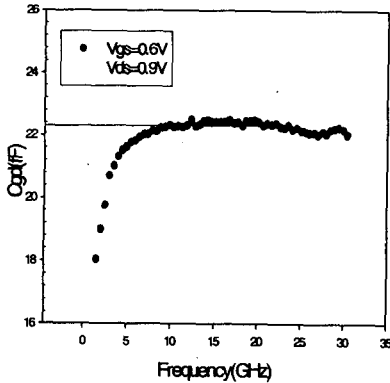


그림 4. 추출된 C_{gd} 의 주파수응답 그래프.

2.3 추출된 Gate length 종속 곡선

위의 추출방법을 사용하여 게이트 길이(L_g)를 변화시키면서 얻어진 내부 파라미터의 L_g -종속성을 설명하면 다음과 같다.

먼저 C_{gs} 와 C_{gd} 의 경우 그림 6과 7에서 볼 수 있듯이 L_g 의 증가에 따라 그 값이 거의 선형으로 증가하는 것을 확인할 수 있었다. 이는 L_g 의 크기가 증가함에 따라서 channel 면적이 증가하는 현상과 일치한다. 또한 g_{mo} 와 r_{ds} 역시 그림 8과 9에서 볼 수 있듯이 물리적 방정식을 통해 예상된 것과 일치하는 것을 볼 수 있었는데, g_{mo} 는 L_g 의 역수에, r_{ds} 는 L_g 에 따라 비교적

선형적으로 증가하는 것을 관찰할 수 있었다. 이와 같이 관찰된 선형 scalable 데이터는 추출된 내부 파라미터들의 정확도를 입증하고 있다.

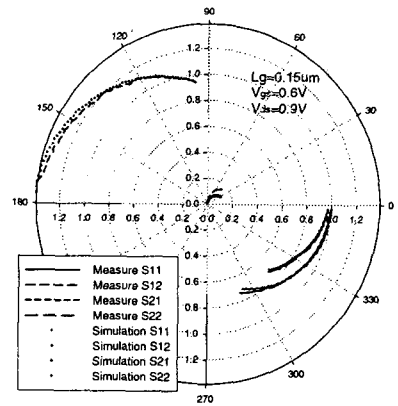


그림 5. 모델된 시뮬레이션 S-파라미터와 측정데이터를 0.5 ~ 30GHz까지 비교한 Smith chart.

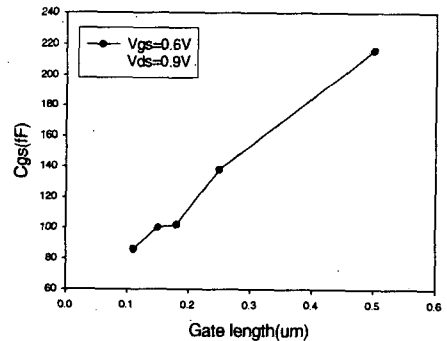


그림 6. 추출된 C_{gs} 의 L_g 종속 그래프.

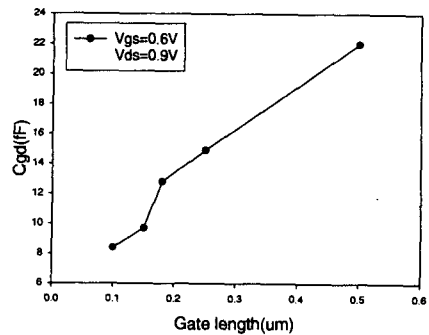


그림 7. 추출된 C_{gd} 의 L_g 종속 그래프.

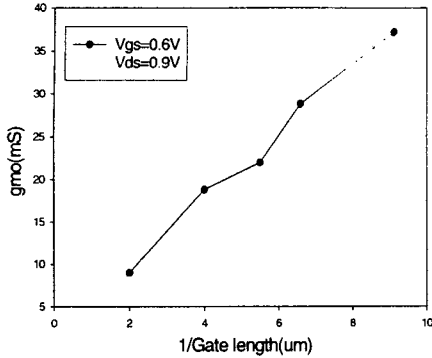


그림 8. 추출된 g_{mo} 의 L_g 종속 그래프

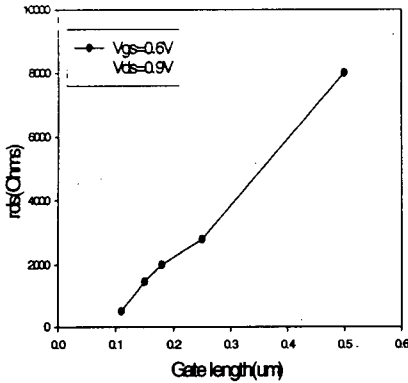


그림 9. 추출된 r_{ds} 의 L_g 종속 그래프

V. 결론

본 연구에서는 gate length가 다른 deep-submicron MOSFET의 intrinsic 파라미터를 측정된 S-파라미터로부터 외부 기생저항, 인덕턴스, 기판파라미터들을 제거한 후, Z 및 Y-파라미터 방정식들을 사용하여 직접 추출하였다. 이와 같은 추출 방법으로 intrinsic 파라미터들의 L_g -종속 곡선들을 고주파영역에서 구하였고, L_g 에 선형적인 추출 데이터를 관찰 할 수 있었다. 모델된 S-파라미터와 측정데이터가 잘 일치되는 것을 알 수 있었으며, 이는 본 연구에서 사용된 추출 방법의 정확성을 보여준다. 이와 같이 추출된 intrinsic 파라미터 데이터는, 정확한 RF scalable MOSFET 모델을 구축하는데 큰 기여를 할 것으로 예상된다.

♣ 본 연구는 과학기술부 21세기 프론티어 사업 중 테라급 나노 소자개발사업단 지원과, 정보통신부의 출연

금으로 수행한 IT SoC 핵심 설계 인력양성 사업에 의해 수행되었음.

참고문헌

- [1] N. Camilleri, J. Costa, D. Lovelace, and D. Ngo, "silicon MOSFET's, the microwave device technology for the 90s," in IEEE MTT-S int. Microwave Symp. Dig., 1993, pp. 545-548.
- [2] S. P. Voinigescu, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C.L. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. Rosenfield, M. G. R. Thomson, and M. polcari, "High performance 0.1um CMOS devices with 1.5V power supply," in Tech. Dig. Int. Electron Devices Meet., 1993, pp. 127-130.
- [3] M. K. Je, I. J. Kwon, J. H. Han, H. C. Shin, and K. R. Lee, "On the large-signal CMOS modeling and parameter extraction for RF application", Simulation of Semiconductor Processes and Devices, Int. Confer, pp. 67-70, Sept. 2002.
- [4] S. Lee, "Effects of pad and interconnection parasitics on forward transit time in HBTs", IEEE Trans. Electron Devices, Vol. 46, no. 2, pp. 275-278, Feb. 1999.
- [5] S. Lee, "Direct extraction technique for a small-signal MOSFET equivalent circuit with substrate parameters", Microwave & Optical tech Lett., Vol. 39, No. 4, pp. 344-347, Nov 2003.
- [6] S. Lee, C. S. Kim, and H. K. Yu, "A small-signal RF model and its parameter extraction for substrate effects in RF MOSFETs", IEEE Trans Electron Dev 48 (2001), pp. 1374-1379.