

과도한 채널 이온 주입 농도 및 Si-SiN 스트레스가

플래쉬 메모리셀 산포에 미치는 영향

이 치 경, 박 정 호, *박 규 찬 *김 한 수
 고려대학교 전자컴퓨터공학과 광전자연구소, *(주)삼성전자
 전화 : (031) 209-2062 / 핸드폰 : 010-4762-4540

The study on cell Vth distribution induced by heavily doped channel ionn and Si-SiN stress in flash memory cell

Chi-Kyoung Lee, Jung-Ho Park, *Han-Su Kim, *Kyu-Charn Park
 Dept. of Electronics Engineering, Korea University
 chikkorea@korea.ac.kr

Abstract

As scaling down the cell channel length, the increment of B concentration in channel region is inevitable to overcome the punch-through, especially in flash memory cell with 90nm technology. This paper shows that the high dose ion implantation in channel cause the Si defect, which has been proved to be the major cause of the tailed Vth in distribution. And also mechanical stress due to SiN-anneal process can induce the Si dislocation. and get worse it. With decreasing the channel implantation dose, skipping the anneal and reducing the mechanical stress, Si defect problem is solved completely. We are verify first that the optimization of B concentration in channel must be certainly considered in order to improve Si defect. It is also certainly necessary to stabilize the distribution of cell Vth in the next generation of flash memory

I. 서론

본 논문은 초미세급 플래쉬 메모리 셀에서 수율 및 특성 저하의 심각한 원인이 되고 있는 소거시 높은 문턱전압으로의 Tail Bit 및 쓰기시 낮은 문턱전압으로의 Tail Bit에 대한 특성 분석 결과 및 이들에 대한 구조 분석, 스트레스 시뮬레이션 결과, 개선 항목들에 대한 실험 평가 결과를 바탕으로 과도한 채널 이온 농도와 Si-SiN간 기계적 스트레스 등이 셀 문턱전압 산포 불량에 미치는 영향 및 대책을 규명해 보고자 한다.

II. 본론

1. 초미세급 플래쉬 메모리에서 셀의 문턱전압 산포 불량

초미세급 플래쉬 메모리에서 셀 문턱전압의 산포 불량량은 Sol'1' (소거) / Sol'0' (쓰기) 패턴의 읽기 불량 및 쓰기시 Disturbance 불량을 유발하여 수율 및 특성 저하의 원인이 되고 있다. 수율은 소거시 셀 문턱전압 산포 불량 55~73% 및 쓰기시 셀 문턱전압 산포 불량 17~27% 발생 등으로 0~1.1%의 아주 낮은 수율을 보였으며 셀 특성은 신뢰성 평가를 진행하기 어려운 정도로 심각한 수준을 보였다. 그림-1과 같이 평가 및 검증용 셀로는 Nor형 플래쉬 메모리 셀을 사용하였다. 불량 현상으로는 그림-2와 같이 공정 후 소거 및 쓰기를 하지 않은 초기 상태에서의 셀 문턱전압 산포 평가 결과 정상 산포 대비 높은 문턱전압 부위로 불룩하게 Tail이 지며 중심치가 다소 오른쪽으로 이동하는 현상을 볼 수 있었다. 이는 소거 / 쓰기 동작 없이 셀 문턱전압 읽기 동작시의 문제이므로 읽기 동작시 불량 셀에서 셀 전류가 감소하며 불량이 발생하는

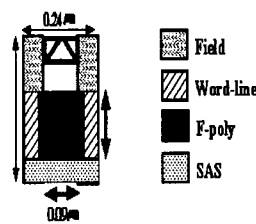


그림 1. 플래쉬 메모리 단위 셀 레이아웃문턱

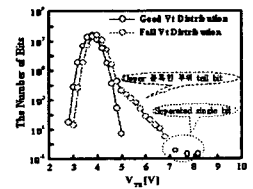


그림 2. 정상/불량 셀의 초기 셀 전압 산포 비교

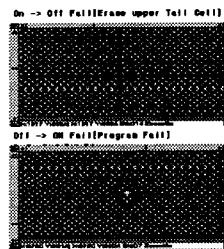


그림 3. Ckbd*1 패턴 쓰기시 Single Bit 불량 비트맵

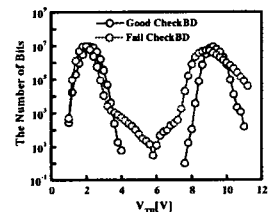


그림 4. Ckbd*1 패턴 쓰기시 정상/불량 셀의 문턱전압산포 비교

것으로 판단된다. (정확한 불량 원인은 추후 언급) 또한 그림-3과 같이 비트맵 테스터에서 Ckbd*1 패턴 쓰기 평가한 결과 불량 비트들이 발생함을 확인하였다. 그림-4에서 알 수 있듯이 소거 / 쓰기 동작시 Ckbd*1 패턴 쓰기에서는 소거된 셀 문턱전압 산포에서는 높은 문턱전압으로, 쓰기된 셀 문턱전압 산포에서는 낮은 문턱전압으로 Tail이 발생하며 Ckbd*1 패턴 문턱전압 Margin window가 거의 없는 수준을 보였다.

2. 문턱전압 불량 셀의 구조 분석 결과

그림-5에서 셀 문턱전압 불량 셀을 S-TEM 분석 결과 Si 표면 부위에서 Dislocation이 발생함을 확인하였다. Dislocation 발생 부위는 Si 표면으로부터 0~7nm 사이에서 발생하며 과도한 채널 이온 농도에 의한 격자 손상 부위가 Si-SiN 기계적 스트레스를 받으면서 Dislocation 정도가 심화되는 것으로 판단된다. 또한 스트레스를 받는 정도나 Dislocation이 심해지는 정도에 따라 초기 또는 소거된 상태에서 읽기 동작시 상대적으로 높은 문턱전압으로 읽히는 것으로 보인다. 이는 Si 표면 부위 Dislocation (결함)에 의한 채널 부위 전자 이동도의 감소 및 채널 부위 셀 전류가 흐르는 단면적 감소로 셀 전류가 감소하여 문턱전압을 높게 읽어내는 것으로 판단된다.

$$\mu n = q * t / mn \quad (\mu n: \text{전자 이동도}, t: \text{Mean Free Time})$$

$$R = L / \rho * A \quad (R: \text{저항}, A: \text{단면적})$$

$$I_{\text{dsat}} = A * q * \mu n * Nd * VDS / L$$

(I_{dsat}: Saturation Current, μn : 전자 이동도, A: 단면적)

쓰기시에는 그림-6과 같이 Dislocation이 발생한 Si 표면의 결함 부위에 터널 산화막 증착시 산화막에 국

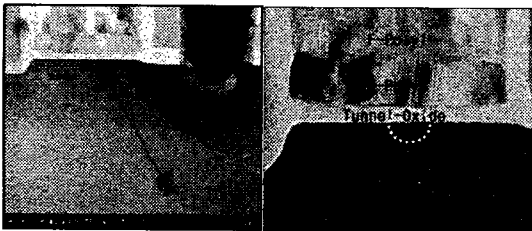


그림 5 Si 표면 부위 Dislocation 그림-6 Si 표면 Dislocation에 의한 터널 산화막 취약 부위 S-TEM

부적으로 취약한 부위가 발생하여 게이트로부터 드레인으로 전자 방출 증가 및 Hot Hole 주입 증가에 의해 Drain Disturbance에 취약한 특성을 보이는 것으로 판단된다. Dislocation 발생 위치는 크게 차이가 나지는 않지만 Strapping Contact 인근 부위에서 상대적으로 더 발생하는 것으로 보였다. 그 이유는 DNS (Disposal Nitride Spacer) 습식 식각 부족으로 Strapping Contact 주변에 남아있는 SiN에 의해 Si-SiN간 스트레스 증가로 Dislocation이 심화되는 것

으로 판단된다.

3. 문턱전압 불량 셀의 전기적 특성

공정 후 소거 및 쓰기를 안 한 초기 상태의 셀 문턱전압 산포 측정시 높은 문턱전압으로의 불룩한 Tail 셀들은 소거시에는 높은 문턱전압으로의 Tail을, 쓰기시에는 낮은 문턱전압으로의 Tail을 발생시킨다. 그림-7에서 불량 셀의 Drain Disturbance 검증 방식은 불량 셀을 포함하고 있는 1 워드라인을 선정하여 Drain Disturbance 전후에 셀 문턱전압 산포를 측정하는 방식을 사용했다. Separated Single Bit 불량이 존재하는 워드 라인을 선택하여 1회 쓰기하여 Drain Disturbance 전 산포를 측정할 경우 불량 셀이 발생하지 않았으나 나머지 511 워드 라인을 쓸 때 Drain Disturbance가 가해지면서 불량 셀이 산포에서 분리되어 나옴을 알 수 있었다. 이로 인해 쓰기시 Tail을 형성하고 있는 셀들이 Drain Disturbance 특성에 취약해 불량으로 발생함을 확인할 수 있었다. 또한 소거시 높은 문턱전압으로 Tail지는 불량 셀의 게이트 전압에 따른 셀 전류의 변화를 산포내의 제일 높은 문턱전압을 가지는 정상 셀과 비교하기 위해 워드라인 전압에 따른 셀 전류를 각각 측정한 결과 그림-8에서 보듯이 불량 셀의 워드라인 전압에 따른 셀 전류의 곡선 기울기가 정상 셀에 비해 완만함을 보였다. 이는 셀 부위의 Si 격자 결함 (Dislocation) 발생으로 인한 채널 부위의 전자 이동도 감소 및 채널 전류가 흐르는 단면적의 감소로 읽기 동작시 셀 전류가 상대적으로 감소하면서 곡선 기울기가 상대적으로 완만해 지는 것

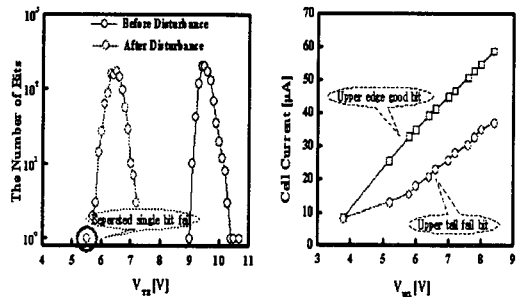


그림-7 1 W/L내의 Drain Disturbance 전/후셀 그림-8 정상/불량 셀간 W/L 전압에 따른 V_{cell}의 문턱전압 산포 비교 -I_{dsat} 곡선 비교

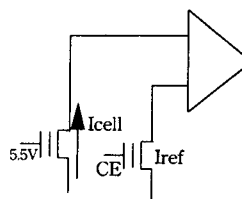


그림 9 읽기 동작시의 Sense Amp 구조

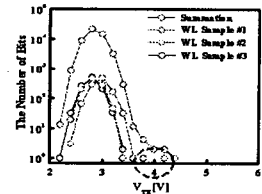
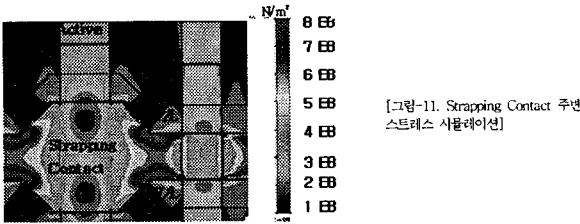


그림 10 워드라인별 Separated Single Bit의 합 -> Tail Bit 형성



[그림-11. Strapping Contact 주변 스트레스 시뮬레이션]

으로 판단되며 이로 인해 셀 문턱전압이 높은 문턱전압으로 읽히는 것으로 보인다. 그림-9에서는 읽기 동작시의 Sense Amp. 구조를 나타내었다. 초기 상태 또는 소거시 높은 문턱전압으로의 Tail은 특성적으로 Separated Single Bit 불량 유형과 동일하며 이는 그림-10과 같이 Sector내의 문턱전압 산포를 워드라인 별로 측정시 Separated Single Bit들이 모여 Tail을 형성하는 데서 알 수 있다.

4. Si-SiN간 스트레스에 의한 Dislocation 심화

SiN에 의한 Si에 가해지는 스트레스를 보고자 스트레스 시뮬레이션 해 본 결과 그림-11에서 보듯이 Dislocation 발생 빈도가 상대적으로 높은 Strapping Contact 주위에서 스트레스가 상대적으로 높음을 알 수 있었으며 이 스트레스 효과로 Si 결함의 Dislocation 정도가 심해지는 것으로 판단된다.

5. Si-SiN간 기계적 스트레스 감소를 위한 실험 결과

Si-SiN Stress를 감소시키고자 표-1과 같이 몇 가지 공정 개선 실험을 진행했으며 그에 대한 결과는 다음과 같다.

5.1 DNS (Disposal Nitride Spacer) 습식 식각 증가
 그림-12,15에서 DNS시 잔존하는 SiN에 의한 스트레스 감소를 위해 DNS 습식 식각 시간을 30' → 65'으로 증가시킨 결과 Tail 셀이 상대적으로 감소하였다. [불록한 부위 제외한 Tail 셀 발생 개수 58 → 45 비트 (4 Die)로 감소]

5.2 Spacer SiN 증착 전 MTO-1 300A 적용 결과

그림-13, 15에서 기존 191A인 MTO-1 두께를 300A으로 변경하여 DNS 30 → 65'에 따른 Si 표면 Attack 및 Spacer SiN에 의한 스트레스를 개선한 결

Stress 관련 공정 개선 계획도		
PROCESS FLOW	개선 전	개선 후
Puri G-Poly Etch	O	O
MTO-1	191 A	300 A
Spacer SiN : 800 A	O	O
Spacer SiN Etch	O	O
DNS Wet Time	30'	65'
MTO-2	X	95A
Stopper SiN	O	O

표-1 Si-SiN 스트레스 감소를 위한 공정

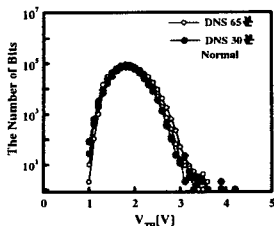


그림-12 DNS 습식 식각 시간에 따른 셀의 문턱전압 산포 개선

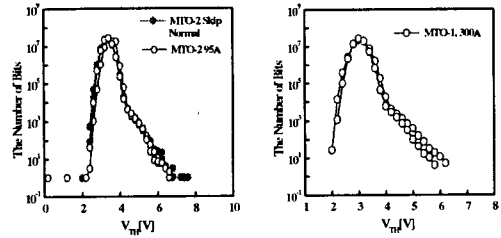


그림-14 Stopper SiN 증착 전 MTO-2 95A 적용에 따른 셀 문턱전압 산포 개선
 그림-13 Spacer SiN 증착 전 MTO-1 300A 적용에 따른 셀 문턱전압 산포 개선

과 Tail 셀이 상당수 개선을 보였으며 [불록한 부위 제외한 Tail 셀 발생 개수 58 → 0 bit (4 Die)으로 감소] Separated Single Bit 개선 측면에서는 가장 큰 효과를 보였다.

5.3 Stopper SiN 증착 전 MTO-2 95A 적용 결과

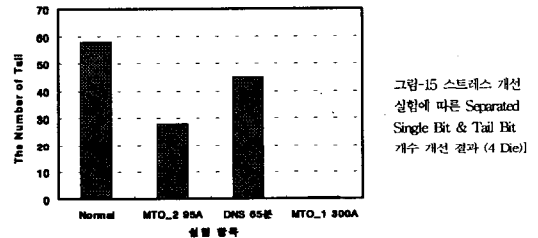


그림-15 스트레스 개선 실험에 따른 Separated Single Bit & Tail Bit 개수 개선 결과 (4 Die)

그림-14, 15에서 Stopper SiN에 의한 Stress를 제거시키고자 Stopper SiN 증착 전 MTO-2 95A를 적용한 결과 Tail 셀이 상대적으로 감소를 보였다. [불록한 부위 제외한 Tail 셀 발생 개수 58 → 28 bit (4 Die)으로 감소]

상기와 같이 셀 문턱전압 산포에서의 Tail 셀 및 Separated Single Bit의 경우 DNS, MTO-1,2 변경 및 추가 적용을 통해 개선할 수 있었으나 근본적으로 초기 상태 및 소거시 높은 문턱전압으로의 불록한 Tail 부위 불량 셀은 개선이 별로 되지 않음을 확인하였다.

6. VTC (Channel Vth Adjust) 채널 이온 주입 농도에 따른 셀의 문턱전압 산포 개선 결과

6.1 채널 이온 농도 및 공정 순서 변경 결과

공정 후 초기 상태 및 소거시 불록한 Tail 부위 셀들의 개선을 위해 근원적인 격자 손상을 일으키는 Si 결함의 발생 원인 규명에 초점을 맞추어 표-2와 같이 실험을 진행하였다.

이온 주입시 과도한 농도와 어닐링활성화 효과로 인한 Si 결함의 발생 여부를 알아내기 위해 표-2와 같이 VTC 채널 이온 주입 단계 (VTC HIP 1 / B, 1.8e14, 30kev) 및 어닐링 (1000'c N2/O2) 단계를 Skip 후에 VTC 채널 이온 농도를 6.0e13 / 8.0e13으로 보상, 변경하여 셀의 채널 농도를 궁극적으로 낮추고 여

Channel Implantation Dose 및 Process Sequence 변경

PROCESS FLOW	개선 전	개선 후
VTC HIP 1	11B+ 1.8E14/cm ² 30KeV	X
Anneal (1000 °C, N ₂ /O ₂ , 5min)	O	X
VTC HIP 2 (TUNNEL HIP)	X	11B+ 6.0E13 8.0E13/cm ² , 30KeV

표-2. 채널 이온주입 농도 및 공정 순서 변경안

닐링 효과를 받지 않도록 실험하였다. 실험 결과 그림-16에서 알 수 있듯이 상기 변경안 적용시 초기 상태 및 소거시 높은 문턱전압으로의 불룩한 Tail 셀들이 개선됨을 확인하였다. 이로 인해 정상적인 셀 문턱전압의 산포를 확보할 수 있게 되고 소거, 쓰기시 셀 문턱전압 산포가 Tail 없이 정상적으로 나옴을 확인했으며 그림-17과 같이 Ckbd*1 패턴 쓰기시 Window를 ~3.6V 정도 확보할 수 있게 되었다.

결론적으로 과도한 VTC (Channel Vth Adjust) 채널 이온 주입 농도에 의해 생성된 Mono-vacancy 등의 Si 결함은 어닐링에 의해 활성화되어 Dislocation 형태로 바뀌고, Si-SiN 스트레스 효과로 Dislocation이

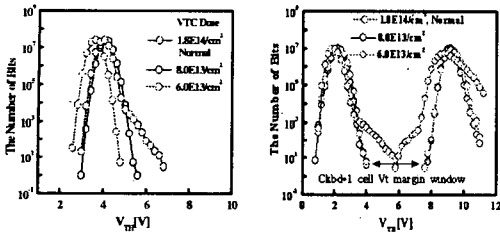


그림-16 채널 이온 주입 농도 및 순서 변화에 그림-17 채널 이온 주입 농도 및 순서 변경에 따른 초기 문턱전압 산포 개선
Ckbd*1 패턴 쓰기시 셀 문턱전압 산포 개선

심화된다. 이로 인해 소거후 읽기 동작에서의 채널 전자 이동도 감소 및 채널 전류가 흐르는 단면적 감소 영향으로 셀 문턱전압이 상대적으로 높게 읽히며, 쓰기시 Si 표면에서 Dislocation 부위에 터널 산화막 증착시 국부적인 취약 부위 발생 및 Hot Hole 주입 증가로 인해 Drain Disturbance에 취약한 특성을 보이며 셀 문턱전압 산포의 심각한 불량을 유발하며 특성 및 수율 저하를 일으킨 것으로 보인다. [1][2]

III. 결론

초미세급으로 제작된 플래쉬 메모리 셀에서는 채널 길이가 감소됨에 따라 발생하는 Punch Through를 극복하고자 채널 부위의 B 농도 증가가 필연적이다. 그러나 채널 부위의 과도한 B 농도는 Mono-vacancy 등의 Si 결함을 발생시키고 이러한 Si 결함은 후속 열처리 공정과 SiN 막질과 Si 표면에서의 기계적 스트레스에 의해 Dislocation을 발생시키고 심화시키는 것으로 검증되었다. 이로 인해 소거후 읽기 동작시 채널 전자

이동도 감소 및 채널 전류가 흐르는 단면적 감소 영향으로 셀 문턱전압이 상대적으로 높게 읽히며, 쓰기시 Si 표면에서 Dislocation 부위에 터널 산화막 증착시 국부적인 취약 부위 발생 및 Hot Hole 주입 증가로 인해 Drain Disturbance에 취약한 특성을 보이며 셀 문턱전압 산포의 심각한 불량을 유발하며 특성 및 수율 저하를 일으키는 것으로 규명되었다. 이에 채널 이온 주입 농도의 감소와 어닐링 효과 제거를 위해 공정 순서를 변경하고 Si-SiN 스트레스 감소를 위해 DNS 습식 식각 시간 증가, MTO-1 두께 증가, MTO-2 추가 등의 개선 공정을 적용한 결과 안정적인 셀 문턱전압의 산포를 확보하게 되었다. Si 결함을 위해 채널 부위의 B 농도 최적화가 절대로 필요함을 확인했으며, 차세대 플래쉬 메모리 셀 기술 개발에서도 안정적인 셀 문턱전압의 산포 확보를 위해서는 반드시 고려되어야 할 사항으로 판단된다.

IV. 참고 문헌

- [1] Defect Creation Caused by Ion Implantation and Activation Behavior by Rapid Thermal Annealing on Semiconducting Materials : Jong-Nam Lee, et al., 전자공학회, 1988
- [2] A Study on the Lattice Damages and Impurity Depth Profile of BF₂⁺ Ion Implanted Silicon : Sang-Jik Kwon, et al., 전자공학회, 1988
- [3] Si⁺ 이온주입된 Si 기판의 결함 형성 및 회복에 관한 연구 : 김광일 외 6명, 전자공학회, 1994
- [4] Si 이온 주입 결함이 B의 Channeling 및 확산에 미치는 영향 : 김광일 외 5명, 전자공학회, 1993