

# SONOS 플래시 메모리용 저전력 고성능 Sense amplifier 설계

정진교\*, 정영욱\*, 정종호\*, 광계달\*

\*한양대학교 전자전기컴퓨터공학부  
전화: 02-2290-0357

## High performance and low power sense amplifier design for SONOS flash memory

Jin-Gyo Jung\*, Young-Wook Jung\*, Jong-Ho Jung\*, Kae-Dal Kwack\*

\*Division of Electrical and Computer Engineering, Hanyang University

E-mail : jjg4033@lycos.co.kr

### Abstract

In this paper a current mode sense amplifier suitable for 30nm SONOS flash memories read operation is presented. The proposed sense amplifier employs cross coupled latch type circuit and current mirror to amplify signal from selected memory cell. This sense amplifier provides fast response in low voltage and low current dissipation. Simulation results show the sensing delay time and current dissipation for power supply voltages Vdd to expose limitations of the sense amplifier in various operating conditions.

### I. 서론

휴대폰, PDA, 디지털 카메라와 같은 휴대 용품이 발전함에 따라 플래시 메모리의 수요가 날로 증가하고 있다. 플래시 메모리는 기억 정보가 전원이 꺼지더라도 없어지지 않아 비휘발성(nonvolatile) 메모리라 불리며 전기적으로 데이터 변경이 가능하다. 지금까지는 부유 게이트 (Floating Gate)형 플래시 메모리를 주로 사용해 왔으나 최근에 들어서 SONOS 의 우수한 데이터 보존 특성 때문에 관심이 높아지고 있다. 또한 기존의 부유 게이트형 플래시 메모리는 scale down 에 한계를 가지고 있으며 이는 메모리 소자에서는 치명적인 단점으로 이에 SONOS 공정의 개발이 활발히 이루어지고 있다[1].

Vdd 의 감소에 따라 cell 전류 및 회로에 흐르는 전류가 감소해서 delay time 이 증가하고 노이즈에 의한 영향을 쉽게 받는 단점이 있다. 이에 current mirror 를 이용하여 전류를 증폭함으로써 노이즈의 영향을 줄이고 저전압에서도 delay time 의 영향을 덜 받고 안정적으로 동작할 수 있는 current mode sense amplifier 의 사용이 필요하다.

### II. SONOS flash memory cell의 구성

SONOS 소자는 기존의 부유 게이트형 플래시 메모리에 비해 데이터 보존 특성이 우수하고 scale down 이 용이하다는 장점이 있다. 그림 1 과 2 는 SONOS 와 부유 게이트형 플래시 메모리의 구조를 비교한 것이다.

SONOS(MONOS: Metal- Oxide- Nitride- Oxide-

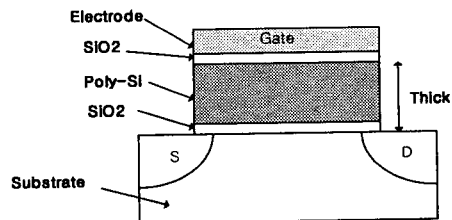


그림 1. Floating Gate Flash memory 구조

Fig. 1. Structure of Floating Gate Flash memory.

Silicon 이라고도 부름)라는 이름에서 쉽게 연상할

수 있듯이 SONOS 플래시 메모리에서는 산화막 사이에 존재하는 질화막의 트랩 공간에 전하를 저장하여 데이터로 사용한다. 데이터를 프로그램 및 소거하는 방식으로는 터널링 전류를 이용하는 방법과 HCI(Hot - Carrier- Injection)을 이용하는 방법이 있다[2].

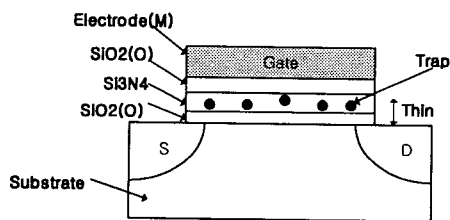


그림 2. SONOS Flash memory 구조  
Fig. 2. Structure of SONOS Flash memory.

### III. Sense Amplifier

전류 Icell 은 flash cell 이 erase 되었을 때 흐르는 전류를 나타내고 Iref 는 reference cell 이 erase 되었을 때 흐르는 전류를 나타내며 Icell, Iref 전류는 입력 EN 이 인가되기 전에 Ysel 을 On 시켜 Cbl 을 충분히 사전 충전 시키고 EN 이 인가되고 cell 에 일정한 전류가 흐르며 Cbl 을 방전한다.

#### 1. Conventional sense amplifier

그림 3 은 Memory cell 과 Dummy cell(Reference

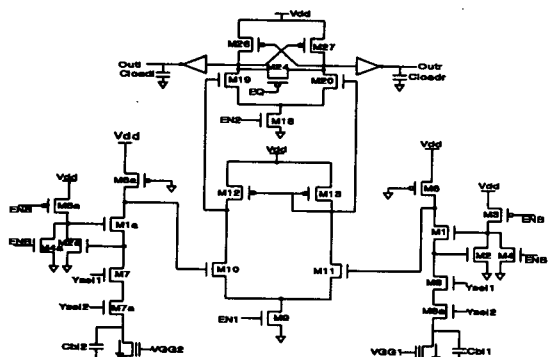


그림 3. 기존의 전류형 감지 증폭기  
Fig.3. Conventional current mode sense amplifier.

cell)로 구성되고 cell 에서 흐르는 전류를 M6, M6a 의 바이어스 회로를 이용하여 전압으로 전환한다. 이어서 differential amplifier 를 사용하여 증폭한 후 출력 단으로 전달한다. En1 신호가 인가되면 두 입력 차이에 의해 증폭기의 동작을 한다 (약 100 mV 이상). Differential amplifier 에서는 미소 전압차를 일정값 이상으로 증폭하는 역할을 하며 이것의 출력에 latch 를 추가해서 출력으로 내보낸다. 이러한 구조는 저전압에서 동작이 불안정하며 전류 소모가 많은 단점이 있다[3].

#### 2.Modified sense amp with current mirror

공급 전압이 낮아질수록 회로에 흐르는 전류가 줄어들고 이로 인해 노이즈의 영향을 많이 받는다. 이에 전류 거울(current mirror)구조를 이용해서 전류를 n 배 증폭시켜 noise 의 영향을 줄이고 전류차를 크게해서 sensing time 을 빠르게 한다[4]. 이러한 current mirror 를 이용한 구조가 빠른 sensing speed 를 가지기 위해서는 M5 와 M5a 의 크기를 증가시켜 M12 와 M13 에 인가되는 전압 차이를 크게 해야 한다. 이 구조는 저전압에서 안정적으로 빠른 sensing 이 가능하다는 장점이 있다. 그러나 전류 거울 구조를 사용 함으로서 전류 소모가 늘어나고 칩 면적이 증가하는 단점이 있다[5].

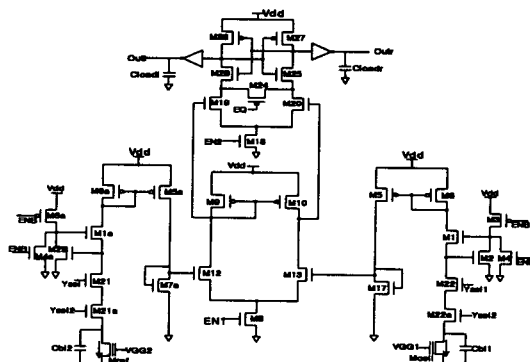


그림 4. 전류 거울을 이용한 변형된 감지 증폭기  
Fig.4.Modified sense amplifier with current mirror.

#### 3. Proposed sense amplifier

그림 5 에서 1 단은 PMOS 의 구조를 가지는 Cross

Coupled latch type 을 사용하여 전류와 전압 차를 증가 시켜 2 단으로 보내는 역할을 한다. 2 단에서는 decoupled sense amplifier 를 사용하여 입력단과 출력단을 끊어 주는 역할을 한다. M26, M26a 는 current mirror 역할을 하며 M25, M25a 보다 size 를 n 배 크게 함으로서, cell 과 reference cell 에 흐르는 전류를 n 배 증폭시키는 역할을 한다. 이 전류와 M5 와 M6 의 전류의 합을 PMOS latch M20, M21 을 이용하여 미소 전류 차이를 증폭시키면서 동시에 전압차도 증폭시키는 역할을 한다. 2 단의 M7 과 M8 은 스위치 역할을 하며 입력 EN 이 인가 될 때만 M9, M10, M11, M12 의 latch 가 동작한다. 즉 입력과 출력 단을 끊어주는 역할을 하는 decoupled latch 구조로서 미소의 전류 차이와 저전압에서도 빠른 sensing 이 가능하다. 또한 2 단의 입력 전류는 EN 이 인가될 때만 전류가 흐르게 함으로써 저전류를 소모 할 수 있게 한다.

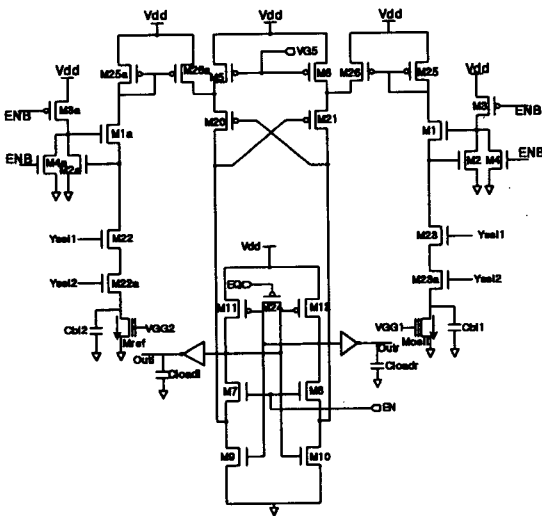


그림 5. 제안한 래치형 감지 증폭기  
Fig.5. Proposed latch type sense amplifier.

(1) Supply Independent Bias 회로

$V_{G5}$  Bias 전압을 생성 시키기 위해 공급 전압에 독립적인 바이어스 회로를 사용한다[6].

$$V_{GS1} = V_{GS2} + I_{OUT} * R_S \quad (1) \quad I_{REF} = I_{OUT}$$

$$= \frac{2}{u_n C_{ox} R_S^2} * \left\{ \sqrt{\frac{1}{(W/L)_1}} - \sqrt{\frac{1}{(W/L)_2}} \right\}^2$$

$$= \frac{2}{u_n C_{ox} (W/L)_1 R_S^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2)$$

여기서 K 와  $R_S$  의 값에 따라  $V_{G5}$  의 값을 결정한다.

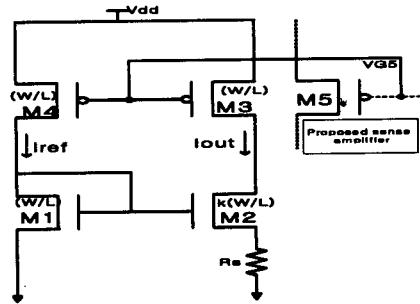


그림 6. Supply Independent Bias 회로  
Fig. 6. Supply Independent Bias Circuit.

(2) 제안한 전류 감지 증폭기의 timing diagram

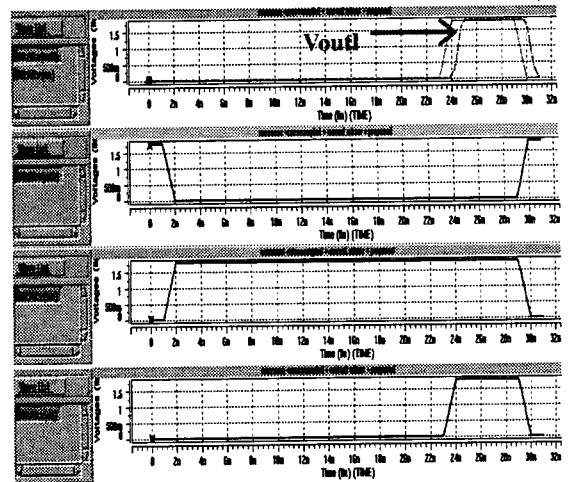


그림 7. 제안한 회로의 simulation 파형  
Fig 7. Waveform of proposed sense amplifier.

IV. 실험

실계 된 회로의 동작을 검증하기 위한 시뮬레이션은 0.18um 아남 CMOS 공정에서 HSPICE 를 사용하였고 셀의 전류(Icell)를 200nA, 기준 전류(Iref)를 100nA 로 시뮬레이션 하였다. Cbl= Cbl2= 1pf, Cloadr = Cloadl = 0.1pf 를 사용하였다.

Vdd 공급 전압의 감소에 따른 delay time 과 그때의 전류 소모(current dissipation)를 가상실험(simulation)을 통해서 측정하였다.

그림 8 의 시뮬레이션 결과에서 current mirror 를 이용한 modified sense amplifier 와 proposed sense amplifier 에서는 Vdd 의 감소에 따라 delay time 이 완만하게 증가한다는 것을 알 수 있다. 표 2 는 한 주기당 소모하는 평균 전류를 측정 한 값이다. 전류 소모를 비교했을 때 modified sense amplifier 가 가장 크고 proposed sense amplifier 가 가장 적은 것을 알 수 있다.

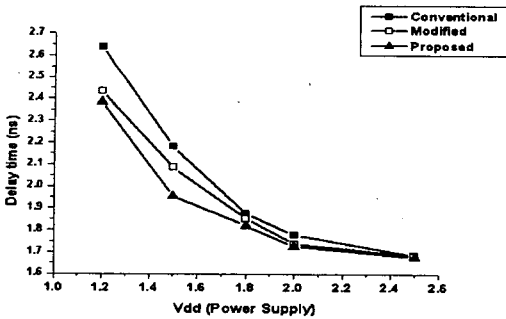


그림 8. 공급 전압에 따른 지연 시간

Fig. 8. Delay time according to power supply Vdd.

표 1. Vdd 공급 전압에 따른 전류 소모

Table 1. Current dissipation according to power supply Vdd.

	Conventional	Modified	Proposed
2.0V	484.2uA	456.8uA	238.8uA
1.8V	294.1uA	379.5uA	171.1uA
1.5V	140.7uA	272.5uA	86.3uA
1.2V	64.6uA	183.0uA	34.7uA

#### IV. 결론

본 논문에서 제안하는 current mode sense amplifier 에서는 Iref 전류와 Icell 전류를 비교해서 cross coupled latch 를 통해 전류와 전압 차이를 크게해서 latch 구조의 decoupled 된 sense amplifier 로 출력하는 방식을 선택하였다. Vdd 의 공급 전압 감소에 따른 delay time 과 전류 소모(current dissipation)를 측정 한 결과 제안한 구조(proposed sense amplifier)가 세 가지 타입에서 가장 우수한 특성을 가진다.

#### Reference

- [1] Wiliam D. Brown, Joe E. Brewer, " Nonvolatile Semiconductor Memory Technology", A Comprehensive Guide yo Understanding and Using NVSM Devices , IEEE Press, pp.4-23, 25-52, 1998
- [2] 조인욱, SONOS Flash EEPROM cell 의 Junction 구조에 따른 동작 특성 연구, 한양대학교 대학원, pp. 23-27, 2003
- [3] Paolo Cappelletti, Flash Memories, KLUWER ACADEMIC PUBLISHERS, pp. 285- 296, 2000
- [4] 미쓰비시덴키 가부시키 가이사, " 비휘발성 반도체 기억 장치용 고감도 센스 앰프", 대한민국 공개 특허, pp.8-9, 2002
- [5] Paolo Cappelletti, Flash Memories, KLUWER ACADEMIC PUBLISHERS, pp.308-312, 2000
- [6] Behzad Razavi, Design of Analog CMOS Integrated Circuits, MCGraw-Hill, pp.378- 379, 2000