

디커플링 방법을 이용한 RC-Coupled 배선의 해석적 지연시간 예측 모델

김현식, 어영선, 심종인

한양대학교 전자전기제어계측공학과
전화 : 031-400-4086

An Analytical Switching-Dependent Timing Model for Multi-Coupled VLSI Interconnect lines

Hyunsik Kim, Yungseon Eo, and Jongin Shim

Hanyang University, Dept. of Electrical and Computer Engineering, Ansan, Kyungki-do, Korea
E-mail: hyunsik@giga.hanyang.ac.kr

Abstract

Timing delays due to VLSI circuit interconnects strongly depend on neighbor line switching patterns as well as input transition time. Considering both the input transition and input switching pattern, a new analytical timing delay model is developed by using the decoupling technique of transfer multi-coupled lines into an effective single line. The analytical timing delay model can determine the timing delay of multi-coupled lines accurately as well as rapidly. It is verified by using DSM-Technology (0.1 μ m /low-k copper-based process) that the model has excellent agreement with the results of SPICE simulation.

I. 서론

최근 반도체 공정기술의 발전으로 VLSI의 동작 속도와 집적도는 계속 증가[1][2]하기 때문에 고속, 고집적화로 인해 배선은 칩의 성능과 시그널 인티그리티를 결정하는 중요한 역할을 한다[3]. 또한 다중배선에서는 배선간의 거리가 작기 때문에 임의의 배선의 신호응답은 이웃하는 배선의 스위칭 패턴에 따라 유동적이다[4]. 더욱이, 집적도가 증가함에 따라 배선의 집적도 및 길이가 증가하기 때문에 이런 문제를 배가 시킨다. 따라서 이러한 물리현상을 고려하여 배선의 지연시간을 해석적 모델을 사용하여 예측하는 것이 매우 중요하다[3].

기존의 대표적 지연시간 예측 모델로는 Elmore delay 모델[5]과 AWE(Asymptotic Waveform Evaluation)[6]가 있다. 전자는 distributed-RC line에 대하여 쉽게 신호응답을 예측할 수 있으나 고밀도 배선에서는 정확성이 떨어진 다. 그에 반해 후자는 정확한 지연시간을 예측할 수 있으나 응답 파형의 주파수 영역에서의 fitting을 통한 수식화 과정을 필요하므로 효율성이 떨어진다. 또한 이 모델들은 스텝입력(step input)을 가정했기 때문에 실제적인 램프입력(ramp input)을 고려한 정확한 모델이 필요하다.

한편 J. Bhavnagarwala의 논문은 RC 배선을 가정하고 Sakurai의 스텝입력 모델[7]을 이용하여 간단한 램프입력에 대한 정확하며 수식이 간단한 모델을 제시하였다[8]. 그러나 이 모델은 단일배선을 가정한 모델링이기 때문에 이웃배선간의 커패시턴스가 타이밍에 절대적 영향을 미치는 다중배선(coupled lines)에는 적용할 수 없다.

따라서 본 논문에서는 램프 입력 및 입력의 스위칭 패턴에 의한 영향을 고려하여 유효 배선 회로로 변환하는 다중배선의 디커플링 방법을 개선한 신속 정확하고 간단한 지연시간 모델을 제시한다. 논문의 구성은 디커플링 방법[4]을 통해 유효 커패시턴스를 구한 뒤 기존의 해석적 모델을 개선하여 새로운 해석적 지연시간 모델을 제시하고 일반적인 분포정수 회로를 이용한 SPICE 시뮬레이션 결과와 모델이 일치한다는 것을 보

인다.

II. 해석적 시간지연 모델

실제의 회로에서 배선에 입력되는 파형은 상승시간 (rise time)을 갖기 때문에 램프입력으로 모델링 할 수 있다. 램프입력 신호는 식 (1)처럼 수식적으로 나타낼 수 있다.

$$v_{in}(t) = V_{ad} \left[\frac{1}{t_r} \cdot u(t) - \frac{1}{t_r} (t - t_r) \cdot u(t - t_r) \right] \quad (1)$$

이 입력에 대한 시간영역에서의 응답은 다음과 같이 얻을 수 있다[8].

$$\frac{V_{ramp}(t)}{V_{ad}} = 1 - \exp \left\{ - \frac{\frac{t - t_r}{2} - 0.1}{R_T C_T + R_T + C_T + 0.4} \right\} \quad (2)$$

그림 1에서 알 수 있듯이 이 모델은 단일배선에 적용하였을 때 SPICE 시뮬레이션 결과와 거의 완벽하게 일치한다. 하지만 이 모델은 다중배선이 아닌 단일배선을 가정한 모델이므로 식 (2)는 스위칭 조건에 따라 응답 파형이 다른 다중배선에는 사용할 수 없다.

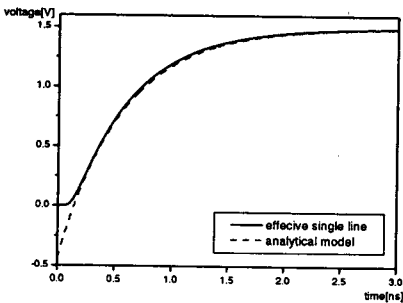


그림 1. 상승시간에 따른 유효단일배선과 해석적 모델의 신호응답 비교($t_r = 50p$ 인 경우)

III. 디커플링 방법

집적도의 증가로 인해 이웃 배선간의 스위칭에 의한 크로스톡을 고려하지 않으면, 추가적인 신호지연 또는 응답파형의 왜곡에 대한 효과를 반영할 수 없다[9]. 고 집적회로에서 이웃 배선간의 스위칭에 의한 효과는 주요한 시간지연 요소가 되기 때문에 크로스톡을 고려한

일반적인 지연시간모델이 필요하다.

시간영역에서 일반적인 다중배선의 Telegrapher 식은

$$\frac{\partial [v(x,t)]}{\partial x} = -[Z][i(x,t)], \quad (3)$$

$$\frac{\partial [i(x,t)]}{\partial x} = -[Y][v(x,t)]. \quad (4)$$

이다. 여기서 $[Z], [Y]$ 는 직렬 임피던스 행렬과 병렬 어드미턴스 행렬이다. 전송선을 distributed RC 회로로 가정하고 유전체를 통한 손실을 무시하며, 저항의 커플링이 없다고 가정하면 $[Z], [Y]$ 는 아래와 같이 표현된다.

$$[Z] = [R] + \frac{\partial}{\partial t} [L] \approx [R]_{diag}, \quad (5)$$

$$[Y] = [G] + \frac{\partial}{\partial t} [D] \approx \frac{\partial}{\partial t} [D]. \quad (6)$$

여기서, 커패시티브 커플링 파라미터를 나타내는 $[D]$ 의 성분은

$$D_{ii} = \sum_{j=1}^n C_{ij}, \quad D_{ij} = -C_{ij} \quad (i \neq j \text{인 경우}) \quad (7)$$

이다. 일반적으로 다중배선에서 각 배선의 스위칭에 따라 커패시티브 커플링 영향으로 임의의 배선의 지연시간은 불확정성이 존재한다. 대표적인 DSM 공정인 표 1에서와 같은 배선의 레이아웃 및 공정 파라미터[1][2]에 대한 전송선 파라미터는 Field-Solver를 사용하여 다음과 같이 계산할 수 있다.

$$[R] = \text{diag} [687.5] \left[\frac{\Omega}{cm} \right]$$

$$[C] = \begin{bmatrix} 0.92 & -0.50 & -0.04 \\ -0.50 & 1.22 & -0.50 \\ -0.04 & -0.50 & 0.92 \end{bmatrix} \left[\frac{pF}{cm} \right]$$

RC 배선에서는 shielding 효과 때문에 3개선 이상의 배선의 영향은 무시 가능하므로 3개의 배선에 대하여 생각한다. 또한 3개의 배선 중에서 이웃한 배선이 스위칭에 의한 영향은 가운데 배선이 최악의 조건으로

표 1. 논문에서 검증에 사용된 파라미터[1][2]

Line \ Param.	Length [mm]	Aspect ratio	Pitch [μm]	Metal thickness [μm]	IMD thickness [μm]	Resistivity [$\mu\Omega \cdot cm$]	Dielectric constant
Local	0.5 ~ 1	1.7	0.25	0.26	0.26	2.2	2
Semi-global	2	1.7	0.4	0.34	0.34	2.2	2
Global	5 ~ 10	3.3~2.0	0.8~6.0	0.8	0.8	1.8 ~ 2.2	2

응답파형이 나타내므로 가운데 배선에 대한 모델이 실제 설계에서 가장 중요하다. 이윗하는 배선의 스위칭 조건을 고려한 배선간의 유효 커패시턴스를 표 2와 같이 Y.Eo가 유도하였다[4].

표 2. 스위칭 패턴에 따른 임의의 배선의 유효 커패시턴스

Switching pattern	Effective Capacitance (C_{eff})
↑↑↑	$C_{eff}^{\uparrow\uparrow\uparrow} = C_{22}$ (8)
0↑0	$C_{eff}^{0\uparrow0} = \left[C_{22} + C_{21} \left(1 - \frac{C_{21}/2}{C_{11} + C_{21}} \right) + C_{23} \left(1 - \frac{C_{23}/2}{C_{33} + C_{23}} \right) \right]$ (9)
↓↓↓	$C_{eff}^{\downarrow\downarrow\downarrow} \approx \left[C_{22} + 4C_{21} \left(1 - \frac{1}{4} \frac{C_{21}}{C_{22} + C_{21}} \right) \right]$, $V_m \approx \frac{V_{dd}}{3} \left(\frac{C_{21}}{C_{22} + C_{21}} \right)$ (10)

표2의 유효 커패시턴스를 사용하면 임의의 배선의 지연시간을 시뮬레이션 할 경우 다중배선을 유효 단일배선으로 디커플링 할 수 있다. 이를 통해 신속 정확한 지연시간을 예측할 수 있다. 식(10)에서 “↓↓↓” 스위칭 패턴의 경우 커패시티브 커플링에 의해 negative notch가 발생한다. 이것을 보정하기 위한 voltage level shift가 V_m 이다.

3-coupled line에 램프입력이 인가되었을 3절의 디커플링 방법은 램프입력이 아닌 스텝입력에 대한 것이므로 실질적인 램프입력에 대하여 확장되어야 한다. 우선 입력으로 들어가는 신호가 $t=0$ 에서 상승시간(t_r)과 같다고 가정하면 3절의 스위칭 패턴에 따라서 임의의 가운데 배선의 유효 커패시턴스를 계산할 수 있다. 이것을 통해 램프 입력에 대한 신호응답을 검증하면 그림 2와

같다. 그림에서 알 수 있듯이 램프입력에서도 디커플링 방법이 정확하다는 것을 알 수 있다.

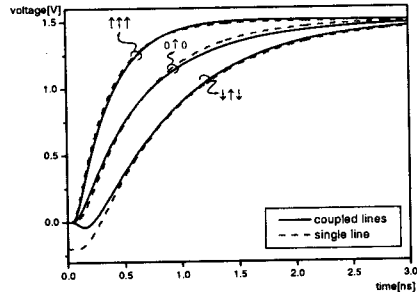


그림 2. 5mm배선에서 다중배선과 유효 단일배선의 상승시간에 따른 신호응답($t_r = 50p$ 인 경우)

따라서 디커플링 방법을 적용하여 얻은 단일배선에서 2절의 지연시간 모델을 사용하면 정확한 신호응답을 얻을 수 있다.

IV. RC 커플드 라인의 해석적 지연시간 모델

일반적인 경우에 대해서 최악의 스위칭 인 경우 (↓↓↓)에는 그 모델을 적용할 수 없다. 이 경우에는 3 절의 디커플링 방법에서 언급했듯이 voltage level shift를 도입하여야 한다. 그러므로 인가되는 전압은

$$V_{DD} = V_{dd} + V_m \quad (11)$$

이고, y 축으로 V_m 만큼 이동하면 식 (11)는 아래와 같이 수정된다.

$$V_{rump}(t) = V_{DD} \left[1 - \exp \left(- \frac{\frac{t - t_r}{2} - 0.1}{R_T C_T + R_T + C_T + 0.4} \right) \right] - V_m \quad (12)$$

각 경우를 정리하면 아래의 표 3과 같다.

표 3. 각 스위칭에 대한 램프입력의 응답

Switching Pattern	Transient Response of Ramp Input
↑↑↑	$\frac{V_{ramp}(t)}{V_{dd}} = 1 - \exp\left\{-\frac{\frac{t-t_r}{2}-0.1}{R_T C_T + R_T + C_T + 0.4}\right\} \quad (13)$
0↑0	
↓↓↓	$V_{ramp}(t) = V_{DD} \left[1 - \exp\left\{-\frac{\frac{t-t_r}{2}-0.1}{R_T C_T + R_T + C_T + 0.4}\right\} \right] - V_n \quad (14)$

표 3의 수식을 통해 $t_r = 50p$ 인 경우를 다중배선의 시물레이션 결과와 비교한 그래프가 그림 3이다. 또한 그림 4에서는 배선의 길이/상승시간/스위칭 패턴에 따른 SPICE와 해석적 모델의 50% delay를 비교하였다. 그림에서 알 수 있듯이 모델이 정확하다는 것을 알 수 있다.

V. 결론

본 논문에서는 디커플링 방법을 이용하여 램프입력에 대한 정확한 지연시간을 계산할 수 있는 closed form의 시간 예측 모델을 개발하였다. 각 배선의 스위칭 패턴에 따라 임의의 배선에서 해석적인 신호응답 모델을 제시하였다. 이 모델은 $0.1\mu m$ 공정 기반의 구리배선 파라미터를 사용하여 정확성을 SPICE의 시물레이션 결과와 비교하여 정확하다는 것을 검증하였다. 이 방법을 사용하면 다중배선에서 시물레이션 없이 손쉽게 지연시간을 예측할 수 있다.

Reference

[1] SIA Report, The International Technology Roadmap for Semiconductors, 2001 edition.
 [2] SIA Report, The International Technology Roadmap for Semiconductors, 2002 Update.
 [3] L. Yin and L. He, "An Efficient Analytical Model of Coupled On-chip RLC Interconnects," in Proc. DAC, pp. 385-390, Jan. 2001.

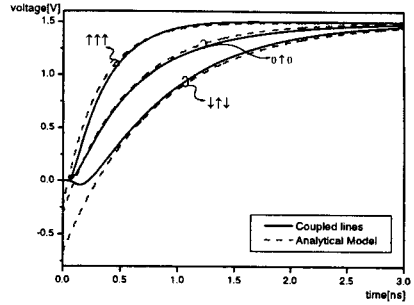


그림 3. 5mm 배선에 램프 입력을 인가하였을 때 SPICE와 해석적 모델의 신호 응답

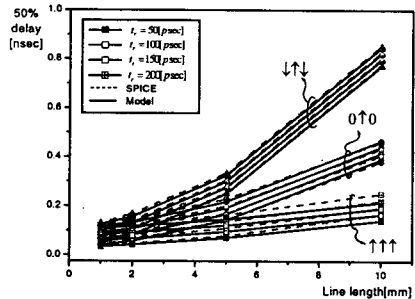


그림 4. 길이에 따른 각 상승시간에서의 SPICE 와 해석적 모델의 50% delay

[4] Y. Eo et. al., "A Decoupling Technique for Efficient Timing Analysis of VSLI Interconnects with Dynamic Circuit Switching," IEEE TCAD accepted.
 [5] W. C. Elmore, "The Transient Response of Damped Linear Networks with Particular Regard to Wideband Amplifiers," J. App. Phys., vol. 19, pp. 55-63, Jan. 1948.
 [6] L. Pillage et. al., "Asymptotic Waveform Evaluation for Timing Analysis," IEEE Trans. Computer-Aided Design, pp. 352-366, Apr. 1990.
 [7] T. Sakurai, "Approximation of Wiring Delay in MOSFET LSI," vol. SC-18, pp. 418-426, Aug. 1983.
 [8] A. J. Bhavnagarwala, A. Kapoor, and J. D. Meindl, "Generic Models for Interconnect Delay across Arbitrary Wire-tree Networks," Proc. IEEE, pp. 129-131, 2000.
 [9] W. Y. Chen et. al., "Analytical Models for Crosstalk Excitation and Propagation in VLSI Circuits," IEEE Trans. Computer-Aided Design, vol. 21, Oct. 2002.