

RESURF type의 SOI n-LDMOSFET 소자 설계 및 제작

김 재 석, 김 범 주, *구 진 근, **구 용 서, 안 철
서강대학교 전자공학과, *한국전자통신연구원, **서경대학교 전자공학과
전화 : 02-706-3401 / 핸드폰 : 019-570-7607

The Design and Fabrication of RESURF type SOI n-LDMOSFET

Jae Seok Kim, Beom Ju Kim, *Jin Geun Koo, **Yong Seo Koo, Chul An
Dept. of Electronic Engineering , Sogang University
*ETRI-Electronics and Telecommunications Research Institute
**Dept. of Electronic Engineering, Seokyeong University
E-mail : joyful_guy@hotmail.com

Abstract

In this work, N-LDMOSFET(Lateral Double diffused MOSFET) was designed and fabricated on SOI(Silicon-On-Insulator) substrate, for such applications as motor controllers and high voltage switches, fuel injection controller systems in automobile and SSR(Solid State Relay)etc.

The LDMOSFET was designed to overcome the floating body effects that appear in the conventional thick SOI MOS structure by adding p+ region in source region. Also, RESURF(Reduc ed SURface Field) structure was proposed in this work in order to reduce a large on-resistance of LDMOSFET when operated keeping high break down voltage.

Breakdown voltage was 268V in off-state ($V_{GS}=0V$) at room temperature in $22\mu m$ drift length LDMOSFET. When 5V of V_{GS} and 30V of V_{DS} applied, the on resistance(R_{on}), the transconductance(G_m) and the threshold voltage(V_T) was $1.76k\Omega$, $79.7\mu A/V$ and $1.85V$ respectively.

I. 서론

최근 정보산업 및 반도체 집적회로 기술의 급속한 발전으로 전자 및 정보통신 시스템용 IC는 다양한 기능과 고속동작, 초고집적, 고내압 특성에 대한 요구가 증

대되고 있으며, 이를 실현하기 위한 기술개발이 집중되어 왔다. 이에 신뢰성 높고 저렴한 가격의 반도체 전력 소자의 개발은 시스템 산업발전에 필수적인 해결과제이다. 그리하여, 최근 smart power IC 기술 개발의 중요성이 부각되면서, 고성능의 power device에 관한 연구가 활발히 진행중이다.

LDMOSFET(Lateral Double diffused MOSFET)은 smart power IC에서도 핵심인 전력을 담당하는 소자이며, VDMOS와는 달리 드레인이 표면에 존재하여 다른 CMOS, BJT등과 쉽게 호환되어질 수 있는 공정상의 장점이 있어 널리 사용되고 있다[1].

이에 본 논문에서는 RESURF-type을 채택하여 표면전계 효과를 감소시킨 구조의 고내압 n-LDMOSFET을 실제로 설계 및 제작하여, 그 전기적 분석을 시행하였다.

II. 소자 구조 설계

A. Kink effect의 고려

본 연구 SOI 기판을 사용하여 n-LDMOSFET를 제작하였다. SOI 구조는 일반 bulk기판 보다 여러 가지 기생커패시터 문제나 신뢰성 등에서 장점이 있다. 특히 power IC에서는 고전압/대전류 소자와 저전압/저전류 소자에서 서로간의 동작에 대해서 전기적으로 절연되어 동시에 집적이 가능하며, LDMOSFET과 같은 고전압 소자에서는 항복전압을 크게 할 수 있다. 이는 buried oxide가 드레인 영역에 걸리는 수평전계를 효

과적으로 산화막 쪽으로 분산시킬 수 있기 때문이다. 따라서 산화막의 두께가 증가하면 이러한 수평전계가 보다 넓은 산화막 영역에 걸쳐 분산되므로 높은 전계를 견딜 수 있게되어 높은 항복전압을 가질 수 있다.

따라서 본 논문에서는 7 μ m의 실리콘 p-epi층과 4 μ m의 buried oxide구조를 가지는 웨이퍼를 이용하여 소자를 제작하였다.

기존의 thick SOI LDMOSFET 에서는 floating body effect에 의한 현상으로 초래되는 기생 바이폴라 (parasitic bipolar) npn 트랜지스터가 활성화 되어 생기는 kink effect가 소자 동작에 문제가 될 수 있다 [1][2].

이를 방지하기 위해 본 연구에서는 소수캐리어들이 빠르게 소스 단자쪽으로 이동시키기 위해서 p+ 소스영역이 추가된 구조로 설계하였다.

B. RESURF 원리 고려

본 연구에서는 LDMOSFET의 항복전압 개선을 위해서 RESURF원리를 도입하였는데, 그러기 위해서 p-epi 층위에 별도의 n-drift영역을 정의하여 형성 시켜 Si 영역 전체에 공핍 영역이 형성 되게 하였다. RESURF 원리가 적용되면, p/n접합 즉, p-well과 n-drift 그리고 p-epi와 n-drift에서의 접합의 전계가 임계전계에 도달하기 이전에 실리콘 층을 공핍 시킴으로서 드리프트 전체로 넓은 공핍영역을 형성하고, 이러한 공핍영역의 증가는 표면의 최대 전계를 감소시키는 역할을 한다. 일정한 역방향 바이어스 상태에서의 공핍영역 길이의 증가는 p/n접합 전위장벽의 기울기를 감소시킨다. 그리고 전계는 이 전위장벽 기울기의 크기에 비례하므로 결과적으로 전계를 감소시킨다. 이 경우가 접합간의 거리가 충분히 크면 항복현상이 표면에서 발생하지 않고 수직 구조에 발생하게 되어 일차원적 항복현상을 얻을 수 있다. non-RESURF구조보다 RESURF구조에서는 같은 항복전압조건을 요구한다면 RESURF구조에서 드리프트 영역의 도핑농도를 더 높일 수 있는 장점이 있어 LDMOSFET의 on-resistance를 줄일 수 있게 된다 [3][4][5].

c. racetrack 형의 레이아웃

본 논문에서는 power IC용 n-LDMOSFET를 설계 제작하였는데, 기본적인 구조는 racetrack형태를 도입하였다. LDMOSFET처럼 고전압 전력소자의 경우 이러한 형태가 많이 쓰이는데, BCD공정으로 형성된 저전압 소자와 고전압 소자간에 전기적으로 isolation을 시켜주어 서로간 소자동작에 있어서 영향을 주지 않는 것이 바람직하므로 racetrack형태의 LDMOSFET에서는 소스가 드레인을 둘러싸고 있어 드레인에서 강전계로 인

해서 다른 소자에 크게 영향을 주지 않게 되고 소스의 GND 연결이 용이해진다. 그리고 일반적인 rectangle 한 구조에서 보다 edge effect가 적어서 항복전압의 감소를 막을 수 있다[6].

다음 그림1은 이상으로 논의에 따라 제안한 소자구조를 나타내며, 그림 2는 소자의 공정흐름도를 나타낸다.

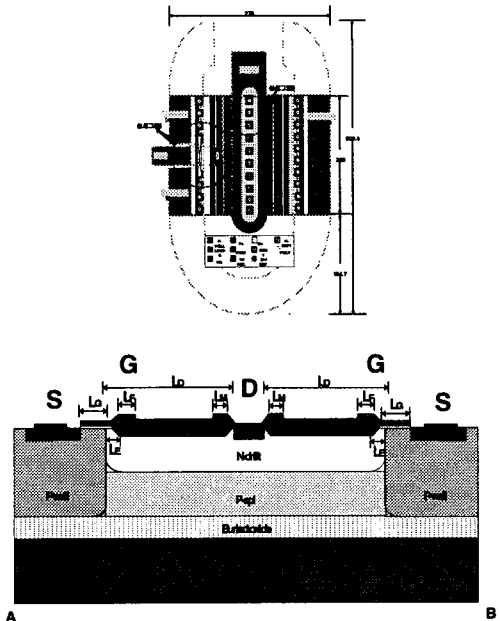


그림1. RESURF type n-LDMOSFET 의 구조 (lay out 과 cross section)

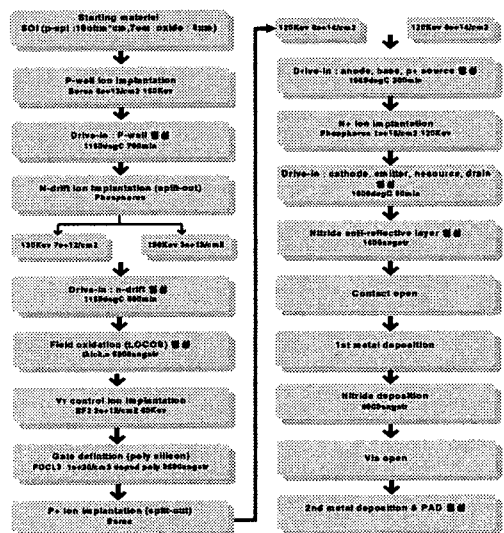


그림2. 공정흐름도

III. 제작된 소자의 전기적 특성

본 연구에서 제작된 소자는 smart power IC application에 적용될 수 있도록 BCD 공정을 채택하여 제작하였다. 제작된 소자는 채널길이나 드리프트 길이 등을 변화시켜 제작하여, 이들 구조적인 파라미터의 변화가 전기적인 특성에 미치는 영향을 분석할 수 있게 하였다.

그림 3은 제작된 nLDMOSFET의 I-V 특성을 측정된 결과이다. 일반적인 LDMOSFET구조에서는 저 농도로 도핑된 drift 길이가 길어지면 drift저항이 증가하여 포화영역에서 최대 드레인 전류는 감소한다. 드레인 전류는 다음과 같이 표현된다.

$$I_D = \frac{\mu_n(T) C_{ox} W}{2L} (V_G - V_T(T))^2$$

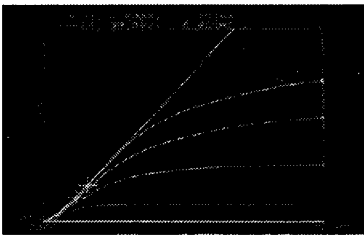


그림3. n-LDMOSFET 의 I-V plot의 측정결과

그림 3에서 에서 ($V_{DS}=30V$, $V_{GS}=5V$) drift 길이가 $22\mu m$ 에서 드레인 포화전류는 $8.055mA$, on-resistance는 $1.76k\Omega$ 으로 나타났으며, SOI 기판상에서 우려되었던 kink effect가 나타나지 않는 것을 확인 할 수 있었다.

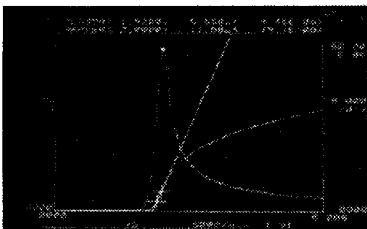


그림 4. n-LDMOSFET의 gm, Vt의 측정결과

트랜스 컨덕턴스는 드레인전류 변화에 대한 게이트 전압의 비로서 드레인 전류에 비례한다. 그림 4는 트랜스 컨덕턴스와 문턱전압의 특성을 나타내는 측정 결과이며, 최대 트랜스 컨덕턴스의 값을 가지는 지점에서 게이트 전압과 드레인 전류의 특성곡선상의 지점으로

수직으로 내리고 다시 그 점에서 문턱전압곡선에 외(외)삽입 점을 그어서 게이트 전압 축과 만나는 점이 문턱전압으로 결정하였다.

문턱전압은 power 소자에서 전력소비와 고속동작에 영향을 미치는 중요한 파라미터 중 하나이다. 문턱전압이 너무 높으면 LDMOSFET를 turn-on 하는데 높은 전압이 필요하게 되고 너무 낮으면 소자가 원하지 않는 잡음에 트리거 될 수 있고, 고속으로 스위칭하는 동안 게이트 전압에 쉽게 pull-up된다. 그래서 전력소자에서는 적절한 문턱전압 범위에서 동작하도록 설계된다.

그림 4 에서 측정결과 drift 길이가 $22\mu m$ 에서 최대 트랜스컨덕턴스는 $79.7\mu A/V$, 문턱전압은 $1.85V$ 로 나타났다. 특히 이 경우 drift길이가 증가하면, 트랜스컨덕턴스의 값은 감소하는 것을 확인할 수 있었는데, 이는 트랜스컨덕턴스가 mobility에 직접적으로 비례하기 때문이다. 결과적으로 drift 길이가 길어지면 mobility가 감소하고 그에 따라 최대 전류가 감소하여 최대 트랜스컨덕턴스가 감소하였다.

제작된 LDMOSFET의 구조적인 변화가 DC 특성에 미치는 영향을 분석하기 위해서, 채널길이 (L_C)와 드리프트 길이(L_D)의 변화에 따른 breakdown voltage와 on 저항의 변화를 관찰하였다.

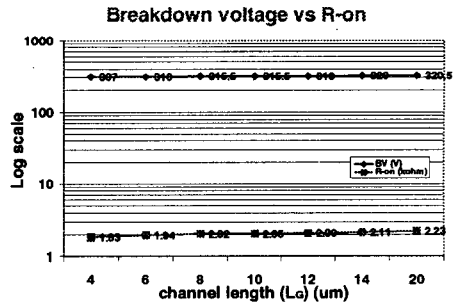


그림 5. 채널길이에 따른 BV 와 R-on

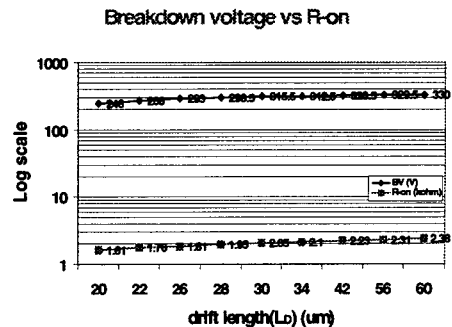


그림 6. drift 길이에 따른 BV의 변화

채널길이가 증가하면 on-저항은 증가하지만 항복전압

은 크게 증가하지 않았으나 드리프트 길이가 증가함에 따라 BV는 크게 향상되는 것을 확인할 수 있었다. 이는 LDMOSFET에서 항복전압의 결정은 드리프트영역에서 결정되어 진다는 것을 의미하는 결과라 할 수 있다.

IV. 결론

본 연구에서는 고전압 소자로 널리 사용되는 nLDMOSFET을 직접 설계 제작하였다. 소자 설계시, SOI 기판을 선택함에 따라, 생길수 있는 문제인 floating body effect를 최소화 하기 위해서, P+ 소스 영역을 도입하였으며, RESURF 원리가 적용되도록 하여 높은 전압을 얻을수 있게 하였다. 또한 layout 상으로 드레인의 강전계에 의한 전기적 isolation 을 위해서 racetrack 형으로 제작하였다.

이상과 같이 제작된 소자를 측정한 결과 I-V 특성곡선에서 kink 현상이 나타나지 않았으며, subthreshold slope 도 155mV/dec 정도로서 floating body effect 에 의한 영향이 크게 나타나지 않았다. 또한 트랜스컨덕턴스와 문턱전압특성 역시 양호하게 나타났다.

또한 제작된 소자의 구조적인 파라미터 중 드리프트 길이가 nLDMOSFET의 성능을 좌우하는 값인 BV 와 R-on 에 크게 영향을 미치는 것을 확인 할 수 있었다. 제작된 소자의 경우 드리프트 길이가 약 30 μ m일때, 300V의 BV특성을 나타내었다.

V. 참고문헌

[1] I. Rahim, B. Y. Hwang, and J. Foerstner, Proceedings of the IEEE international SOI Conference, pp. 170, 1992.

[2] S. Wolf "SILICON PROCESSING for the VLSI Era Vol.4 Deep-submicron Process Technology" LATTICE PRESS chap.11.9 (2002).

[3] Zia Hossain, et al. "Double-resurf 700V N-channel LDMOS with Best-in-class On-resistance" ISPSD, pp 137-140, 2002.

[4] A. Matew, et al. "150V Class Superjunction Power LDMOS Transistor Switch on SOI" ISPSD, pp 101-104, 2002.

[5] Tae Moon Roh, et al. "Improvement of Breakdown Characteristics of LDMOSFETs with Uneven Racetrack Sources for PDP Driver Applications " Proc. of ISPSD,

pp 165-168, 2001.

[6] B. J. Baliga, "Power Semiconductor Device," PWS, chap. 7. 4. 4 (1996).