

고속 Bipolar 소자를 이용한 comparator 설계

박진우, 조정호, *구용서, 안철
서강대학교 전자공학과, *서경대학교 전자공학과,
전화 : 02-706-3401/ 핸드폰 : 016-704-0418

Comparator design using high speed Bipolar device

Jin-Woo Park, Jung-Ho Cho, Young Sea Gu, Chel An,
Dept. of Electric engineering, Sogang University
E-mail : fokerface7@hotmail.com

Abstract

This thesis presents Bipolar transistor with SAVEN(Self-Aligned VERTICAL Nitride) structure as a high-speed device which is essential for high-speed system such as optical storage system or mobile communication system, and proposes 0.8 μ m BiCMOS process which integrates LDD nMOS, LDD pMOS and SAVEN bipolar transistor into one-chip.

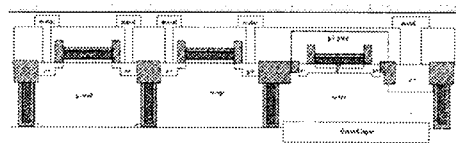
The SPICE parameters of LDD nMOS, LDD pMOS and SAVEN Bipolar transistor are extracted, and comparator operating at 500MHz sampling frequency is designed with them. The small parasitic capacitances of SAVEN bipolar transistor have a direct effect on decreasing recovery time and regeneration time, which is helpful to improve the speed of the comparator. Therefore the SAVEN bipolar transistor with high cutoff frequency is expected to be used in high-speed system.

1. 서론

Optical storage system에 대한 수요 증가와 고속 통신 시스템에 대한 시장의 확대로 고속 회로 필요성 및 개발의 중요성이 강조되고 있다. 따라서 본 연구에서는 새로운 구조의 바이폴라 소자인 SAVEN (Self-Aligned VERTICAL Nitride)를 고안하여 고성능 BiCMOS 구

조를 설계하고 시뮬레이션을 통하여, LDD NMOS, LDD PMOS 와 SAVEN bipolar 소자의 파라미터 추출 및 주파수 분석을 하고, 이를 이용하여 비교기를 설계 하였다.

2. 본론



[그림1 BiCMOS 단면도]

(1)

본 논문에서 제안한 소자의 f_{Tmax} 는 20GHz 이상이고 전류 이득은 100을 갖도록 하였다. 그림1은 이러한 스펙을 가지는 BiCMOS 소자를 나타낸다. Bipolar 트랜지스터가 고속에서 주파수 특성이 좋기 위해서 활성 영역에서 소자 변수의 최적화 및 비활성 영역에서 parasitic 저항과 junction capacitance가 최소화 되어야 한다. 활성 영역에서 소자 변수 최적화는 얇은 에미터, 베이스 접합 형성 과정에서 베이스 내에 축적되는 소수 캐리어의 양을 줄임으로써 실현된다[6]. 또한 제안된 측면 질화막 두께로 베이스 폭을 정의하는 SAVEN 구조를 사용하여 비활성 영역에서 기생 저항과 기생 접합용량을 최소화할 수 있다. 또한 trench 공

정을 사용하여 콜렉터-기판 사이의 접합 용량을 줄이고자 하였으며, 측벽 산화막을 사용하여 에미터 영역과 비활성 베이스 영역 사이에 n+p+ 접합이 형성되는 것을 막아 터널링 현상으로 인한 베이스 전류 증가를 방지하였다[10].

(1) P-type 기판 형성
(2) Buried 층 형성
(3) n-epi 형성
(4) p-well 형성
(5) trench 격리 공정
(6) field oxide 형성
(7) 콜렉터 형성
(8) Vt control implantation
(9) gate oxidation
(10) 활성 베이스 영역 define
(11) n+ 다결정 실리콘/LPCVD oxide/1st질화막
(12) lightly doped source/drain 형성
(13) 측벽 산화막 형성
(14) 2nd질화막 형성/선택적 에칭
(15) thermal oxidation
(16) 질화막 에칭/nMOS S/D implantation
(17) p+ 다결정 Si형성/선택적 에칭
(18) B+ sourcing/contact 형성

(표-1)

표1은 제안된 소자의 공정 순서를 나타내고 있다.

(2) SAVEN 소자의 주파수 특성

주파수 특성을 살펴보기 위해서, Simulation 으로부터 구한 I_C 와 f_T 의 관계를 그래프로 그려보면 I_C 가 증가함에 따라 f_T 가 증가하며 $I_C=0.0002226$ A/ μ m에서 최대치인 $f_T=21.17$ GHz의 차단 주파수를 나타내고, 이것보다 I_C 가 커지면 f_T 는 감소하게 된다. hybrid- π model에 추출된 파라미터를 대입해서 회로설계 및 분석을 다음과 같이 해볼 수 있다[12].

$$g_m = \frac{I_C}{V_T}$$

$$C_x = g_m \tau_F + \frac{C_{iEO}}{\left(1 - \frac{V_{BE}}{\phi_E}\right)^{m_E}}$$

$$C_u \approx \frac{C_{CO}}{\left(1 - \frac{V_{BC}}{\phi_C}\right)^{m_C}}$$

여기에 kirk effect에 의한 I_F 의 증가는 다음과 같은

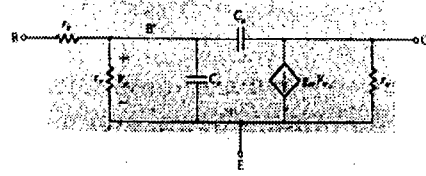


그림2. High-frequency hybrid- π model

모델링 식을 사용하였다[12].

$$\tau_F(I_C) = \tau_{FL}(0) \left[1 + \frac{1}{4} \left(\frac{L_E}{W} \right)^2 \left(\frac{I_C}{I_{CO}} - 1 \right)^2 \right]$$

$$\tau_{FL}(0) = 6.35e-12 \text{ sec}$$

$$I_{CO} = 0.0004634 \text{ A}/\mu\text{m}$$

$$f_T = \frac{g_m}{2\pi(C_\pi + C_u)}$$

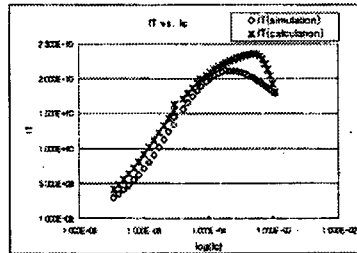


그림3. I_C 변화에 따른 f_T 의 변화

계산식으로 구한 I_C vs. f_T plot에서는 최대 차단주파수 $f_{Tmax} = 23.58$ GHz를 가지며, 시뮬레이션으로부터 구한 그래프와 유사한 모양을 갖게 되어, 고안한 디바이스로부터 구한 파라미터 값과 hybrid- π model을 회로 분석에 사용하였다.

또한 소자의 스위치 특성을 살펴보기 위해서 I_C 값을 0A->5mA->0A 으로 변화 시키고 특성을 살펴보았다. 그림 4로부터, $t_r \approx 0.6$ ns, $t_f \approx 0.2$ ns, $t_d \approx 0.16$ ns임을 알 수 있다. 또한 conventional bipolar 트랜지스터의 경우 storage time이 dominant 하지만, SAVEN의 경우는 X_B 가 작기 때문에 t_s 가 작게 되는 특성을 갖게 된다.

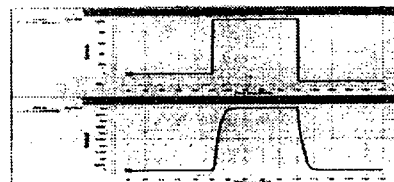


그림4 전류 파형

(3) latch를 사용한 비교기 설계와 분석

Bipolar 소자는 MOS에 비해서 device mismatch가 작고 g_m 값이 커서 고속의 비교기 설계에 적합하다 [15]. 여기서 설계한 비교기는 0.8um BiCMOS 공정을 사용하여, 500MHz로 sampling되는 current-switching latched comparator이다.

클럭이 high이면 Q5 가 on되어 Q1,Q2의 differential pair는 input을 track하여 preamplifying 동작을 수행하게 되며, 클럭이 low이면 Q3,Q4는 positive feedback에 의해서 Vo1 과 Vo2의 차이를 latching하는 동작을 수행하게 된다. 그리고 PMOS 저항을 설계할 때, acquisition phase(CK=1)에서는 저항값이 클수록 이득이 좋아지는 반면에, regeneration phase(CK=0)에서는 저항값이 작을수록 RC time constant가 작아서 빠르게 regenerate 되는 상반되는 특징을 가지고 있다. 따라서 500MHz의 sampling frequency을 얻기 위해서는 두 phase 사이의 상반되는 조건을 적절히 만족시키는 device geometry 값을 찾아야 한다. 그리고 recovery time이 길어지는 것을 방지하고, 이득을 크게 하기위해서 Q1,Q2의 이미터 영역을 충분히 크게 만들기 위해서 0.8um*30um으로 설계하였으며, regeneration time이 recovery time보다 수십 배 이상 작은 것을 고려해서 Q3,Q4 의 이미터 영역은 0.8um*10um가 되도록 설계하였다.

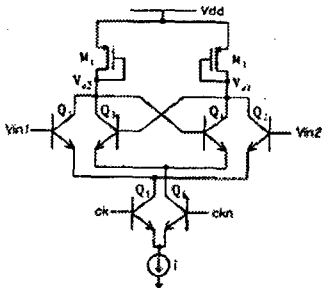
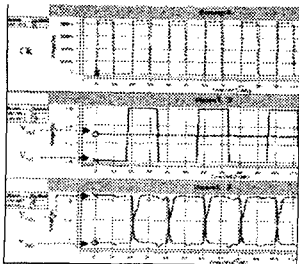


그림5. Latched comparator

그림6은 각각 clock과 입,출력 파형을 그린 것이다.



[그림6 comparator의 출력 파형]

single supply voltage는 3.3 V를 사용하였으며 tail

전류는 5mA을 사용하였다. 다음은 고주파 등가회로로부터 구한 recovery time 과 regeneration time을 구한 것이다.

$$t_{re} = \frac{C_{Treg}}{g_m} \ln \left[1 + \frac{1}{\tanh(V_{in}/2V_{th})} \right]$$

$$t_{reg} = \frac{C_{Treg}}{g_m} \left(\frac{g_m/g_{m,PMOS}}{g_m/g_{m,PMOS} - 1} \right)$$

$$V_{in} = V_1 - V_2$$

$$V_{Out} = V_{ol} - V_{o2} \approx A_v \cdot V_{in}(t_1) \exp\left(\frac{t-t_1}{\tau_{reg}}\right)$$

(g_m : Q3, Q4의 transconductance)

trench 공정으로 collector-substrate 접합 용량이 작다고 한다면, 다음과 같은 식을 얻을 수 있다.

$$C_{Tacc} \approx C_L + 4C_{uL} + C_{uA}$$

$$C_{Treg} \approx C_\pi + C_L + 4C_{uL}$$

C_L : load capacitance

C_{uA} : Q3, Q4 의 base-collector 접합 용량

C_{uL} : Q1, Q2 의 base-collector 접합 용량

(4) 공정 시뮬레이션 및 SPICE 파라미터 측정

① LDD NMOS 트랜지스터 파라미터 추출

$$VTO=0.7926V \quad XJ=0.28e-4cm \quad LD=4e-8cm\lambda$$

$$=5.8616E(-2)V^{-1} \quad \theta=0.094V^{-1} \quad \gamma=0.55V^{1/2}$$

$$RSH=15.4\Omega/square \quad CGBO=3.059e^{-10}F/cm^2$$

$$UO=641.6cm^2/V.S \quad CJ=3.28e^{-8}F/cm^2$$

$$CGSO=1.625e^{-10}F/cm^2 \quad NUSB=2e15cm^{-3}$$

$$IS=1.44e^{-6}A/F/cm^3 \quad TOX=346.7e-8cm$$

$$CGDO=1.625e^{-10}F/cm^2$$

② LDD PMOS 트랜지스터 파라미터 추출

$$VTO=-0.8017V \quad XJ=0.27e-4cm \quad LD=5e-8cm \quad \lambda$$

$$=8.2E(-2)V^{-1} \quad \theta=0.082V^{-1} \quad \gamma=0.71V^{1/2} \quad RSH=21.8\Omega$$

$$/square \quad CGBO=3.032e^{-10}F/cm^2$$

$$UO=155.6cm^2/V.S \quad CJ=3.31e^{-8}F/cm^2$$

$$CGSO=1.448e^{-10}F/cm^2$$

$$IS=1.44e^{-6}A/F/cm^3 \quad TOX=346.7e-8cm$$

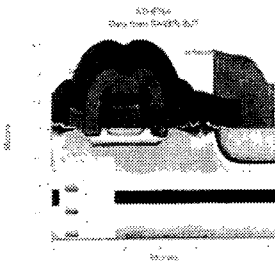
$$NUSB=2e15cm^{-3} \quad CGDO=1.448e^{-10}F/cm^2$$

③ SAVEN Bipolar 트랜지스터

그림7 고안한 Bipolar의 단면도

3. 결론

각종 전자 장비 시스템이 고속화 되는 추세로 인하여,



이에 필수적인 고속 Bipolar 소자를 SAVEN 구조로 구현하여 비활성 영역의 기생 접합 용량과 기생 저항을 줄이고, 이미터 width를 0.128um, 베이스 width를 0.146um로 얇게 접합 깊이를 형성시켜서 최대 cut-off 주파수를 21.17GHz 가 되게 하였고 storage time이 매우 작은 스위칭 특성을 얻을 수 있었다. 그리고 BiCMOS 공정을 통하여 LDD NMOS, LDD PMOS도 함께 공정해서 SPICE 파라미터를 추출하였다. 이 소자를 사용하여 간단한 형태의 current-switching latched comparator를 설계하여 500MHz에서 동작하는 것을 확인할 수 있었다. 따라서 high-frequency를 갖는 SAVEN 소자가 고속의 시스템에 적합한 Bipolar 소자로서 사용될 수 있을 것으로 예상된다.

참고문헌(또는 Reference)

[1]A.Boni, and C.Moran야, "High-speed, Low-power BiCMOS Comparator using a PMOS Variable Load," IEEE journal of Solid-State Circuits, vol.33, pp.143-146,Jan.1998

[2]Sedra, and Smith, "Microelectronic Circuits," Oxford University Press,1991

[3]ATHENA User's Manual, Silbaco International., June,1995

[4]ATLAS User's Manual, Silbaco International., June,1995

[5]Yong Seo Koo, Sang Won Kang, and Chul An, "A High-speed Si Bipolar Transistor with SAVEN" vol.31,pp.2400-2406, Jpn. J. Appl. Phys., volW31, Aug.1992

[6]구용서,강문상,안철 "RTP 공정 및 Trench 격리 기술을 사용한 PSA 바이폴라 소자의 특성 연구,"전자공학회 논문지,PP743-751,1991

[7]David A. Johns, and Ken Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc., pp317-321,1997

[8]박광민, "PSPICE 이해와 응용," 도서출판 동광,1992

[9]Carlo Fiocchi, Umbero Gatti, and Franco Maroberti, "A 10-bit 250MHz BiCMOS Track and Hold," IEEE International Solid-State Conference, Paper FA8.7, pp.144-145, Feb.1997

[10]Edward S. Yang, "Microelectronic Devices," McGraw-Hill Inc,1988

[11]Horst Zimmermann, Kunt Kieschnick, Marc Heise and, Holger Pless, "High-Bandwidth BiCMOS OEIC for optical storage systems," IEEE International Solid-State Conference, Paper WP22.5 pp.384-385, Feb.1999

[12]Ian E.getreu, "Modeling the bipolar transistor," Elsevier Scientific Publishing company,1976

[13]이호영, "Low voltage low power comparator design technique,"서강대학교, pp.3-7, 1995

[14]Phillip E.Allen, and R.holberg, "CMOS Analog Circuit Design," Oxford University Press, pp.322-327, 1987

[15]Peter J.Lim, and Bruce A.wooley, "An 8-bit 200MHz BiCMOS Comparator,"IEEE journal of solid-state circuits, vol 25,pp 192-199,Feb.1990

[16]Kanaan Kano, "Semiconductor Devices,"Prentice-Hall Inc. , pp.267-268, 1998