

# 임베디드 플랫폼을 위한 TCP/IP 프로토콜 프로세서 설계 및 구현

배 대 희, 김 철 회, 정 용 진  
광운대학교 전자통신공학과#  
전화 : 02-940-5551 / 핸드폰 : 016-738-1934

## Design and Implementation of TCP/IP Protocol Processor for Embedded Platform

Dae Hee Bae, Cheol Hoi Kim, Yong Jin Jeong  
Dept. of Electronics and Communications Engineering, Kwangwoon University  
E-mail : electral@kw.ac.kr

### Abstract

Demands on dealing with multimedia data through the network have been increased, and networking multimedia devices require processing, transmitting, and receiving the digital data. In order to implement the network for high performance and low cost, we may have to integrate the dedicated hardware into a system on a chip by spending an extra amount of silicon resource. In this paper, we describe hardware implementation of TCP/IP protocol stack which is now popular to connect multiple PCs and peripherals by means of networks. For evaluation we used ALTERA APEX 20K600EBC652 FPGA with 600,000 gates. The operating frequency is estimated 29.9MHz and it used area of 26%.

### I. 서론

최근의 인터넷은 다양한 멀티미디어 응용서비스의 증가와 FTP, P2P등의 대용량의 데이터 전송의 증가에 따라 Ethernet의 속도는 Gbps(기가비트)로 증가 하였으나

소프트웨어 프로토콜을 사용하는 단말기의 속도는 이에 상응하지 못하고 있는 실정이다. 또한 폭발적인 인터넷 사용자의 증가와 도래하는 유비쿼터스 시대에는 정보가 전이로서 가전기기마다 IP를 부여받게 되기 때문에 더 많은 IP주소가 필요하게 되어 IPv4(version4)에서 IPv6(version6)로 전이해가고 있는 상황이다. 데이터전송량의 증가와 IPv6로의 전이상황에서 일반 컴퓨터가 아닌 소형기기들이나 가전 기기들에 적합하도록 cost가 적게 사용되며, 대용량의 데이터를 고속으로 처리할 수 있는 프로세서가 요구 되고 있다[2]. 기가비트 인터넷 속도에 상응하며, TCP가 지원하는 신뢰성을 가지고 실시간으로 수많은 데이터를 처리하기 위하여 현재 소프트웨어로서 사용되고 있는 TCP/IP 계층을 하드웨어로 설계하여 데이터의 고속처리 및 임베디드 환경에 적합한 네트워크 프로세서의 개발이 인터넷을 사용하는 단말기와 게이트웨이 그리고 스위칭 분야에서 활발히 진행 중에 있다[6].

본 논문에서는 TCP/IP 프로토콜 스택을 하드웨어로 설계하고 구현하였다. 본 논문의 구성은 다음과 같다. 2장에서는 설계한 TCP/IP 프로토콜 프로세서의 전체적인 구성을 3장에서는 개별 프로토콜에 대한 설계내용과 타이밍도를, 4장에서는 실험과 검증에 대해서 5장에서 결론과 향후과제로 결론을 맺는다.

# 본 연구는 광운대 IDEC 센터의 틀 지원으로 이루어졌습니다.

## II. 프로세서의 구성

설계한 TCP/IP 프로토콜 프로세서는 OSI 7계층 중에서 제 3계층인 IP계층과 제 4계층인 TCP 계층으로 이루어져 있다. 3계층의 모듈로는 ARP, ICMP, IP 모듈로 구성되어 있으며 4계층의 모듈로는 TCP 모듈로 구성되어 있다. 그림 1은 본 논문에서 설계한 TCP 프로토콜을 이용한 신뢰성 있는 데이터전송을 지원하는 TCP/IP 프로토콜 프로세서의 구조를 나타낸다. IP 모듈과 TCP 모듈 이외에 데이터 전송을 지원하기 위해서는 3계층과 4계층의 헤더 파일을 구성하기 위한 정보를 저장하고 업데이트하기 위한 register file 을 두었으며, 데이터의 송신과 수신을 위하여 각 4Kbyte의 RAM(버퍼)을 사용하였다. 데이터 송신과 수신시에 TCP 모듈에서의checksum 의 속도를 빠르게 하기 위하여 데이터를 checksum 하기 위한 모듈을 첨가하였다. 또한 전체적인 프로토콜 프로세서를 컨트롤하기 위한 컨트롤러가 추가 되었다. 설계한 모듈은 MTU(Maximum Transmission Unit)를 1540바이트로 설정하였으며, 송수신 window 사이즈를 각각 4Kbyte로 설정하였다[1][3][4].

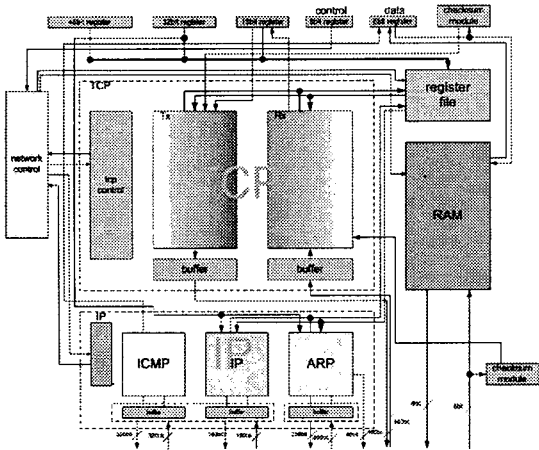


그림 1. TCP/IP 네트워크 프로세서 구성

## III. 개별 프로토콜의 설계 및 구성

### 3.1 ARP

그림 2에서 ARP 는 통신하게 되는 상대방 호스트의 하드웨어 주소를 유지하고 갱신하는 기능을 가지고 있다. ARP 내부에 캐시메모리를 가지고 있어서 응용프로그램으로부터 통신하기를 원하는 상대방의 하드웨어 주소를 메모리에 저장하고 있다면 빠르게 찾아내게 되며, 상대방 호스트의 하드웨어 주소가 메모리 안에 없을 경우에는 ARP패킷을 먼저 보내어 상대방의 하드웨어 주소를

가져오는 기능을 한다. 설계한 ARP 모듈은 ARP 수신, ARP 송신, cache테이블유지 및 갱신으로 이루어져 있다. 설계한 ARP모듈내부의 cache메모리는 8개까지 다른 IP에 대한 하드웨어 주소를 가질 수 있도록 되어있다. 그림 2는 설계한 ARP 모듈의 내부 구성도이다. 그림 3은 상대방으로부터 ARP 요청을 받았을 경우 ARP의 rx(receive) 모듈에서 ARP 패킷을 분석한 후 상대방으로부터의 ARP 요청인것을 확인하고 tx(tranceive) 모듈에서 ARP 패킷을 생성하여 이더넷으로 보내주게 된다. ARP 모듈은 항상 내부의 캐쉬메모리를 접근하므로 송신과 수신시에 각각 2클럭이 소요된다.

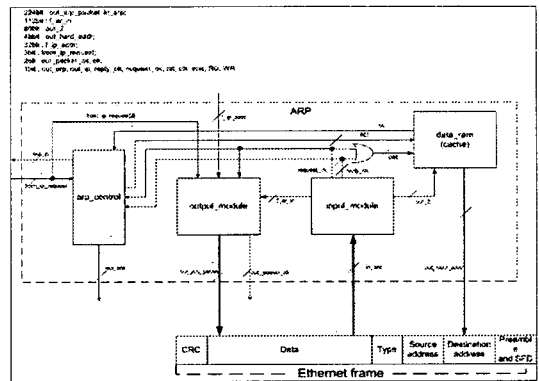


그림 2. ARP 모듈

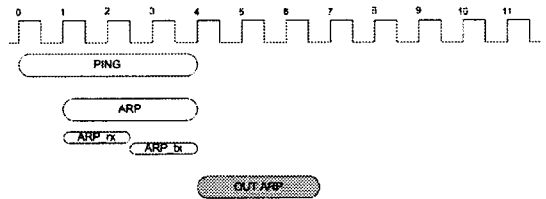


그림 3. 상대방으로부터 ARP 요청을 받은 경우

### 3.2 ICMP

프로토콜 스택에서 ICMP는 IP에서 지원하지 않는 error reporting과 error-correcting을 보완해주는 기능을 하고 Echo기능을 가지고 있다. 설계한 ICMP 모듈은 단말의 특성상 Echo기능, 수신, 송신부를 갖도록 구현 하였다. Echo 요청과 응답 메시지는 네트워크상황을 진단하기 위한 목적을 가지고 있다. 네트워크 매니저와 사용자는 이 메시지들을 참고하여 네트워크의 문제를 찾아낼 수 있다. 또한 Echo 요청과 응답 메시지는 송신측과 수신측 호스트 사이에 통신을 할 수 있는지 결정할 수 있는 지표가 된다. ICMP는 헤더 160비트와 체크섬을 할 수 있는 160비트의 데이터를 처리하며, 송신의 경우 체크섬에서 1클럭, 헤더를 생성하는데 1클럭이 소요된다.

수신의 경우에도 체크섬에서 1클럭, 헤더를 처리하는데 1클럭이 소요된다[1][5].

### 3.3 IP

신뢰성이 없고 연결유지도 하지 않으며 best-effort 전송서비스를 제공하는 IP 프로토콜은 end-to-end간의 전송을 담당하는 프로토콜이다. 또한 통신하게 되는 상대방 호스트의 IP주소에 해당하는 하드웨어 주소를 얻기 위하여 ARP모듈에 접근을 하며, end-to-end간의 데이터 전송을 한다. 설계한 IP 모듈은 자신과 상대방의 IP주소 체크, TTL(Time to Live), 패킷의 총 길이, 체크섬, Identification number갱신, Version 체크, 사용 프로토콜구별기능을 가지고 있다.

그림 4에서는 제 3계층(IP, ICMP, ARP)의 송신부와 수신부를 모두 이용하기 위해서 상대방으로부터 Ping 요청을 받은 경우에 사용되는 각 모듈을 클럭의 흐름에 따라 표시한 것이다. 상대방의 Ping 요청에 ICMP와 IP 모듈의 수신부가 각각의 헤더를 체크섬하고, 체크섬이 일치하는 경우에 헤더의 내용을 확인하여 ICMP 수신부에서 상대방의 요청인 것을 확인하면 ICMP와 IP의 송신부로 Echo 패킷을 만들어 보내도록 한다. 그림 4에서는 컨트롤 1클럭, IP와 ICMP 수신부 3클럭, IP송신부 4클럭으로 총 8클럭후에 Ping 응답 패킷이 만들어 지는 것을 보여준다[1].

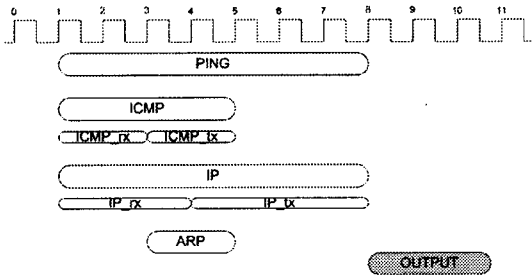


그림 4. 상대방으로부터 PING요청을 받은 경우

### 3.4. TCP

응용계층과 네트워크계층(3계층)사이를 연결하는 역할을 하는 TCP는 sliding window 로 flow-control을 하며, ack 패킷과 time-out, 재전송으로 error-control을 하는 신뢰성있고 연결상태를 유지하는 프로토콜이다. 설계한 TCP모듈은 상대방과 자신의 포트번호체크, Sequence number체크 및 갱신, Acknowledgment number체크 및 갱신, 상태필드체크 및 유지와 갱신, 윈도우 사이즈체크 및 갱신, 데이터 전체를 포함한 체크섬 등으로 이루어져 있다. 또한 연결 지향성 프로토콜이므로 상태다이아그램에 따라서 상태를 유지하고 전이한다.

그림 5는 3계층과 4계층의 모듈들이 ICMP를 제외하고 모두 사용된 경우로서 상대방 호스트로부터의 TCP 연결 요청 패킷(SYN)에 대한 응답 패킷(SYN+ ACK)를 만들어 보내주는 과정이다. 총 10클럭 만에 유입된 TCP 연결 요청 패킷에 대한 응답 패킷이 만들어져 나가게 되는 것을 볼 수 있다[1].

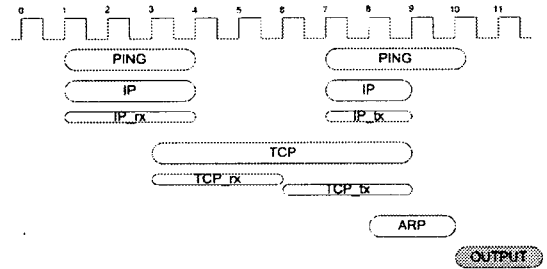


그림 5. 상대방으로부터 TCP연결요청을 받은 경우(SYN메시지를 받은 경우)

그림 6은 연결설정 후에 상대방에게 데이터를 보내는 과정이다. 6바이트의 데이터를 보내는 경우로서 데이터가 상위 응용프로그램으로부터 유입되어 송신 체크섬 후에 TCP헤더가 만들어 붙여지고 TCP로부터 받아진 Pseudo 헤더로부터 IP헤더를 만들며 ARP에서 상대방 호스트의 하드웨어 주소를 불러와 12클럭 만에 데이터가 나가는 과정이다.

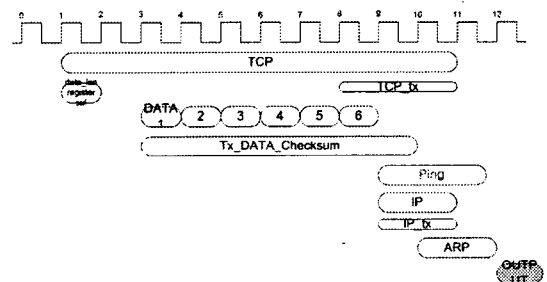


그림 6. 상대방에게 DATA를 보내는 경우

## IV. 검증 및 분석

본 논문의 실험환경은 그림 7과 같이 4가지의 실험장비가 사용되었다. 실험 장비에 대한 각각의 설명은 그림 7과 함께 설명하였다. 본 논문에서 설계한 TCP/IP 프로토콜 프로세서는 Verilog하드웨어 언어로 설계하였으며, 모델 테크놀로지사 (Modeltech)의 모델심(Modelsim) 툴을 사용해서 시뮬레이션 하였고 심플리시티 (Synplicity) 사의 심플리파이(synplyfy) 툴을 이용하여 최적화 하였으며, Quartus II를 이용하여 합

성하고 ALTERA APEX 20K600EBC652를 내장한 FPGA 보드에 다운로드하여 PalmPalm 임베디드 시스템과 연동하여 결과를 검증하였다. 검증에 사용된 테스트 벡터는 네트워크 상에서 패킷을 캡처할 수 있는

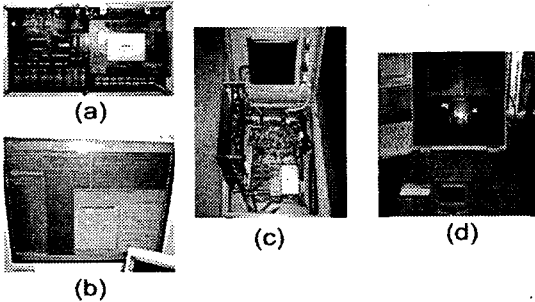


그림 7. 검증 장비 (a) APEX 20KE600EBC FPGA 보드 (b) window 시뮬레이션 및 다운로드컴퓨터 (c)PalmPalm 임베디드 시스템 (d)리눅스 애플리케이션서버

이더리얼 프로그램을 이용하여 Ping과 FTP 통신에서 얻어진 데이터를 이용하였다. 전체모듈의 성능은 29.8MHz이며, 60만게이트를 가진 FPGA보드에서 26%를 차지한다. 그림 8은 설계한 TCP/IP 프로토콜 프로세서 모듈과 임베디드 시스템을 연동하여 검증한 화면이다.

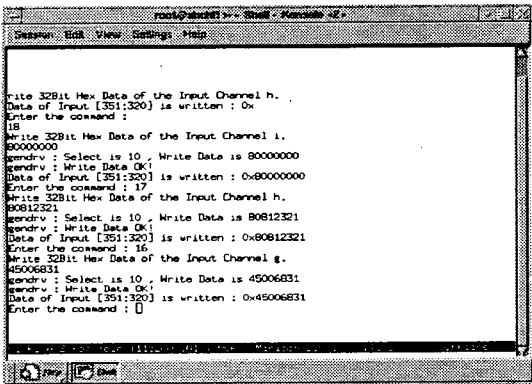


그림 8. 임베디드시스템을 애플리케이션한 리눅스서버의 화면 캡처

## V. 결론

다양한 어플리케이션의 증가와 인터넷 접속이 어디에서나 보편화 되어가는 현대 사회에서 정보가전이나 이동성을 가지고 인터넷에 접속하기 위한 소형 전자기기가 점차적으로 늘어가는 상황에서 본 논문에서 설

계한 프로토콜 프로세서는 저렴한 비용으로 통신능력을 가진 전자기기에서 고속으로 네트워크 프로토콜 처리프로세서로서 활용하는데 적합하다고 할 수 있다. 본 논문에서 설계한 TCP/IP 프로토콜 프로세서는 제3계층과 제4계층, 그리고 검증을 위한 간단한 어플리케이션 계층으로 이루어져 있다. 하위계층인 2계층과 1계층을 함께 연결하여 로컬네트워크상에서 통신을 하는 과제를 남기고 있다.

본 논문은 점차적으로 IPv4 에서 IPv6 로의 전환되고 있는 시기이므로 IPv6 모듈도 개발하여 듀얼 스택으로서 IPv4와 IPv6의 혼재된 망에서의 사용을 위한 TCP/IPv4, IPv6 스택개발에 참고자료가 될 것으로 사료된다.

## 참고문헌

- [1] Behrouz A. Forouzan, *TCP/IP Protocol Suite*, McGRAW-HILL, 2003..
- [2] 村田一宣, 橋岡孝道, 阿部公輝, "TCP/IPv6 프로토콜스택의FPGA実装と評価," 第10回FPGA/PLD Design Conference, pp.171-176, Jan. 2003.
- [3] C. Barakat, "TCP/IP Modeling and Validation," *IEEE Trans, Network*, Vol.15, pp38~47, 2001.
- [4] W.R.Stevens, *TCP/IP Illustrated*, Vol.1, Addison-Wesley, 1994.
- [5] Behrouz A. Forouzan, *Introduction to DATA COMMUNICATIONS AND NETWORKING*, McGraw-Hill, 1998.
- [6] www.npforum.org