

IMT-2000용 저전력 디지털 정합 필터의 설계

박 기 현, 하 진 석, 이 광 엽, *차 재 상
서경대학교 컴퓨터공학과, *서경대학교 정보통신공학과
전화 : 02-940-7240 / 핸드폰 : 019-9728-2145

Design of Low-Power Digital Matched Filter for IMT-2000 system

Ki Hyun Park, Jin Suk Ha, Kwang Yeob Lee, Jae Sang Cha
Dept. of Computer Engineering, Seokyeong University
E-mail : pinkhamony@dreamwiz.com

Abstract

In wireless communication systems, low-power metrics is becoming a burdensome problem in the portable terminal design, because of portability constraints. This paper presents design architecture of a low-power partial correlation Digital Matched Filter for the IMT-2000 communication systems. The proposed approach focuses on efficient circuit size, power dissipation, maintaining the operating throughput. The proposed architecture was verified by using Xilinx FPGA.

I. 서론

IMT-2000 통신시스템에서는 사용자간 간섭이 없는 효율적인 통신시스템의 구현을 위해서 자기 상관 함수와 상호 상관 함수 특성이 양호한 확산 코드를 선택하고 이들의 상관특성을 추출하는 기술이 무엇보다 중요하다. 확산코드의 상관특성을 효율적으로 검출하기 위한 핵심 신호 모듈로서는 정합 필터(Matched Filter)가 존재한다. 이러한 정합필터는 확산 변조된 신호를 입력 신호로 받아서, 이를 상관조작을 통해 역 확산시킨 후 데이터를 복조하기 위한 필수요소인 상관 함수 값을 출력해주는 역할을 한다. 그러므로 IMT-2000 통신 시스템의 핵심적인 복조기를 구현하기 위해서는 효율적

인 정합필터의 개발이 무엇보다 중요하며, 복조기 칩의 구현측면에서는 소형의 저소비전력특성을 갖는 설계기술의 제시가 필수적이라고 할 수 있다[1]. 정합 필터의 출력은 디지털 기술을 사용하였을 때 매 칩마다 발생하게 되고 그 탐색율은 아날로그 적분기보다 빨라지게 된다. 본 논문에서는 이러한 아날로그 적분기를 사용하지 않고 디지털 정합 필터를 사용하여 탐색의 고속화를 꾀하였고, 디지털 정합 필터와 등가의 구조를 제안하여 정합 필터의 문제점이었던 전력 소모 및 H/W의 복잡성에 대한 단점을 보완하고 그 성능을 링크레벨 시뮬레이터와 FPGA를 통해 검증하였다.

II절에서는 본 논문에서 적용된 부분 상관형 정합 필터 알고리즘에 대하여 설명하고, III절에서는 제안한 부분 상관형 정합 필터의 성능분석 및 검증을 행하고 IV절에서 결론을 맺기로 하겠다.

II. 부분 상관형 디지털 정합 필터

2.1 슬롯 동기 획득

셀룰러 기반의 IMT-2000과 같은 WCDMA 통신 시스템에서는 기지국에서 해당 셀 탐색(cell search)을 쉽게 할 수 있도록 돕기 위해 기지국별로 동기채널을 송출한다. 동기 채널은 일차 동기 채널(Primary SCH)과 이차 동기 채널(Secundary SCH)로 구성되며, 일차 동기 채널은 아무런 동기 정보를 갖고 있지 않은 단말기를 위하여 슬롯 시작점을 알려주는 역할을 한다. 일차 동기 채널은 10msec의 프레임과 한 프레임은 15개의 슬롯으로 구성되며, 각 타임 슬롯마다 256비트가 반복

되어 송신된다. 모든 기지국은 동일한 코드가 사용되며, 그림 1과에서 보듯이 매 슬롯 앞부분에 반복하여 전송한다. 수신된 다운링크 신호에서 슬롯의 경계를 발견하기 위해 정합 필터를 이용하여 일차 동기 채널용 PN확산코드의 상관 피크치를 추출하게 된다. 따라서 셀 탐색을 효율적으로 이루기 위해서는 고성능의 정합 필터가 필수적이다.

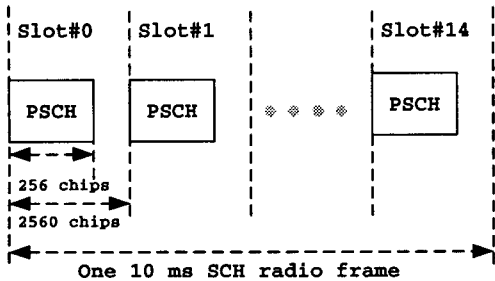


그림 1. WCDMA 일차 동기 채널의 구성

2.2 디지털 정합 필터의 필요성

정합 필터는 IMT-2000 통신 시스템에서 셀 탐색을 한 Key Device이다. 따라서 효율적인 IMT-2000 통신 시스템의 수신기를 구현하기 위해서는 전력 소모와 회로 사이즈의 최적화를 이루고 SoC에 통합가능한 구조로써 구성될 수 있는 고효율의 정합 필터의 구현이 관건이 된다.

상관기는 일정한 적분시간을 가지는 아날로그 적분기[2]로 구성되어질 수 있으나 디지털 정합 필터와 비교하여 탐색율이 떨어진다. 따라서 디지털의 장점을 이용한 디지털 정합 필터는 매 칩마다 출력이 발생하여 탐색의 고속화를 이룬다. 하지만 정합 필터는 높은 전력소모와 하드웨어의 복잡성에 대한 문제점이 있기 때문에 이에 대한 효율적인 구조의 디지털 정합 필터가 요구된다.

2.3 256-chip generalized hierarchical Golay sequence

셀 탐색 과정에서 디지털 정합 필터는 동기화 코드와 수신된 다운링크 신호들을 상관에 의한 계산을 한다. 디지털 정합 필터에 의해 계산되어진 시간 t 에서의 상관 값을 $X(t)$ 라 하면,

$$X(t) = \sum_{i=0}^{255} (Rx(t-i) \times C_{PSC}(i)) \quad (1)$$

와 같이 표현한다. 여기서 $C_{PSC}(i) (i = 0, 1, \dots, 255)$

는 주동기 코드의 ± 1 인 i 번째 값이고 $Rx(t)$ 는 시간 t 에 수신된 신호이다.

WCDMA에서 사용되는 디지털 정합 필터는 계층형 골레이 시퀀스(generalized hierarchical Golay sequence)로 구성될 수 있는 주동기 채널의 특성에 따라 2개의 부분으로 나눌 수 있다[2]. $C_{PSC}(i)$ 는 주동기 코드로써 정합 필터의 연산량을 줄일 수 있도록 설계되었는데 다음과 같은 두 요소 코드로부터 생성된다.

$$C_1 = \langle 1, 1, 1, -1, -1, 1, -1, -1, 1, 1, 1, -1, 1, -1, 1, 1 \rangle \quad (2)$$

$$C_2 = \langle 1, 1, 1, 1, 1, 1, -1, -1, 1, -1, 1, -1, -1, 1, 1 \rangle \quad (3)$$

C_1 과 C_2 를 사용하여 원래의 $C_{PSC}(i)$ 는 다음의 식과 같이 변형된다.

$$C_{PSC}(i) = C_1(i \bmod 16) \times C_2(i/16) \quad (4)$$

따라서 식(1)은 다음과 같이 바뀐다.

$$X(t) = \sum_{i=0}^{15} (C_2(i) \times x(t-i \times 16)) \quad (5)$$

$$x(t) = \sum_{j=0}^{15} (C_1(j) \times Rx(t-j)) \quad (6)$$

식(5)와 (6)은 같은 형식으로 표현되어질 수 있기 때문에 디지털 정합 필터는 부분 상관 구조로 설계되어질 수 있다.

2.4 부분 상관형 디지털 정합 필터

위의 식에서 $x(t)$ 는 16 사이클마다 반복되어진다. 예를들어 $t=t_1$ 이고 $t=t_1+16$ 일 때 상관값은 다음과 같다.

$$X(t_1) = \sum_{i=0}^{15} (C_2(i) \times x(t_1 - i \times 16)) \quad (7)$$

$$\begin{aligned} X(t_1 + 16) &= \sum_{i=0}^{15} (C_2(i) \times x(t_1 + 16 - i \times 16)) \\ &= \sum_{i=-1}^{14} (C_2(i+1) \times x(t_1 - i \times 16)) \end{aligned} \quad (8)$$

식(7)과 (8)에서 보면 시간 t_1 에서 계산된 $x(t_1), \dots, x(t_1 - 16 \times 14)$ 은 $t_1 + 16$ 에서 재사용되어질 수 있다. $x(t)$ 를 재사용함으로써 상관 값은 모든 사이클에 대해서 전체적으로 계산하지 않고 결정되어질 수 있다. 그림 2는 부분 상관 값들을 재사용함으로써 얻어진 부분 상관 구조의 디지털 정합 필터 블록도를 나타낸다. 그림 1에서 나타낸 것처럼 첫 단계에서 $x(t)$ 는 쉬프트 레지스터에 저장된 $Rx(t-i)$ 으로부터 계산되어진다. 두 번째 단계에서는 상관 값 $X(t)$ 가 쉬프트 레지스터에 저장된 $x(t-i) (i = 0, 1, \dots, 15)$ 으로부터 계산되어진다. 따라서 이 부분 상관 구조의 디지털 정합 필터는 상관 연산기의 구성 요소인 승산기가 32개, 가산기

가 30개가 소요된다. 하지만 첫 단계에서의 $x(t)$ 는 상관 연산이 되어 나오면서 상관 값의 크기가 커지면서 두 번째 단계의 쉬프트 레지스터에까지 영향을 미치게 된다. 따라서 $Rx(t-i)$ 의 크기보다 4비트가 더 크게 되어 전체 회로 면적이 증가하게 된다.

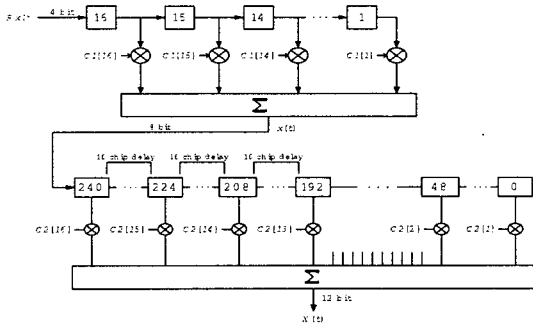
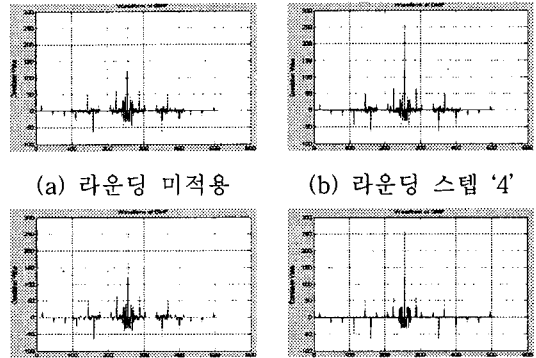


그림 2. 부분 상관 디지털 정합 필터의 블록도

III. 부분 상관 디지털 정합 필터의 비교와 설계 및 검증

3.1 부분상관 필터출력의 최적 라운딩 스텝 도출

그림 2에서 볼 수 있듯이 부분 상관 구조를 적용함으로써 디지털 정합 필터는 부분상관 디지털 정합필터와 지연소자만으로 전체상관기의 구현이 가능해 짐에 따라서, 전체 상관 연산기의 수가 크게 줄게된다. 단, 부분상관 정합필터의 출력값을 단순히 지연소자로 지연시킬 경우, 큰 출력값에 대한 지연동작을 수행하게 하는 쉬프트 레지스터수가 오히려 증가하여 저전력과 저면적의 개념에 역행하는 문제가 발생할수 있다. 그러므로 본 논문에서는 부분상관출력을 단순히 지연시키는 방식의 문제점을 극복하기 위한 해결 방안으로서, $x(t)$ 의 비트 수를 라운딩 기법을 적용하여 최적화하고 전송하는 기법을 제안한다. 즉, 상관 값의 오차가 최소화되는 범위내에서 $x(t)$ 의 결과값을 라운딩후에 최적화된 값을 도출한후 이를 반영한 정합필터의 설계를 행함으로써, 저소비전력화 및 소형면적을 차지하는 IMT-2000시스템용 정합필터를 구현한다. 또한 본 논문에서는 새롭게 제시한 라운딩기법 기반의 부분상관형 정합필터를 최적으로 구현하기 위한 알고리즘의 도출을 위하여, 디지털 정합 필터의 상관 값의 오차를 최소화하면서도 회로 면적과 전력 소모를 성취하기 위한 최적의 라운딩 스텝의 도출을 위하여 MATLAB를 이용한 상관특성의 모의실험을 통한 수치분석을 행하였다.



(a) 라운딩 미적용 (b) 라운딩 스텝 '4'
(c) 라운딩 스텝 '8' (d) 라운딩 스텝 '16'
그림 3. 라운딩 스텝에 따른 상관 값

그림 3은 라운딩 스텝의 변화에 따른 상관 값을 나타낸다. 라운딩 스텝은 4, 8, 16이며 라운딩을 적용하지 않았을 때 이상적인 상관전력을 가지게 된다. 라운딩 스텝을 적용한 상관출력값의 전력상관계수(p :Power Correlation Coefficient)를 측정함으로써 상관도를 확인하였다. 전력상관계수는

$$p = \frac{\sum_{i=1}^k X_i^2(t)}{\sum_1^k X_N^2(t)} \quad (i=1,4,8,16) \quad (9)$$

와 같이 정의하며, k 는 정합필터의 탭수를 나타내고, $X_N^2(t)$ 는 라운딩 스텝이 1인 이상적인 상관전력이고, $X_i^2(t)$ 는 라운딩 스텝 i 에 따른 상관전력을 나타낸다. 전력상관계수를 1에 가까울수록 이상적인 상관출력과 더욱 유사한 출력을 갖게 된다. 본 논문에서는 전력상

표 1. 라운딩 스텝에 따른 전력상관계수

라운딩 스텝	전력상관계수
라운딩 미적용	1
4	0.9471
8	0.9179
16	0.8706

관계수가 약 0.9정도를 타겟으로 하였다. 표 1은 각 라운딩 스텝에 따른 전력상관계수를 나타낸다.

비교 대상인 라운딩 스텝에 따른 부분 상관 디지털 정합 필터는 모두 같은 구조를 가지기 때문에 면적이 작아질수록 전력 소모 또한 줄어들게 된다. 표 2는 FPGA(XCV1000E)를 타겟으로한 각 라운딩 스텝을 적용했을 때 측정된 면적과 소비전력을 나타낸다. 소비전력은 Xilinx사의 XPower를 이용하여 추출하였다.

표 2. 라운딩 스텝에 따른 면적 및 소비 전력

라운딩 스텝	Slice	플립플롭	면적 비율	전력(mW)
라운딩미적용	1294	2112	9	42.07
4	984	1600	7	36.65
8	828	1344	6	33.56
16	676	1088	5	24.34

이상적인 상관출력에 대한 성능면에서 거의 차이가 없고 저전력과 저면적의 개선을 이루는 최적 라운딩 스텝을 도출하기 위해 전력상관계수와 XPower에서 추출한 면적 및 전력값을 이용하여 도출한 최적 라운딩 스텝은 '16'이며, 최적의 라운딩 스텝인 '16'을 적용하였을 때 라운딩을 적용하지 않은 정합필터와 성능이 동등하면서 전력 소모 및 회로 면적에서 약 45%이상 감소하는 효율적인 디지털 정합 필터임을 확인하였다.

3.2 회로의 구현 및 검증

본 논문에서 최적의 라운딩 스텝을 적용한 부분 상관 디지털 정합 필터를 제안하였으며 FPGA를 이용하여 구현 및 검증을 하였다. 그림 4는 부분 상관 디지털

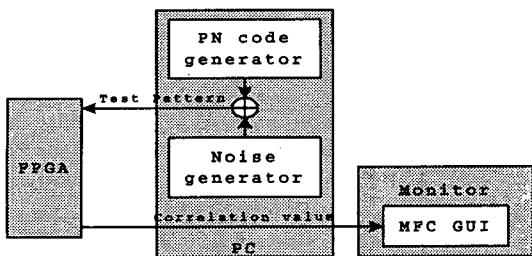


그림 4. 부분 상관 디지털 정합회로의 검증환경

필터 정합 필터의 검증 환경이며 Dynlith사의 PCI 기반 FPGA (iPROVE-XCV1000E)를 사용하였다. FPGA에는 부분 상관 디지털 정합 필터가 구현되어 있으며 테스트 입력 패턴을 입력받아 상관 값을 출력한다. 여기서 테스트 입력 패턴은 PN 코드 발생기와 잡음 발생기를 이용하여 다운링크의 셀탐색용 확산 신호를 주기적으로 생성하여 구현하였다. 상관 출력값은 PC로 입력되어 MFC GUI 환경에서 확인하였다. 그림 5는 MFC GUI 기반의 테스트 시스템을 나타낸다.

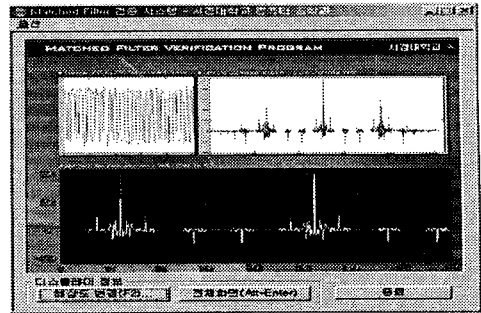


그림 5. MFC GUI 기반의 테스트 시스템

IV. 결론

본 논문에서는 IMT-2000시스템에서 이용되는 계층형 플레이 시퀀스에 대한 정합필터를 구현하기 위한 설계기법으로서, 부분 상관구조와 지연소자 형태에 라운딩기법을 적용한 새로운 설계기법을 제안하고 FPGA를 이용한 디지털 하드웨어로 구현 및 성능을 분석함으로써 그 유용성을 확인하였다. 본 연구에서 새롭게 제안한 부분 상관 디지털 정합 필터는 2단계의 부분 상관 구조로 구성되어 라운딩 스텝이 적용됨으로써 면적과 소비전력에서 45%의 개선효과가 있음을 확인할 수 있었다.

감사의 글

본 IT SoC 핵심 설계 인력양성 사업의 수행결과입니다. 회로구현에 IDEC CAD software를 사용하였습니다.

참고문헌

- [1] A. Wittneben, "Base station modulation diversity for digital SIMULCAST," Proc. IEEE VTC., pp. 505-511, May 1993.
- [2] K. Togura, H.Nakase, K. Kubota, K. Masu, and K.Tsubouchi, "Low Power Current-Cut Switched Current Matched Filter for CDMA," IEICE Trans. Electron., vol.#84-C, No.2 Feb 2001.
- [3] 3GPP TSG RAN WG1-554/99, "Generalised Hierarchical Golay Sequence for PSC With low complexity correlation using pruned efficient Golay correlators".