

구리이온의 확산에 대한 IMD(Inter-Metal Dielectric)용 Low-k 물질인 SiOCH와 diffusion barrier Ta의 특성에 관한 연구

김 정우, 송 진형, 최 용호, 김 지균, 이 현웅  
 명지대학교 전기공학과 전기전자재료연구소

A study of properties which the diffusion barrier Ta and IMD(Inter-Metal Dielectric) material SiOCH for Cu<sup>+</sup> ion diffusion.

J. W. Kim, J. H. Song, Y. H. Choi, J. G. Kim, H. Y. Lee  
 Electrical Electronic and Materials Lab, Myong Ji University

**Abstract** - In this investigation, we have studied the diffusion of the Cu<sup>+</sup> ion in the Cu/Ta/SiOCH/Si and Cu/Ta/SiO<sub>2</sub>/Si MIS-C structure. The Cu ions diffusion into the Ta barrier and SiOCH was examined by shift in flatband voltage of capacitance-voltage measurement and leakage current of current-voltage measurement. These evaluation indicated that Cu<sup>+</sup> ion diffusion rate in Ta/SiOCH is considerably lower than the Ta/SiO<sub>2</sub> structure. And diffusion barrier Ta(50[nm]) is useful barrier against Cu<sup>+</sup> ion diffusion up to 450°C.

annealing시 Cu의 산화를 막기 위해서이다. 대부분 400°C이하인 후속 공정을 감안하여 시료를 가열장치를 사용하여 450°C에서 2시간동안 N<sub>2</sub> 분위기에서 annealing 하였다. 열처리후의 Cu<sup>+</sup> ion의 diffusion에 따른 diffusion barrier의 성능을 평가하기 위해서 열처리 전·후의 소자의 특성을 I-V, C-V를 통해 측정하였다. I-V의 측정은 KEITHLEY 236 /KEITHLEY 2361를 사용하였고, C-V의 측정은 HP社의 4192A를 사용하였다. 본 논문에서 사용한 시료의 구조 및 증착조건은 그림 1.과 표 1.과 같다.

1. 서 론

MOSFET 소자가 개발된 이후로 반도체 산업은 많은 변화와 발전을 이루어 왔다. 또한 집적회로 분야에서는 지속적으로 소자의 고집적화·고속화가 이루어지고 있다. 그러나 소자 feature size의 감소와 집적도가 증가로 인한 RC time delay가 증가하여 소자의 고집적화·고속화 소자 구현에 문제점이 나타나고 있다. 위와 같은 문제점을 개선하기 위해 Al과 SiO<sub>2</sub>의 대체물질로 Cu 및 low-k dielectric에 대한 연구가 활발히 진행 되고 있다.[1] Cu는 Al에 비해 비저항이 작아 RC time delay를 감소시킬 뿐 아니라 EM(electromigration)에 대한 저항이 우수하여 소자의 신뢰성 또한 우수하다. 또한 low k dielectric은 기존의 SiO<sub>2</sub> 보다 낮은 유전율로 RC time delay를 감소시킬 수 있다. 그러나 Cu는 dielectric과 Si 내에서 빠른 속도로 diffusion하는 성질 때문에 소자의 오염 및 leakage current를 증가시키고, 소자의 요러가지 특성을 저하시키는 것으로 알려져 있다.[2][3] 따라서 Cu와 dielectric사이에서 diffusion barrier의 사용이 필수적이라고 할 수 있다. 본 연구에서는 dielectric을 low-k물질인 SiOCH(기존의 CVD법으로 제작이 가능하여 기존의 공정라인을 그대로 사용할 수 있어 주목받는다)와 SiO<sub>2</sub>로 사용하였고, diffusion barrier로는 Ta를 사용하여 Cu<sup>+</sup> ion의 Ta와 dielectric으로의 diffusion에 대해서 C-V와 I-V를 측정하였다. 또한 실험을 통하여 나타난 Cu<sup>+</sup> ion의 diffusion으로 인해 나타나는 현상을 이용하여 diffusion barrier로 Ta를 사용할 경우 SiOCH와 SiO<sub>2</sub>로 의 Cu<sup>+</sup> ion의 diffusion을 비교 평가하였다.

2. 본 론

2.1 실험방법

본 연구에서는 그림 1.과 같이 p-type si wafer(100)을 사용하여 MIS(metal-insulator-silicon) capacitor를 제작 하였다. Dielectric은 유전율 4.2인 SiO<sub>2</sub>와 2.85인 SiOCH를 1[um]의 두께로 증착해 사용하였다. SiOCH는 RF PECVD를 이용하여 증착하였고 SiO<sub>2</sub>는 thermal oxidation으로 성장시켰고 두께는 엘립소미터와 나노스펙을 사용하여 측정하였다. Diffusion barrier는 Ta를 30~50[nm]으로 Cu는 50[nm]으로 A-tech의 DC sputter로 증착하였다. Ta층을 Cu 위에 증착시킨 이유는

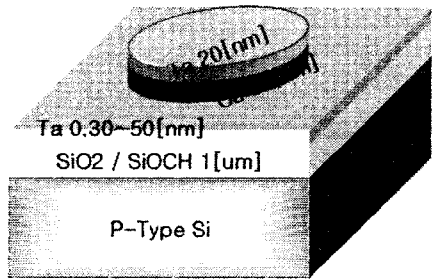


Fig. 1. Cross Section of sample.  
 그림 1. 시료의 단면도.

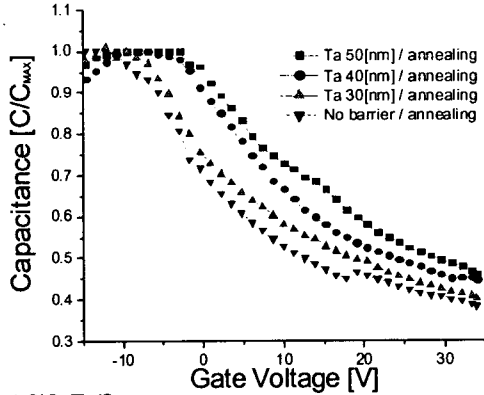
구 분	시료의 구조	열처리 조건
1	SiO <sub>2</sub> /Cu no barrier	450°C. N <sub>2</sub> ,2hr
2	SiO <sub>2</sub> /Ta/Cu 30[nm]	
3	SiO <sub>2</sub> /Ta/Cu 40[nm]	
4	SiO <sub>2</sub> /Ta/Cu 50[nm]	
5	SiOCH/Cu no barrier	
6	SiOCH/Ta/Cu 30[nm]	
7	SiOCH/Ta/Cu 40[nm]	
8	SiOCH/Ta/Cu 50[nm]	

Table 1. Split condition s of the various diffusion barrier couples annealed at 450°C.  
 표 1. diffusion barrier의 두께와 열처리조건.

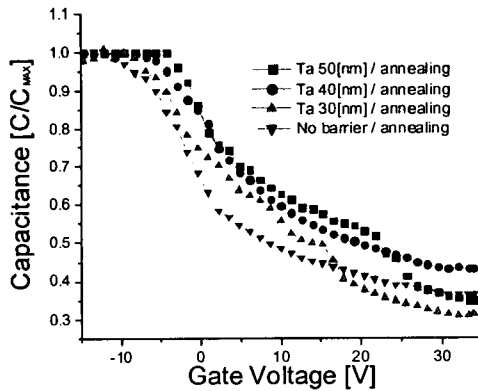
## 2.2 결과 및 토의

Ta에 대한 Cu<sup>+</sup> ion의 diffusion barrier로의 성능은 열처리 전·후의 C-V를 측정하여 flatband voltage의 변화와 gate leakage current를 측정함으로써 연구하였다.

그림 2는 표 1과 같은 diffusion barrier를 증착한 후 450°C에서 2시간동안 열처리한 후의 C-V 곡선을 나타내고 있다. Diffusion barrier Ta의 두께에 따라 C-V 곡선이 shift된 것을 볼 수 있는데 이러한 현상은 Cu<sup>+</sup> ion이 diffusion barrier Ta와 dielectric으로 diffusion하여 trap으로 작용한 것으로 볼 수 있다.[4]



a) SiO<sub>2</sub>/Ta/Cu



b) SiOCH/Ta/Cu

fig 2. C-V curve of (a)SiO<sub>2</sub> and (b)SiOCH MIS-C about various diffusion barrier metal thickness.

그림 2. Diffusion barrier의 두께에 따른 C-V 특성곡선 (a)SiO<sub>2</sub>, (b)SiOCH

위와 같이 C-V곡선의 shift는  $\Delta V_F$ (shift of flatband voltage)로 표현할 수 있고, diffusion rate이나 interface trap charge, mobile charge 등 defect를 계산할 수 있는 factor를 제공한다. 그럼으로 Cu<sup>+</sup> ion의 diffusion barrier Ta와 dielectric으로의 diffusion은  $\Delta V_F$ 에 비례하다는 것을 알 수 있고, 이는 diffusion barrier나 dielectric의 Cu<sup>+</sup> ion에 대한 diffusion내력의 척도가 된다.[5] 그림 3은 그림 2의 C-V곡선의 shift를 diffusion barrier의 두께에 따른  $\Delta V_F$ 로 나타낸 것이다. Diffusion barrier의 두께가 증가함에 따라  $\Delta V_F$ 가 감소하는 것을 볼 수 있고, dielectric인 SiOCH일때의  $\Delta V_F$ 가 SiO<sub>2</sub>의  $\Delta V_F$ 보다 작은 것을 볼 수 있다. 이것은 Cu<sup>+</sup> ion의 diffusion에 대한 내력이 SiOCH가 SiO<sub>2</sub>보다 우수하다는 것을 알 수 있다. 그러나 diffusion barrier가 없는 시료와 30[nm]인 SiOCH/Ta/Cu의 시료에서의  $\Delta V_F$ 는 무시할 수 없는 값으로 diffusion barrier의 필요성을 나타내주고 있다.

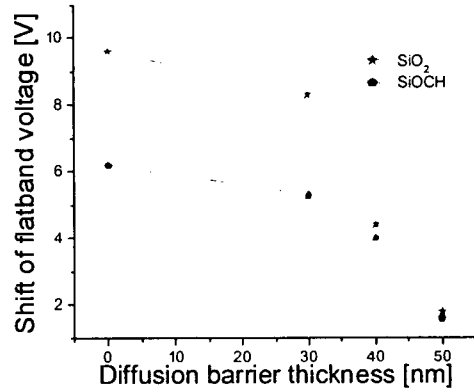


fig 3.  $\Delta V_F$  with various diffusion barrier metal thickness and dielectric.

그림 3. Dielectric과 diffusion barrier의 두께에 따른 flatband voltage의 변화량.

그림 4는 MIS-C의 게이트 전극에 순방향 바이어스를 가한 후 게이트 leakage current를 측정하였다. diffusion barrier 없이 Cu만 증착된 시료의 경우 게이트에 전압이 인가된 순간부터 leakage current가 크게 증가하는 것을 볼 수 있다. 이것은 Cu<sup>+</sup> ion이 annealing 후에 dielectric내부로 diffusion된 후 dielectric에 trap되어 defect source로 작용하여 낮은 전압에서도 leakage current가 발생하는 것으로 볼 수 있다. 반면 diffusion barrier가 있는 시료에서는 그 leakage current값이 두께가 증가함에 따라 감소하였는데 이것은 diffusion barrier에 의해 Cu<sup>+</sup> ion이 diffusion하는 것을 억제하였기 때문이다.[6] 또한 diffusion barrier Ta를 50[nm] 증착한 시료는 열처리를 하지 않은 시료와 거의 비슷한 값을 보였고, no barrier인 시료와 비교했을 때 leakage current가 약 1000배 정도 감소한 것으로 시료들 중 가장 좋은 특성을 보였다.

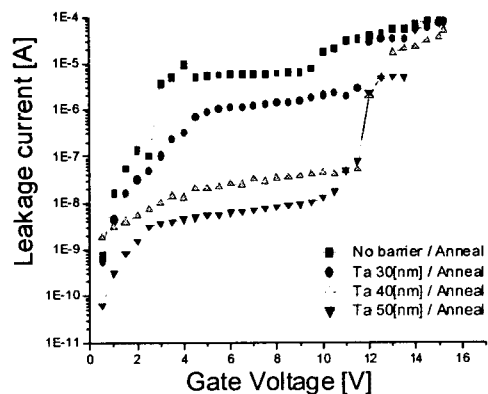


fig 4. Leakage current characteristics of MIS-C about various diffusion barrier metal thickness and SiOCH.

그림 4. SiOCH film에서 Diffusion barrier인 Ta의 두께에 따른 gate leakage current의 특성

그림 5는 그림 4와같이 450°C에서 N<sub>2</sub>분위기로 열처리하기 전·후의 gate leakage current를 측정하여 그 변화량을 나타낸 것으로, annealing으로 인한 Cu<sup>+</sup> ion의 diffusion을 diffusion barrier Ta의 두께에 따른 성능을 나타내었다.

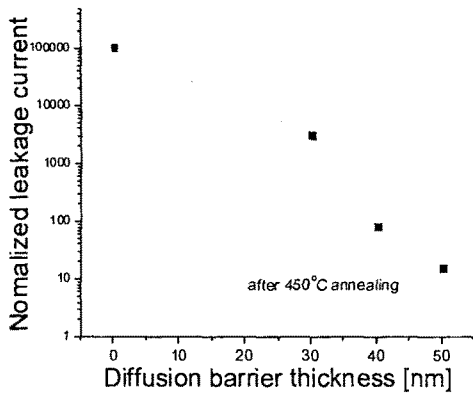


fig 5. Gate leakage current normalized with initial measurement value for p-type MIS-C.

그림 4. P-type MIS-C의 초기값으로 표준화 한 gate leakage current.

### 3. 결 론

Cu기반의 소자에서 Cu<sup>+</sup> ion의 diffusion은 소자의 신뢰성과 동작에 영향을 미친다. 이러한 현상을 막기 위해서 diffusion barrier의 필요성이 부각되어 왔다. 이 실험에서는 low-k인 SiOCH와 diffusion barrier Ta를 사용하여 MIS-C구조를 만들어 C-V특성을 이용하여 flatband voltage의 변화를 관찰 하였고, I-V 특성을 측정하여 leakage current의 특성을 관찰하였다. Ta 50[nm]를 diffusion barrier로 사용했을 경우 가장 좋은 특성을 나타내었다. 또한 SiOCH film의 경우 flatband voltage의 변화가 SiO<sub>2</sub>보다 작은 것으로 SiOCH의 Cu<sup>+</sup> ion의 diffusion에 대한 내력이 우수함을 볼 수 있었다. 이러한 결과는 SiOCH의 IMD용으로의 사용가능성과 Ta의 diffusion barrier로의 가능성을 알 수 있었다.

### [참 고 문 헌]

- [1] S. P. Muraka, Mater. Sci R19, p88, 1997
- [2] M. Inohara, H. Sakurai, T. Yamaguchi, H. Tomita, T. Iijima, H. Oyamatsu, T. Nakayama and Y. Toyoshima, "Copper contamination Induced Degradation of MOSFET Characteristics and Reliability."
- [3] A.L.S Loke, C.Ryu, P.Tue, J.S.H Cho, S.S Wrong. IEEE Electron Device Lett. Vol.12 No17, P1549, 1996
- [4] J.D. McBrayer, R.M.Swanson, T.W.Sigmon, J .Electrochen. SOC, Vol. 6, No.133, P. 1242. 1986.
- [5] Yong ho Choi, Jee gyun Kim, Heon Yong Lee. "Characterization of low k dielectric SiOCH film deposited by PECVD for interlayer dielectric."
- [6] Yin KM, Chang L, Chen FR, Kai JJ, Chiang CC, Ding P, Chin B, Zhang H, Chen F. Thin Solid Films 2001;388:15.