

시간-주파수 영역 반사파 계측 시스템을 위한 칩 신호 발생기 구현

최덕선*, 박진배*, 윤태성**

*연세대학교 전기전자공학과, **창원대학교 전기공학과

Implementation of the chirp signal generator for the time-frequency domain reflectometry system

Tok Son Choe*, Jin Bae Park*, Tae Sung Yoon**

*Dept. of Electrical & Electronic Engineering, Yonsei Univ. **Dept. of Electrical Engineering, Changwon National Univ

Abstract - 시간-주파수 영역 반사파 계측 시스템의 상용화를 위해서 현재 범용 장비들을 통해 구현되었던 신호 발생부, 신호 습득부, 신호 분배부, 신호 처리부의 실제 구현이 필요하다. 따라서, 본 논문에서는 그 첫 번째 단계로 시간-주파수 영역 반사파 계측 시스템에서 핵심 부분인 신호 발생기를 AD9854 칩과 mega128 컨트롤러를 이용해 구현한다. 시간-주파수 영역 반사파 계측 시스템의 신호 발생기 부분은 칩 신호를 발생시키는 부분이다. 긴 주기를 가지는 칩 신호를 실제로 발생시키기 위해 아날로그 디바이스(Analog Device)사의 범용 통신 칩으로 사용되는 AD9854와 AD9854를 제어하기 위해 아트멜(Atmel)사의 mega 128 컨트롤러를 사용하여 구현한다. 구현된 칩 신호 발생기를 실제 시간-주파수 영역 반사파 계측 시스템에 적용하여 그 성능을 검증한다.

의 신호 발생기(Arbitrary Waveform Generator)로 구현되었던 신호 발생부를 저렴하게 구현하기 위해 아날로그 디바이스(Analog Device)사의 범용 통신칩인 AD9854[5]와 이를 제어하기 위해 아트멜(Atmel)사의 mega 128 컨트롤러[6]를 사용하여 구현한다. 구현된 신호 발생기는 PXI형의 계측기들로 구성된 시간-주파수 영역 반사파 계측 시스템[8]의 신호 발생기를 대체하여 기존 PXI형의 계측기로 구성된 시간-주파수 영역 반사파 계측 시스템과 대체된 시간-주파수 영역 반사파 계측 시스템에 대해 10C-FBT 동축 케이블의 결함 위치 추정 성능을 통해 그 성능을 평가한다.

1. 서 론

시간-주파수 영역 반사파 계측 방법(Time-Frequency Domain Reflectometry: TFDR)이란 기존의 펄스나 스텝 신호를 기준 신호로 사용하여 시간 영역에서 그 반사파를 분석하는 시간 영역 반사파 계측 방법(Time Domain Reflectometry: TDR)[1][2]이나 일정한 주파수 대역을 가지는 정현파를 기준 신호로 사용하여 주파수 영역에서 그 반사파를 분석하는 주파수 영역 반사파 계측 방법(Frequency Domain Reflectometry: FDR)[3]과는 달리 시간과 주파수 영역에서 동시에 지역화 되어 있는 신호인 가우시안 포락선 모양을 가지는 칩(chirp) 신호를 기준 신호로 사용하며 시간-주파수 영역에서 그 반사파를 분석하기 위해 시간-주파수 분포 함수(Time-Frequency Distribution Function)와 정규화된 시간-주파수 상관 관계 함수(Normalized Time-Frequency Cross Correlation Function)로 특징지어지는 시간-주파수 영역 반사파 계측 알고리즘을 사용하는 반사파 계측 방법[4]이다.

2. 본 론

2.1 시간-주파수 영역 반사파 계측 시스템

본 절에서는 시간-주파수 영역 반사파 계측 시스템 [7][8]을 정의한다. 시간-주파수 영역 반사파 계측 시스템은 크게 신호 발생부(Signal generation), 신호 습득부(Signal acquisition), 신호 분배부(Signal distribution), 신호 처리부(Signal processing)로 구성된다. 그림 1은 시간-주파수 영역 반사파 계측 시스템을 개략적으로 나타낸다.

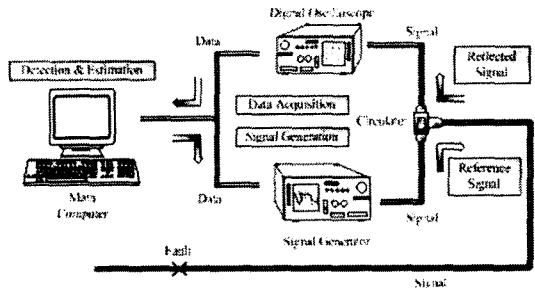


그림 1. 시간-주파수 영역 반사파 계측 시스템

그림 1에서 신호 발생기는 시간-주파수 영역 반사파 계측 시스템에서 사용되는 기준 신호를 발생시키는 역할을 한다. 이 신호 발생기에서 발생된 신호는 순환기(Circulator)로 구현된 신호 분배부로 전송된다. 신호 분배부의 역할은 신호 발생기, 신호 습득기, 대상 전송선로를 연결해 주는 역할을 한다. 신호 분배부로 입력된 신호의 일부는 신호 습득기로 직접 입력되며 일부는 대상 전송선로로 전송된다. 대상 전송선로로 전송된 신호는 대상 전송선로의 결함 부분에서 반사되어 신호 발생기에서 신호 분배부를 거쳐 바로 신호 습득기로 입력된 신호와 시간지연을 가지고 신호 습득기로 전송된다. 신호 습득부에서 얻어진 아날로그 신호는 디지털화되어 신호 처리부로 전송되고 신호 처리부에서는 시간-주파수 영역 반사파 계측 알고리즘을 수행한다.

반사파 계측 방법은 동축 케이블의 결함 진단 뿐만 아니라 꼬임선(Twisted pair cable), 광케이블과 같은 다양한 전송선로에서의 결함 진단에 사용되어지는 방법이며, 전송선로 뿐만 아니라 레이더(Radar)나 소나(Sonar)와 같이 매질이 공기나 물인 응용 영역에서 반사파를 분석하여 표적의 위치나 거리를 추정하는데 사용된다. 또한, 지중에 대한 여러 가지 정보를 지표면에서 간단한 조사만으로 파악할 수 있는 지중탐사에도 반사파 계측 방법이 사용된다. 이처럼 반사파 계측 방법은 광범위한 응용 범위에서 폭넓게 사용되어지고 있다. 새롭게 제안된 시간-주파수 영역 반사파 계측 방법이 기존의 반사파 계측 방법들이 사용되어져왔던 다양한 분야에 사용되기 위해서는 먼저 그 시스템이 명확히 정의되어야 하며 또한, 많은 사람들에게 의해 폭넓게 사용되고 연구되기 위해서는 그 시스템이 저렴하게 구현되어야 한다.

본 논문에서는 기존의 시간-주파수 영역 반사파 계측 시스템이 기준 신호 발생을 위해 사용되었던 고가의 입

2.2 칩 신호 발생기 구현

시간-주파수 영역 반사파 제측 시스템에서 칩 신호 발생기는 가우시안 포락선 모양을 가지는 칩 신호를 주기적으로 발생시키는 장치이다. 가우시안 포락선 모양의 칩 신호를 사용하는 이유는 시간과 주파수 영역에서 모두 지역화하기 위해서이다. 시간-주파수 영역 반사파 제측 방법의 기준 신호가 되기 위해서는 그 신호가 시간과 주파수 영역에서 동시에 지역화되어 있기만 하면 된다. 따라서, 가우시안 포락선 모양이 아닌 펄스 모양이나 삼각 펄스 모양의 칩 신호를 사용하여도 가능하다. 본 논문에서는 구현을 쉽게 하기 위해 가우시안 포락선 모양이 아닌 펄스 모양의 칩 신호를 생성하는 칩 신호 발생기를 구현한다.

2.2.1 AD9854의 특징 및 제어 방법

AD9854 디지털 합성기(Digital Synthesizer)[5]는 300 [MHz]의 내부 클럭을 가지며 Single-Tone(Mode 000), Unramped FSK(Mode 001), Ramped FSK(Mode 010), Chirp(Mode 011), BPSK(Mode 100) 모드(Mode)를 지원하는 통신칩이다. 또한, D/A 컨버터를 내장하고 있으며 주파수와 위상 오프셋(offset)이 레지스터(Register)를 가지고 있어 프로그래밍 가능하다. 본 논문에서는 AD9854의 Chirp(Mode 011) 모드를 이용하여 칩 신호 발생기를 구현하였다.

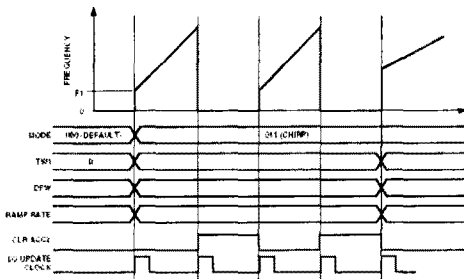


그림 2. CLL ACC2를 이용한 Chirp 모드 제어

그림 2과 같이 AD9854에서 CLR ACC2에 클럭을 주어 칩 신호의 원하는 주기를 제어할 수 있다. 시작 주파수는 AD9854의 Frequency Tuning Word 1 레지스터를 사용하여 제어하였으며, 주파수 대역폭은 AD9854의 Delta Frequency Word를 사용하여 제어하였다. 본 논문에서는 AD9854의 제어와 제작의 편의성을 위해 아날로그 디바이스에서 제공하는 평가 키트(Evaluation Kit)를 사용하였다. 사용된 평가 키트는 그림 3과 같다.

그림 3에서 가운데 정사각형 모양의 조금 큰 칩이 AD9854이다. 맨 오른쪽 부분이 패러렐(Parallel) 포트이며 왼쪽 하단의 선이 있는 부분은 전원부이다. 하단 중앙의 IDE 케이블이 꽂힌 부분은 AD9854의 각 핀들로 연결되어 있으며 반대쪽은 컨트롤러에 연결된다.

2.2.2 Mega 128 특징 및 제어 방법

ATmega128[6]은 최대 처리 속도는 16 [MIPS]인 저전력의 마이크로 컨트롤러이다. AD9854의 평가 키트에서 기본적으로 패러렐 통신과 제공되는 프로그램을 통해 제어 가능하지만 AD9854의 모든 부분을 제어할 수 없다. 특히 CLR ACC2를 제어는 패러렐 통신과 제공되는 프로그램으로는 불가능하다. 그래서, 본 논문에서는 AD9854의 모든 부분을 제어할 수 있도록 mega 128을 사용하여 컨트롤러를 제작하였다. 제작한 컨트롤러는 그림 4과 같다.

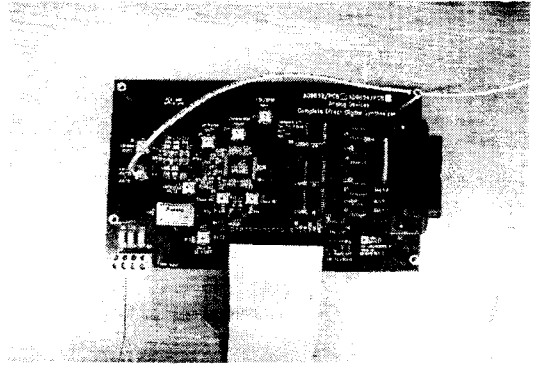


그림 3. AD9854 Evaluation Kit

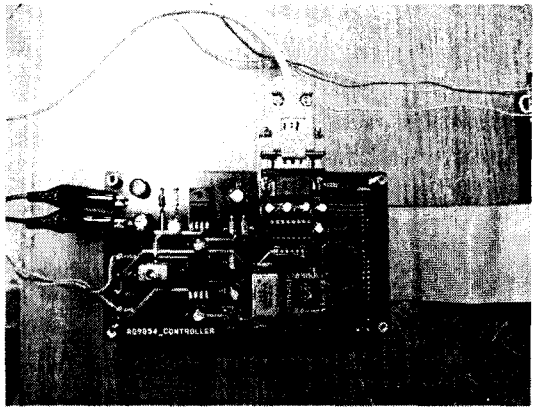


그림 4. Mega 128을 사용한 컨트롤러(Controller)

그림 4에서 오른쪽에 보이는 IDE 케이블은 mega 128 칩의 핀들에 연결된다. 그림에서 하단 중앙의 오실레이터 오른쪽에 정사각형 모양의 칩이 mega 128이며 중앙에서 왼쪽의 핀 4개의 부품 두개는 전원을 위한 레귤레이터(Regulator)이다. 상단 오른쪽의 시리얼(Serial) 케이블이 꽂힌 부분이 RS232 포트이며 mega 128를 PC를 통해 제어하기 위해 사용한다. 왼쪽 상단 부분이 전원 공급부이며 컨트롤러는 5 [V]의 전원을 전원 공급기로부터 공급받는다.

2.2.3 칩 신호 발생기 제어 인터페이스

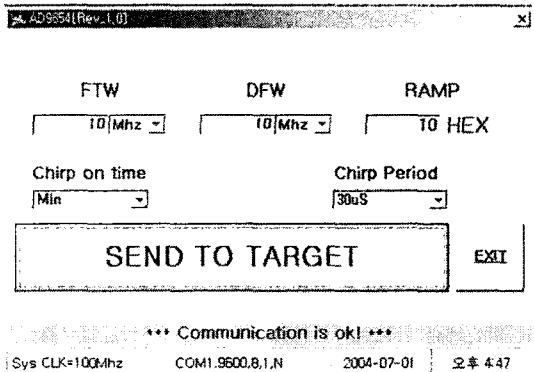


그림 5. 칩 신호 발생기 인터페이스

그림 5는 구현된 칩 신호 발생기를 제어하는 인터페이스이다. 그림에서 상단 왼쪽에 있는 FTW의 입력 부분은 발생시킴고자 하는 칩 신호의 시작 주파수를 의미한다. 상단 중앙 부분에 있는 DFW는 칩 신호의 주파수 대역폭을 의미한다. 그림 5와 같이 FTW가 10 [MHz]이고 DFW가 10 [MHz]인 신호는 10~20 [MHz]의 주파수 성분을 가지는 칩 신호를 의미한다. 그림에서 상단 오른쪽 부분의 RAMP는 칩 신호의 주파수 증가율을 나타낸다. 중앙에서 왼쪽의 Chirp on time은 칩 신호의 시간폭을 의미한다. 편의상 Min을 선택하였을 시는 500 [ns], Mid는 700 [ns], Max는 1 [μs]로 고정하여 선택할 수 있도록 만들었다. 중앙 오른쪽의 Chirp period는 발생한 칩 신호의 전체 주기를 나타낸다. 10 [μs], 20 [μs], 30 [μs]로 정하여 선택할 수 있도록 만들었다.

2.3 실험 및 분석

실험은 PXI형의 시간-주파수 영역 반사파 계측 시스템에서 신호 발생기 부분을 제작한 칩 신호 발생기로 대체하고 수행하였다. 대체된 시간-주파수 영역 반사파 계측 시스템은 그림 6과 같다.



그림 6. 제작한 칩 신호 발생기로 대체한 시스템

제작한 칩 신호 발생기는 프로토타입(Prototype)이므로 외부의 전원 공급기로부터 전원을 공급 받도록 하였다. 실험에서 사용된 칩 신호는 시간폭이 500 [ns], 주파수 대역이 5~10 [MHz], 전체 주기는 30 [μs], V_{pp} 는 300 [mV]이다. 현재 제작된 칩 신호 발생기의 최대 주파수는 20 [MHz]이며, AD9854의 스펙상으로는 최대 50~60 [MHz]까지 가능하다. 실험에 사용한 케이블은 케이블 방송국과 가입자간의 영상 전송 동축 케이블인 10C-FBT 케이블을 사용하여 100 [m], 500 [m], 996 [m]에 대해 실험을 수행하였다.

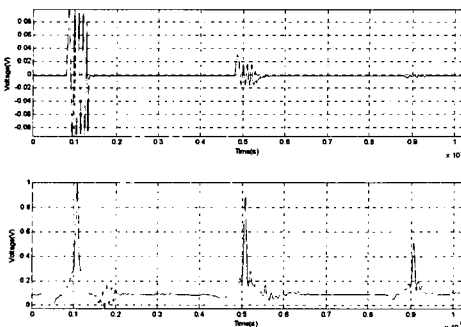


그림 7. 반사신호 및 정규화된 시간-주파수 상호 상관관계

그림 7은 10C-FBT 케이블의 500 [m]에 오픈 상태인 결함을 만들고 실험을 수행하여 얻어진 결과이다. 상단의 그림이 신호 습득기에 습득된 신호이며 하단의 그림은 습득된 신호에서 기준 신호를 추출하여 그 기준 신호의 시간-주파수 분포와 습득된 신호의 전체 시간-주파수 분포 사이의 상호 상관관계를 나타내는 그림이다. 1 [μs]에서 1.5 [μs] 사이에 있는 신호가 제작된 칩 신호 발생기에서 신호 습득기로 직접 들어온 신호이며 4.8 [μs]에서 5.3 [μs] 사이에 있는 신호가 500 [m]에서 반사되어 돌아온 신호이다.

VOP(Velocity of Propagation)를 이전 실험과 같이 빛의 속도의 83.5 [%]로 하였을 때 그림 7의 결과를 시간-주파수 영역 반사파 계측 알고리즘을 통해 처리후 얻어진 결함의 위치는 500.4039 [m]이다. 996 [m]에 결함이 있는 케이블에 대해 실험을 하였을 때 얻어지는 결과는 996.6656 [m]이고, 100 [m]일 경우에는 100.4709 [m]로 비교적 정확한 값이 나왔다.

표 1. 실험 결과

	100 [m]	500 [m]	996 [m]
PXI 시스템	99.5850	499.9493	995.9436
제작된 시스템	100.4709	500.4039	996.6656

[8]과 동등한 비교를 위해 똑같은 VOP를 사용하였지만 주파수 대역이 다르기 때문에 적합한 VOP를 사용한다면 더욱 성능이 좋아질 것으로 기대된다.

3. 결 론

AD9854와 mega 128 칩을 사용하여 최대 주파수가 20 [MHz]이며, 최소 시간폭이 500 [ns]인 칩 신호 발생기를 구현하였다. 이는 기존의 고가의 임의 신호 발생기를 사용하여 구현된 칩 신호 발생기를 저가로 하드웨어를 구현하여 대체한다는데 의의가 있다. 앞으로 더 연구해야 할 것은 최대 주파수를 AD9854의 최대 스펙인 50~60 [MHz]까지 나오도록 만드는 것이며 최소 시간폭도 200 [ns]까지 낮추고, 측정 불가능 문제를 해결하기 위해 AD9854의 Single-Tone(Mode 001)을 이용하여 짧은 시간폭을 가지는 펄스 신호도 발생시킬 수 있도록 하는 것이다.

[참 고 문 헌]

- [1] Hewlett Packard, "Time Domain Reflectometry", 1998.
- [2] Rise Bond Instruments, "TDR Application Guide"
- [3] Site Master, "Transmission Line and Antenna Analyzer: Data Sheet", Anritsu, April 2000.
- [4] Yong June Shin, Eun Seouk Song, Joo Won Kim, Jin Bae Park, Jong Gwan Yook, Edward J. Powers, "Time frequency domain reflectometry for smart wiring systems", Advanced Signal Processing Algorithms, Architectures, and Implementation XII, Proceedings of SPIE Volume: 4791, Pages: 86-95, December 2002.
- [5] Analog Device, "AD9854: CMOS 300MHz Quadrature Complete-DDS Data Sheet", 2002.
- [6] Atmel Inc. "ATmega128(L) Data Sheet", May 2004.
- [7] TokSon Choe, ChaunYoung Hong, Eunseok Song, Jong-Gwan Yook, Jin Bae Park, YongJune Shin, Powers E. J., "Detection and estimation of a fault on coaxial cable via time-frequency domain reflectometry", Proceedings of the 20th IEEE Instrument and Measurement Technology Conference 2003, Volume: 1, Pages: 190-195, 20-22 May 2003.
- [8] TokSon Choe, ChanYoung Hong, Jin Bae Park, Tae Sung Yoon, "Implementation of time-frequency domain reflectometry system with PXI platform for a coaxial cable", Proceedings of the 21th IEEE Instrument and Measurement Technology Conference 2004, Volume: 2, Pages: 964-968, 18-20 May 2004.