

제어봉 구동장치 제어시스템 전력제어기용 FPGA 설계

이종무, 신종렬, 권순만, 박민국, 김춘경, 천종민
한국전기연구원 계속제어연구그룹

Design of FPGA Logic for Control Rod Control System Power Controller

Jong-Moo Lee, Jong-Ryeol Shin, Soon-Man Kwon, Min-Kook Park, Choon-Kyong Kim, Jong-Min Cheon
Instrument and Control Research Group, Korea Electrotechnology Research Institute

Abstract - 원자로의 제어봉 구동장치에 공급되는 전력을 제어하는 전력함 전력제어기는 DSP를 이용하여 디지털 시스템으로 설계하였다. 전력제어기는 Master/Slave 형태로 이중화되어 신뢰성이 향상시켰고 전력제어기의 CPU 보드에는 제어용과 통신용 두 개의 DSP를 사용하여 전력제어기의 주 기능인 제어/감시와 통신 기능을 분리하여 담당시켰다. 전력제어기에 요구되는 이러한 기능들을 효과적으로 수행하도록 CPU 보드에 디지털 논리 구현 장치인 FPGA를 설치하여 메모리 주소 및 각 부품의 칩 선택 신호를 생성, 이중화 전력제어기 상호간 신호 수순, 각종 고장 검출 및 점호각 신호 발생 등의 역할을 하도록 하였다.

전력제어기는 제어봉 구동장치의 디지털 시스템을 구성하는 하부 제어기로서의 역할을 한다. 전력함 하나의 전력 제어부는 3개의 제어봉 그룹을 동작시킬 수 있도록 기능이 동일한 이중화된 전력제어기 3 set로 구성되며, 이중화된 전력제어기는 구조가 똑같게 설계되고 어느 하나가 Master로 운전 중일 때는 다른 하나는 Slave로 운전 대기 상태에 있는 이중화 형식을 취하고 있다. 전력제어기와 DPC 사이에는 신호 연계를 위해 SCC(Signal Conditioning Card) 3장, DIC(Digital Input Card) 1장, DOC(Digital Ouput Card) 1장, PMC(Power Monitoring Card) 1장, PSC(Power Supply Card) 1장이 사용되었다.

1. 서 론

제어봉 구동장치 제어시스템(CRCS : Control Rod Control System)은 원자로 내에서 일어나는 핵 반응을 제어하기 위한 것으로 원자로 출력제어 시스템(RRS : Reactor Regulating System)으로부터 제어봉 구동장치의 속도와 방향에 관한 신호를 입력 받아서 운전되는 자동 운전 모드와 운전원에 의한 수동 운전 모드로 운전될 수 있다.

CRCS는 제어함, 전력함 및 운전원 모듈로 구성된다. 제어함은 외부 시스템과의 인터페이스와 제어봉 구동장치(CRDM : Control Rod Drive Mechanism)의 운전모드 선택에 따른 자동 및 수동 운전 제어, 뱅크의 중첩 운전 등 주 제어를 담당하며 제어봉 구동장치가 속해있는 해당 전력함의 제어기로 Go, Up, Down, Reset 등의 명령을 전달하고 또한 해당 전력함의 제어기로부터 Motion Complete, Urgent Alarm, Non-Urgent Alarm, Master 등의 신호를 전달 받는다.

전력함은 제어함에서 입력되는 CRDM 동작에 관련된 제어 명령들을 수신하여 제어봉의 삽입 및 인출 동작을 안정적으로 할 수 있도록 전력제어기(PCU : Power Control Unit)에서 전력 제어 및 고장 감시를 하고 전력 변환기에서 전력 변환을 하여 CRDM 각 코일에 필요한 전력을 공급하기 위한 것으로 발전기의 용량에 따라 전력함의 수가 바뀌며 하나의 전력함은 최대 13개의 CRDM을 구동할 수 있다.

전력제어기는 DSP(Digital Signal Processor)를 기반으로 CPU 보드인 DPC(Digital Processing Card)를 포함하여 총 6종류의 카드로 구성되어 있는 시스템이다. DPC에는 프로세서 보드에서 필요한 여러 가지 논리 구현을 위해 4개의 FPGA를 탑재하여 카드 상의 각 소자들이 제대로 동작할 수 있도록 조절하는 동시에 DPC가 가지는 일부 기능들을 수행하도록 설계하였다. 본 논문에서는 이러한 역할을 하는 FPGA의 설계 과정에 대해서 기술한다.

- 전력제어기의 기능은 다음과 같다.
- 이중화 제어기 상호간 신호 송/수신 기능
 - 제어함과 신호 인터페이스 기능
 - 운전원 모듈(LOM : Local Operator Module)과의 통신 기능
 - 제어봉의 인출/삽입 및 정지를 위해 CRDM에 보내는 신호 발생 기능
 - 이중유지(Double Hold) 기능
 - 고장 검출/경보 현시 기능
 - 자기 진단 기능
 - Hot Swap 기능

DPC는 고속 부동 소수점 방식의 DSP인 TMS320C32를 Dual로 구성하여 제어와 통신 기능을 분담할 수 있게 설계한 제어와 신호처리 전용의 DSP이며 특히 원전 제어봉의 제어와 통신 기능에 적합하도록 설계되었다.

제어용 DSP는 주로 전력제어 및 감시, 진단에 관련된 내용을 수행하며, 통신용 DSP는 DPC의 제어동작에는 전혀 영향을 미치지 않는 범위 내에서 외부의 실시간 감시 장치인 LOM과 통신을 하는데 사용된다.

그림 1은 DPC를 구성하고 있는 모듈들과 모듈 상호간의 신호 흐름을 보여주고 있는 블록도이다.

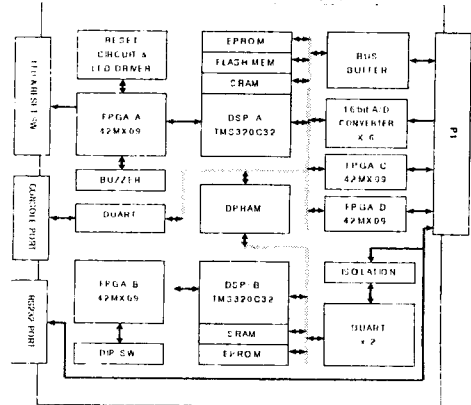


그림 1. DPC 블록도

2. 본 론

2.1 전력제어기 구성

2.2 FPGA 설계

FPGA(Field Programmable Gate Array)는 반도체 제조업체를 통하지 않고 엔지니어가 직접 디바이스를 프로그래밍하여 설계한 회로를 반도체 칩 상에 구현할 수 있다. FPGA는 설계 환경이 간편하고 개발 기간이 다른 ASIC보다 매우 짧다. 또한 설계 및 제작의 융통성이 높고 개발비용이 매우 저렴하다는 특징이 있으며 시스템에 사용된 FPGA는 Actel사의 MX시리즈 중 A42MX09 칩을 사용했다.

전력제어기 내의 DPC에는 프로세서 보드에서 필요한 여러 가지 논리 구현을 위해 4개의 FPGA를 탑재했으며 FPGA-A, FPGA-B, FPGA-C, FPGA-D로 구분하였다.

2.2.1 FPGA-A

FPGA-A는 제어용 DSP의 Memory Map 구성 및 각 부품의 Chip Select 신호를 생성하고 제어용 및 통신용 DSP의 Boot Signal을 생성한다. FPGA-A는 이중화 제어기 상호간에 견전성을 점검하기 위한 Heart Beat 신호 송/수신을 담당한다.

그림 2는 상기 기능을 수행하도록 설계된 FPGA-A의 블록도이다.

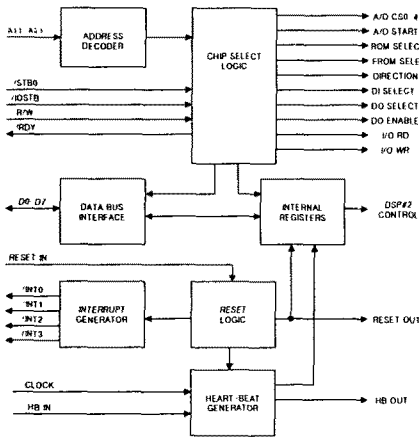


그림 2. FPGA-A 블록도

2.2.2 FPGA-B

FPGA-B는 통신용 DSP의 Memory Map을 구성하고 각 부품의 Chip Select 신호를 생성하도록 설계했다. 또한, 통신의 TXD, RXD를 제어하여 통신용 DSP가 정상 동작이 되고 있지 않을 때 잘못된 데이터를 전송하지 않도록 한다. 그림 3은 상기 기능을 수행하도록 설계된 FPGA-B의 블록도이다.

2.2.3 FPGA-C, FPGA-D

전력제어기 하드웨어 설계 시 각종 신호의 고장 검출을 위해서 FPGA 로직에 의한 구현방식이 병행되어 고장이 검출되면 FPGA 내의 특정 Register의 해당 Bit를 Set하고, 제어용 프로세서에는 주기적으로 그 Bit를 Check하여 고장 발생 유무를 확인하는 방법을 사용한다. 이러한 기능을 수행하도록 FPGA-C와 FPGA-D를 설계하고 Zero Crossing Signal의 정상유무를 점검하고 제어용 DSP에서 연산한 Firing Angle을 출력한다.

FPGA-C와 FPGA-D는 동일한 기능을 수행하나

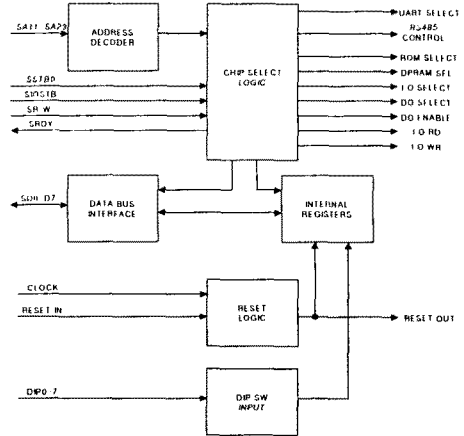


그림 3. FPGA-B 블록도

FPGA-C는 정지 집게 코일과 이동 집게 코일에 관한 위에서 언급한 기능들을 담당하고 FPGA-D는 울림코일에 관한 기능들을 수행하도록 분리하였다.

그림 4는 상기 기능을 수행하도록 설계된 FPGA-C의 블록도이다.

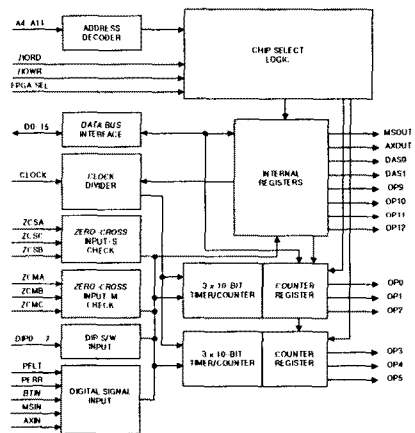


그림 4. FPGA-C 블록도

2.3 구현 결과

상기의 설계 과정을 통해 제어용 구동장치 제어시스템 전력함 전력제어기용 FPGA를 설계하였다. 다음은 FPGA 각각의 주요 기능들의 구현을 위한 논리회로도를 나타내었다.

이중화된 제어기들은 그림 5에 나타난 것처럼 Heart Beat를 주고받으며 상대방 제어기의 상태를 체크한다. 900Hz 단위로 체크하는데 내부적으로 한 개의 업 카운터를 구성하고 Rising Edge가 발생하면 카운터는 0부터 증가하는데 다음 Rising Edge가 발생하면 Reset이 되어 다시 0에서부터 증가하지만 Rising Edge가 발생하지 않을 때에는 카운터 값이 증가하게 되어 Error를 발생시키게 된다.

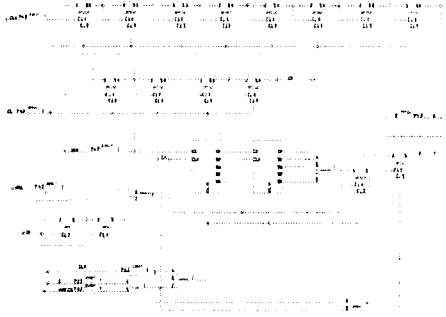


그림 5. FPGA-A Heart Beat 체크 로직도

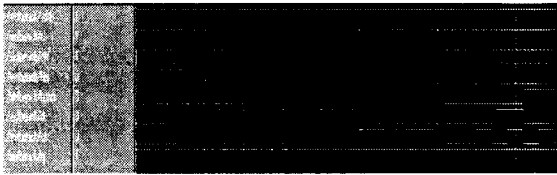


그림 6. Heart Beat 체크 로직도 시뮬레이션 파형

그림 6은 FPGA-A의 주요 기능 중 Heart Beat 체크 로직에 관한 시뮬레이션 파형이다. 신호가 900Hz 마다 정상적으로 입력되면 Rising Edge가 발생하게 되는데 이 신호가 업 카운터를 Reset해서 Error를 발생시키지 않게 되는 것이다.

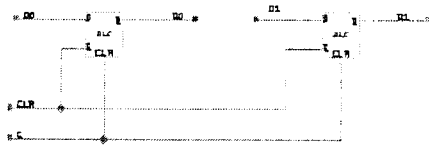


그림 7. FPGA-B 통신관련 논리회로도

그림 7은 FPGA-B의 통신 2중화관련 논리회로도중 일부를 나타낸 것이다. FPGA-B에서는 통신용 DSP가 오동작시에 잘못된 데이터가 전송되지 않도록 설계하였다.

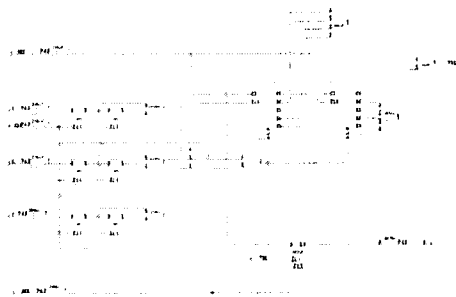


그림 8. FPGA-C/D Zero Cross Check 관련 논리회로도

그림 8은 FPGA C/D의 Zero Cross Check 관련 논리회로도를 나타낸 것이다. Zero Cross Check는 각각 60Hz 구형파인 Zero Cross 신호 ZCA, ZCB, ZSC를 모두 받아 180Hz 마다 Rising Edge를 검출하여 카운터를 증가하여 검출하도록 설계하였다.

3. 결 론

본 논문은 제어용 구동장치 제어시스템 전력제어기용 FPGA를 이용하여 제어 및 통신용 Memory Map의 구성 및 Chip Select 신호 생성, 이중화된 제어기들의 Heart Beat 신호를 통한 상대방 제어기의 건전성 체크, 통신의 TXD, RXD를 제어하여 통신용 DSP가 비정상 동작일 때 잘못된 데이터를 전송 못하게 하는 기능, Zero Cross Signal의 정상 여부 체크, Firing Angle의 출력 등 프로세서 보드에 필요한 여러 가지 논리 구현을 위한 설계를 하였다.

[참 고 문 헌]

- [1] "40MX and 42MX FPGA Families", User's Manual, Actel
- [2] "Rod Control System, System Training Guide", Univ. of California, Berkely.
- [3] Westinghouse, "RCS I&C Training Manual"
- [4] 이종무 외, "제어용 구동장치 제어시스템용 전력학 개발", 대한전기학회 하계학술대회 논문집, D권, 2274~2276P, 2003